

【11】證書號數：I562144

【45】公告日：中華民國 105 (2016) 年 12 月 11 日

【51】Int. Cl. : G11C11/412 (2006.01) H01L49/00 (2006.01)

發明

全 28 頁

【54】名稱：於通道使用壓敏電阻體的電晶體及電子電路

【21】申請案號：104108097

【22】申請日：中華民國 104 (2015) 年 03 月 13 日

【11】公開編號：201543482

【43】公開日期：中華民國 104 (2015) 年 11 月 16 日

【30】優先權：2014/03/14

日本

2014-052529

【72】發明人：周藤悠介 (JP) SHUTO, YUSUKE；黑澤實 (JP) KUROSAWA, MINORU；舟窪浩 (JP) FUNAKUBO, HIROSHI；山本修一郎 (JP) YAMAMOTO, SHUICHIRO；菅原聰 (JP) SUGAHARA, SATOSHI

【71】申請人：國立研究開發法人科學技術振興 JAPAN SCIENCE AND TECHNOLOGY 機構 AGENCY 日本

【74】代理人：惲軼群；陳文郎

【56】參考文獻：

CN 102856196A

KR 10-0906066B1

US 7425721B2

US 8099842B2

US 8159854B2

US 8247947B2

US 2013/0299880A1

Raj Jana et al., "Sub-Boltzmann transistors with piezoelectric gate barriers", Energy Efficient Electronic Systems (E3S), 2013 Third Berkeley Symposium on 28-29 Oct. 2013,

Ravinder S. Dahiya et al., "Piezoelectric polymer oxide semiconductor field effect transistor (POSFET) devices for touch sensing", Electron Devices and Semiconductor Technology, 2009. IEDST '09. 2nd International Workshop on 1-2 June 2009,

審查人員：蕭明椿

[57]申請專利範圍

1. 一種電晶體，其特徵在於具備有：傳導載子之壓敏電阻體；源極，將前述載子朝前述壓敏電阻體注入；汲極，自前述壓敏電阻體接收前述載子；壓電體，以包圍前述壓敏電阻體的方式而設，將壓力加在前述壓敏電阻體；及閘極，於前述壓電體施加電壓使前述壓電體將壓力加在前述壓敏電阻體。
2. 如請求項 1 之電晶體，前述閘極是以包圍前述壓電體的方式而設，前述壓電體是在從前述壓敏電阻體往前述閘極的方向或是從前述閘極往前述壓敏電阻體的方向介電極化。
3. 如請求項 1 之電晶體，前述閘極是在與傳導於前述壓敏電阻體內之通道之前述載子之傳導方向平行的方向設有複數個，前述壓電體是在前述平行的方向介電極化。
4. 如請求項 1 至 3 之任一項之電晶體，前述壓電體是以從與前述載子之傳導方向正交之全部的方向包圍前述壓敏電阻體的方式而設。
5. 如請求項 1 至 3 之任一項之電晶體，前述壓電體是以從與前述載子之傳導方向正交之一部分的方向包圍前述壓敏電阻體的方式而設。

(2)

6. 如請求項 1 至 3 之任一項之電晶體，具備有形成在基板上、支持前述壓敏電阻體之支持體；前述壓敏電阻體之上表面是曲面；前述壓電體是包圍前述壓敏電阻體之上表面及前述支持體之側表面。
7. 如請求項 6 之電晶體，前述支持體之高度是比前述壓敏電阻體之寬還大。
8. 如請求項 6 之電晶體，前述支持體之材料是與前述壓敏電阻體之材料相同。
9. 如請求項 6 之電晶體，前述支持體之材料是與前述壓敏電阻體之材料不同。
10. 一種電晶體，其特徵在於具備有：壓敏電阻體，載子朝第 1 方向傳導；源極，將前述載子朝前述壓敏電阻體注入；汲極，自前述壓敏電阻體接收前述載子；壓電體，從與前述第 1 方向交叉之第 2 方向將壓力加在前述壓敏電阻體；及閘極，於前述壓電體施加電壓使前述壓電體將壓力加在前述壓敏電阻體。
11. 如請求項 1 或 10 之電晶體，前述源極與前述汲極是相對於前述壓敏電阻體之前述源極與前述汲極之中間之面而對稱的構造；前述壓敏電阻體、前述壓電體及前述閘極是分別相對於前述中間之面而對稱的構造。
12. 一種電子電路，其特徵在於具備有：電路，連接在第 1 電源與第 2 電源之間；及如請求項 1 至 11 之任一項之電晶體，前述源極及前述汲極之其中一方連接前述第 1 電源，前述源極及前述汲極之另一方連接前述電路之電源端子，於前述閘極輸入將朝前述電路供給之電力予以遮斷之訊號。
13. 如請求項 12 之電子電路，具備有：雙安定電路，將資料予以記憶；及非揮發性元件，將前述雙安定電路所記憶之資料予以非揮發性地儲存，將經非揮發性地儲存之資料還原在前述雙安定電路，前述電路是前述雙安定電路。
14. 如請求項 13 之電子電路，前述非揮發性元件是連接在前述雙安定電路內之節點與控制線之間。
15. 一種電子電路，其特徵在於具備有非揮發性記憶單元，該非揮發性記憶單元具備有：非揮發性元件；及如請求項 1 至 11 之任一項之電晶體，前述源極或前述汲極串聯地連接前述非揮發性元件。
16. 一種電子電路，其特徵在於具備有：如請求項 1 至 11 之任一項之電晶體且互相為互補式之第 1 及第 2 電晶體，前述第 1 及第 2 電晶體之前述壓電體之介電極化方向是互相反向，且是當以前述源極作為基準而在前述閘極加上正的電壓或負的電壓的情況下，前述壓電體可將壓力施加在前述壓敏電阻體的方向。

圖式簡單說明

[圖 1]圖 1 是與比較例 1 相關之電晶體的截面圖。

[圖 2]圖 2 是與實施例 1 相關之電晶體的立體圖。

[圖 3]圖 3(a)是與實施例 1 相關之第 1 型電晶體的立體截面圖，圖 3(b)是截面圖，圖 3(c)是電路符號。

[圖 4]圖 4(a)是與實施例 1 相關之第 2 型電晶體的立體截面圖，圖 4(b)是截面圖，圖 4(c)是電路符號。

[圖 5]圖 5(a)至圖 5(f)是與實施例 1 之變形例相關之電晶體的示意圖。

[圖 6]圖 6(a)及圖 6(b)是分別顯示在實施例 1 及比較例 1 之模擬所使用之尺寸的圖。因為簡略化，故未顯示源極、汲極、閘極及金屬接觸。

[圖 7]圖 7(a)及圖 7(b)是分別顯示實施例 1 及比較例 1 的 α 對 I_{PE} 的圖。

[圖 8]圖 8(a)及圖 8(b)是分別顯示實施例 1 及比較例 1 的 α 對 I_{PR} 的圖。

[圖 9]圖 9(a)及圖 9(b)是分別顯示實施例 1 及比較例 1 的汲極電流 I_D 對汲極電壓 V_D 的圖。

(3)

[圖 10]圖 10(a)及圖 10(b)是分別顯示實施例 1 及比較例 1 的 S 對 L_{PE} 的圖。

[圖 11]圖 11(a)及圖 11(b)是分別顯示實施例 1 及比較例 1 的 S 對 I_{PR} 的圖。

[圖 12]圖 12(a)至圖 12(c)是顯示輸出電壓對環式振盪器之時間的圖。

[圖 13]圖 13(a)及圖 13(b)是與實施例 2 相關之電子電路的方塊圖。

[圖 14]圖 14 是與實施例 3 相關之電子電路的電路圖。

[圖 15]圖 15 是與實施例 3 之變形例相關之電子電路的電路圖。

[圖 16]圖 16(a)是與實施例 4 相關之非揮發性記憶單元的電路圖，圖 16(b)是截面立體圖。

[圖 17]圖 17(a)至圖 17(f)是顯示與實施例 5 相關之電子電路的電路圖(其 1)。

[圖 18]圖 18(a)至圖 18(f)是顯示與實施例 5 相關之電子電路的電路圖(其 2)。

[圖 19]圖 19(a)至圖 19(c)是與實施例 6 及其變形例相關之電晶體的截面圖。

[圖 20]圖 20(a)是與實施例 7 相關之電晶體的立體截面圖，圖 20(b)及圖 20(c)是截面圖。

[圖 21]圖 21(a)是與實施例 7 之變形例 1 相關之電晶體的立體截面圖，圖 21(b)是截面圖。

[圖 22]圖 22(a)是與實施例 7 之變形例 2 相關之電晶體的立體截面圖，圖 22(b)及圖 22(c)是截面圖。

[圖 23]圖 23 是與實施例 7 之變形例 3 相關之電晶體的截面圖。

[圖 24]圖 24(a)是顯示使用模擬 2 之汲極特性的圖，圖 24(b)是顯示將模擬 1 與 2 予以比較之汲極特性的圖。

[圖 25]圖 25 是顯示反相器電路之傳達特性的圖。

[圖 26]圖 26(a)及圖 26(b)是分別顯示模擬 1 及 2 的雙安定電路之蝴蝶曲線的圖。

[圖 27]圖 27 是與實施例 8 相關之電子電路的方塊圖。

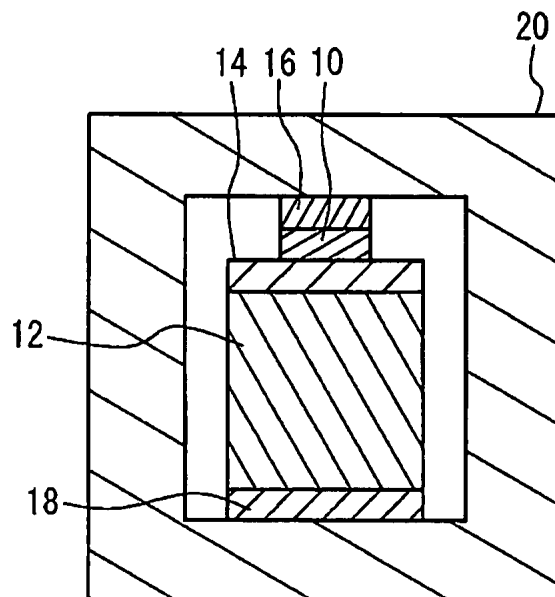


圖 1

(4)

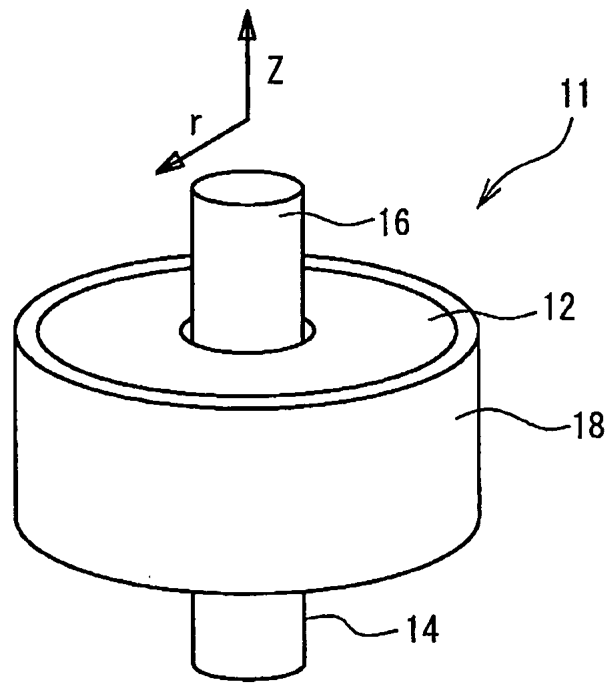


圖2

(5)

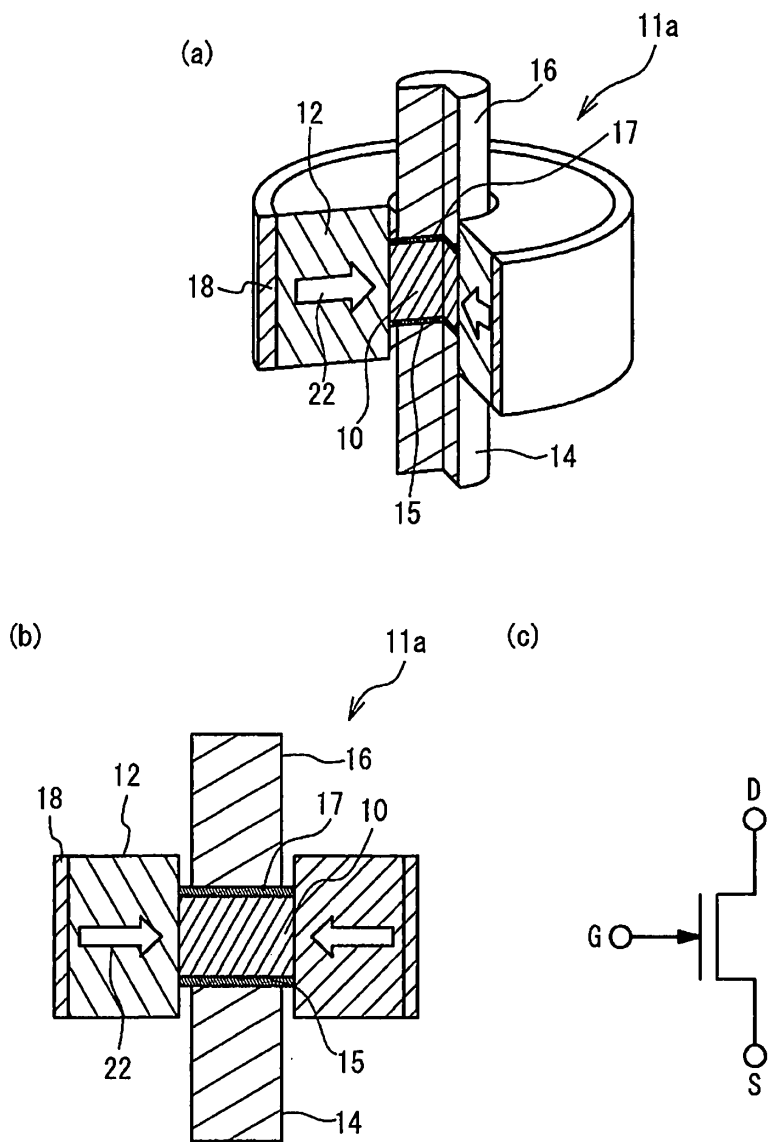


圖3

(6)

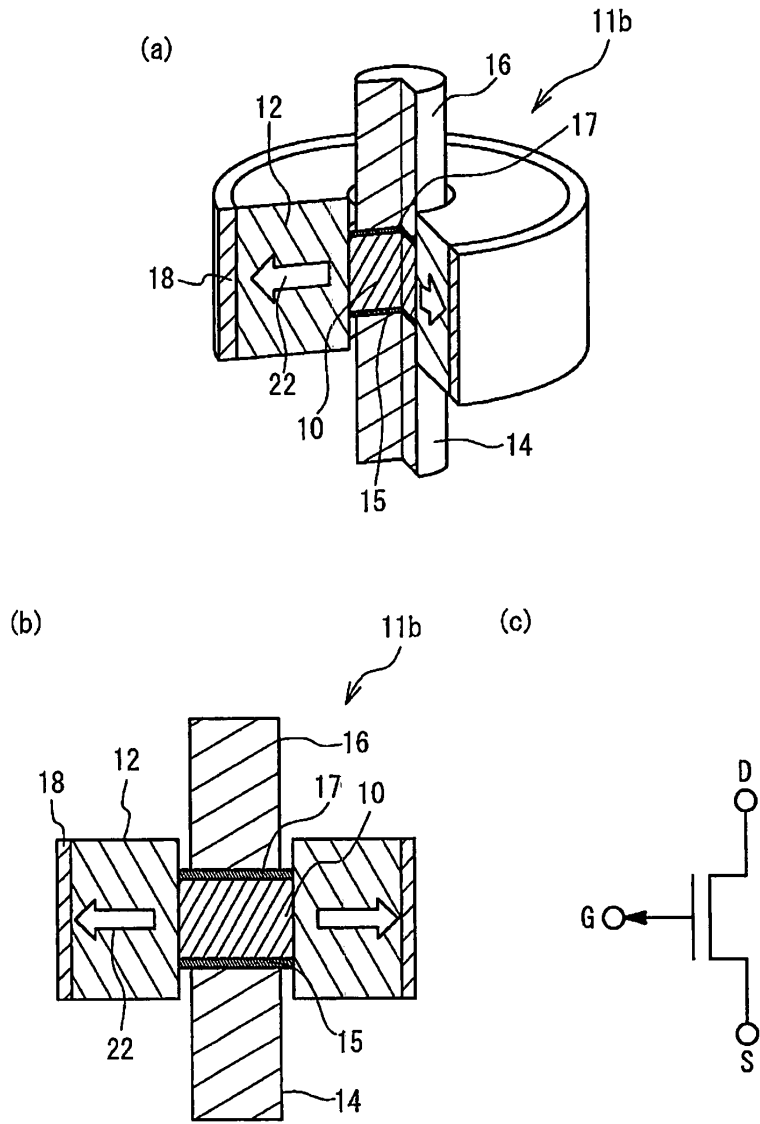


圖4

(7)

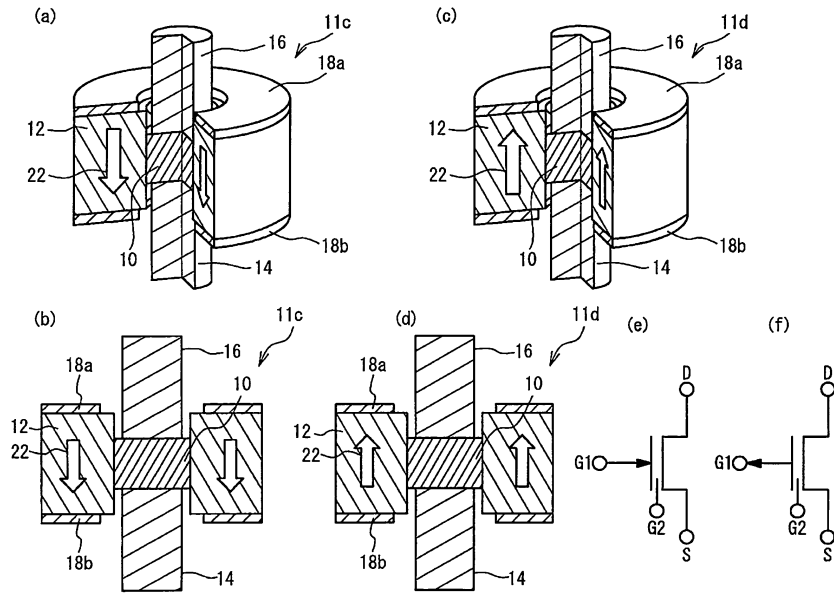


圖5

(8)

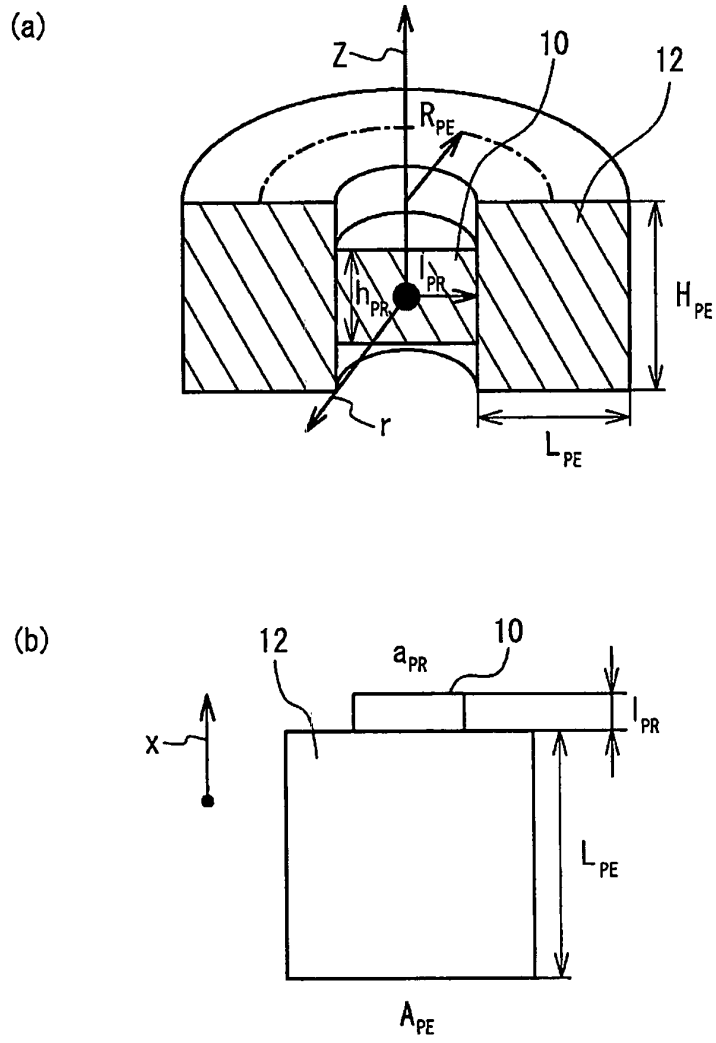


圖6

(9)

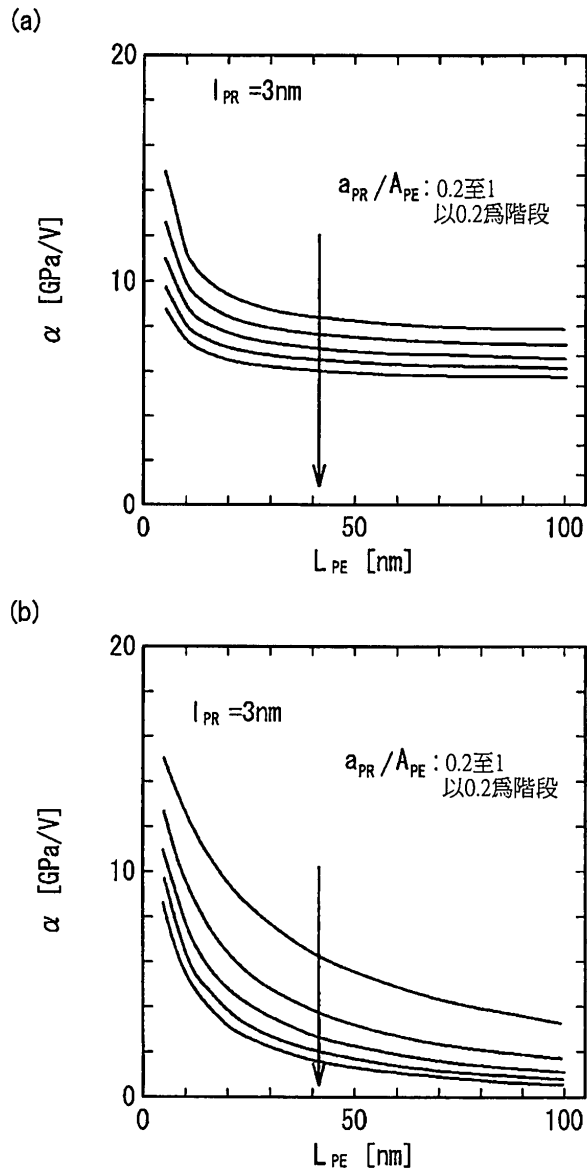


圖7

(10)

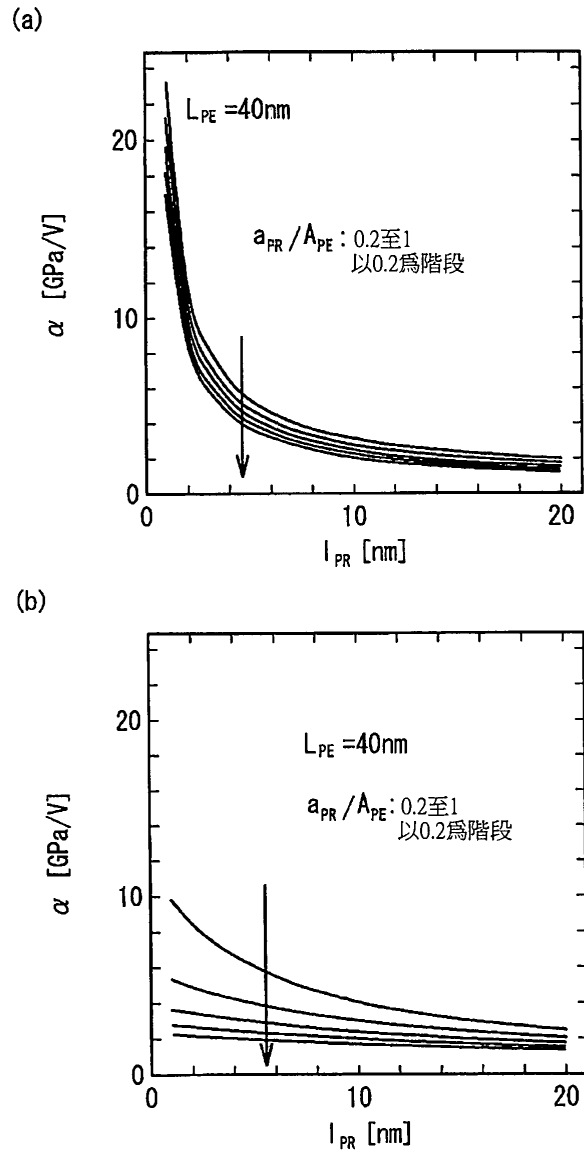


圖8

(11)

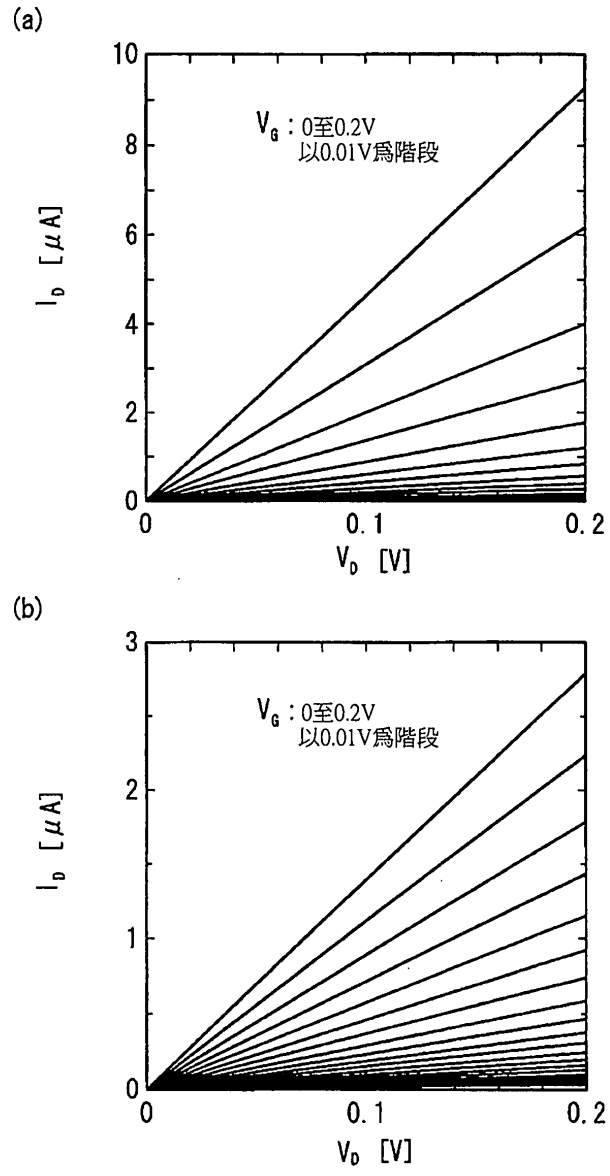


圖9

(12)

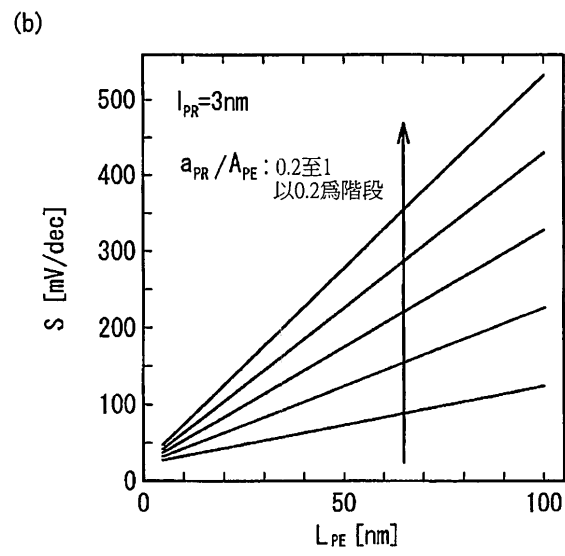
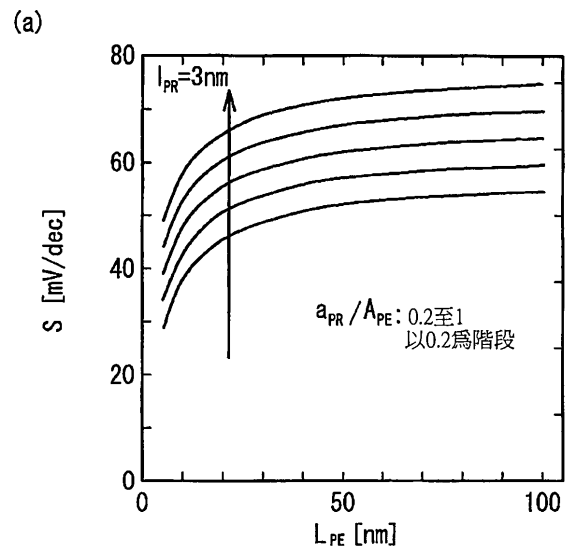


圖10

(13)

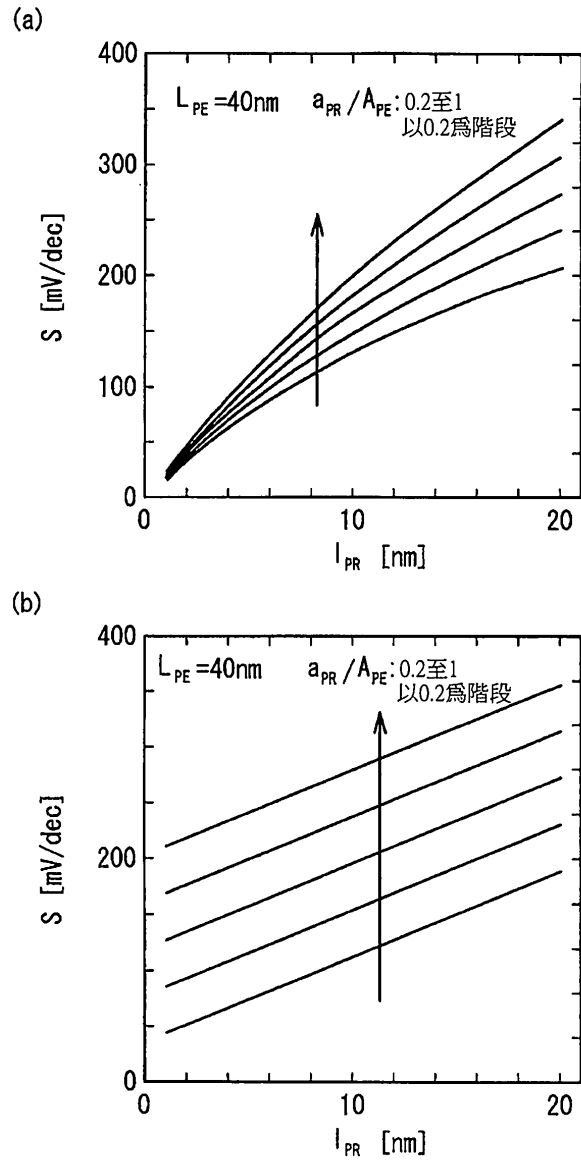


圖11

(14)

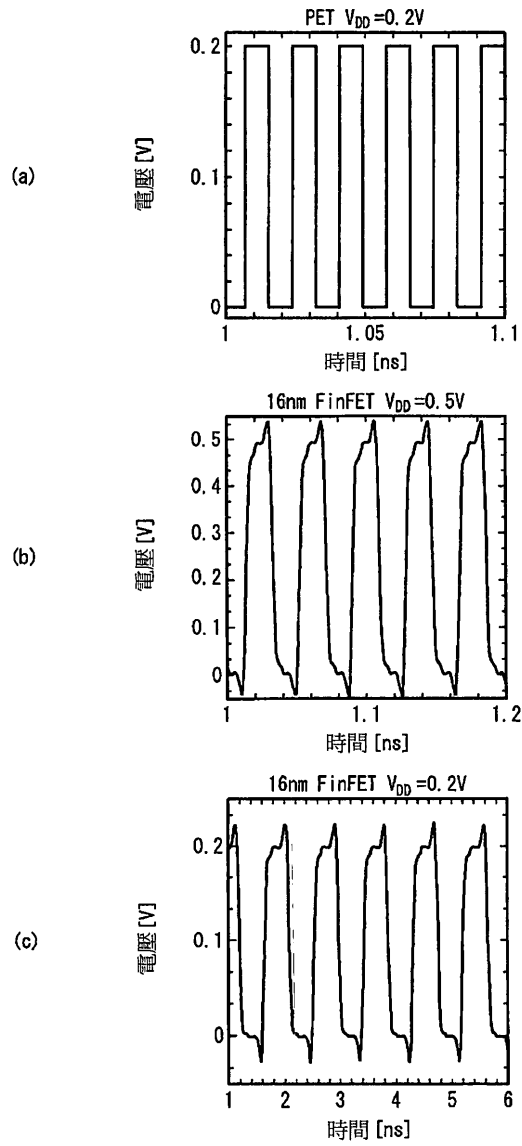


圖12

(15)

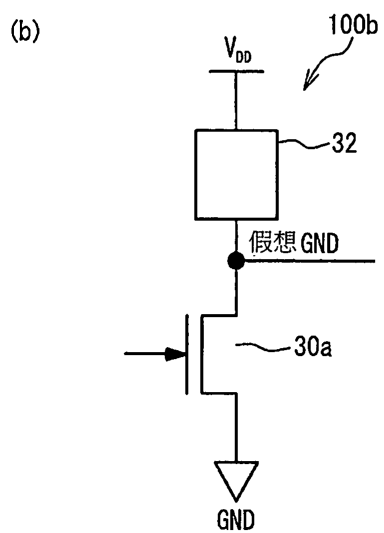
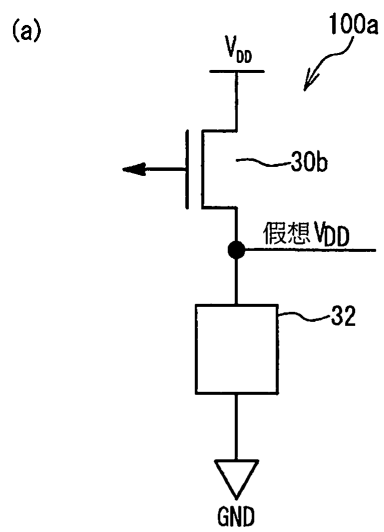


圖13

(16)

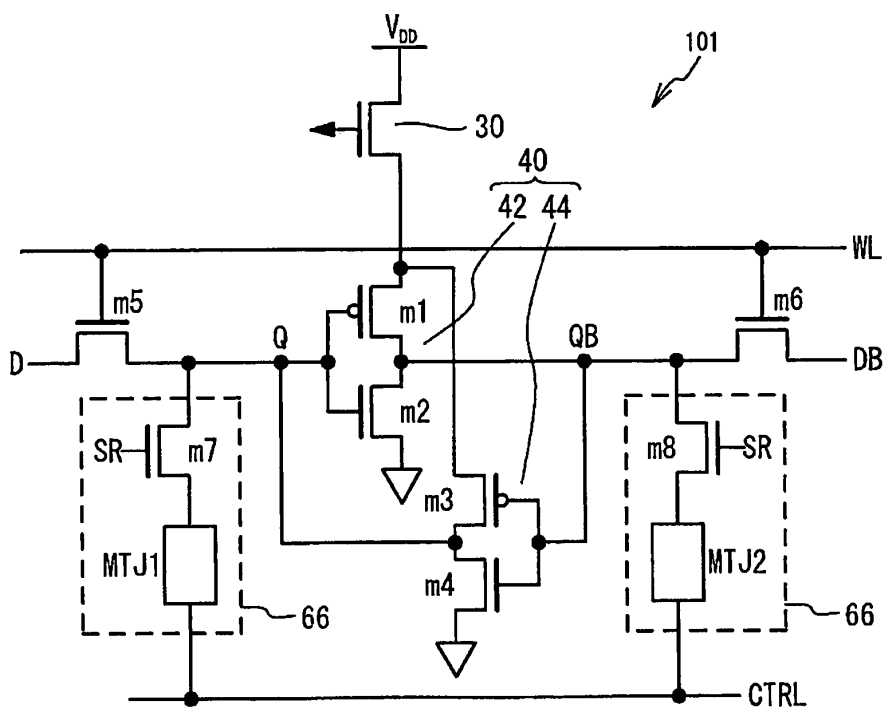


圖 14

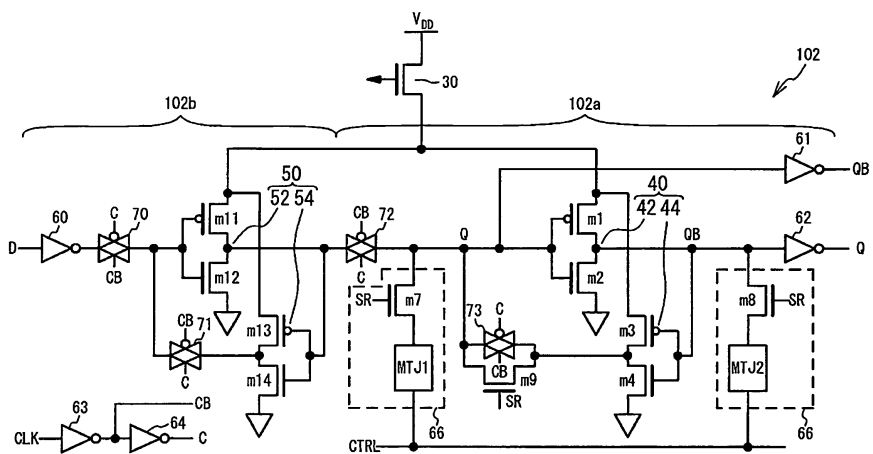


圖 15

(17)

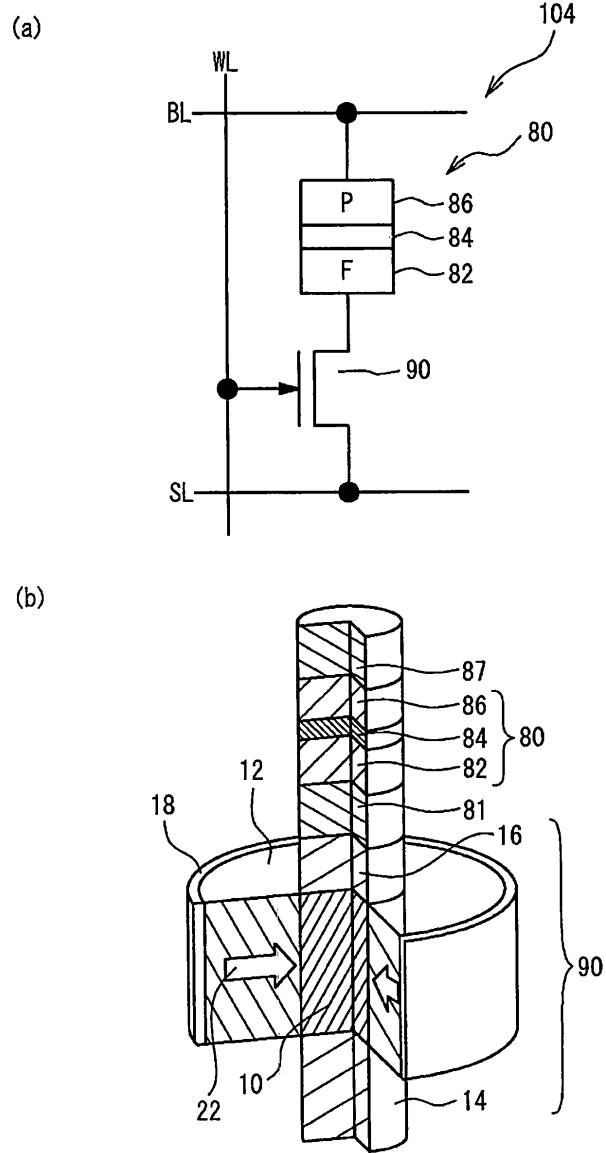


圖16

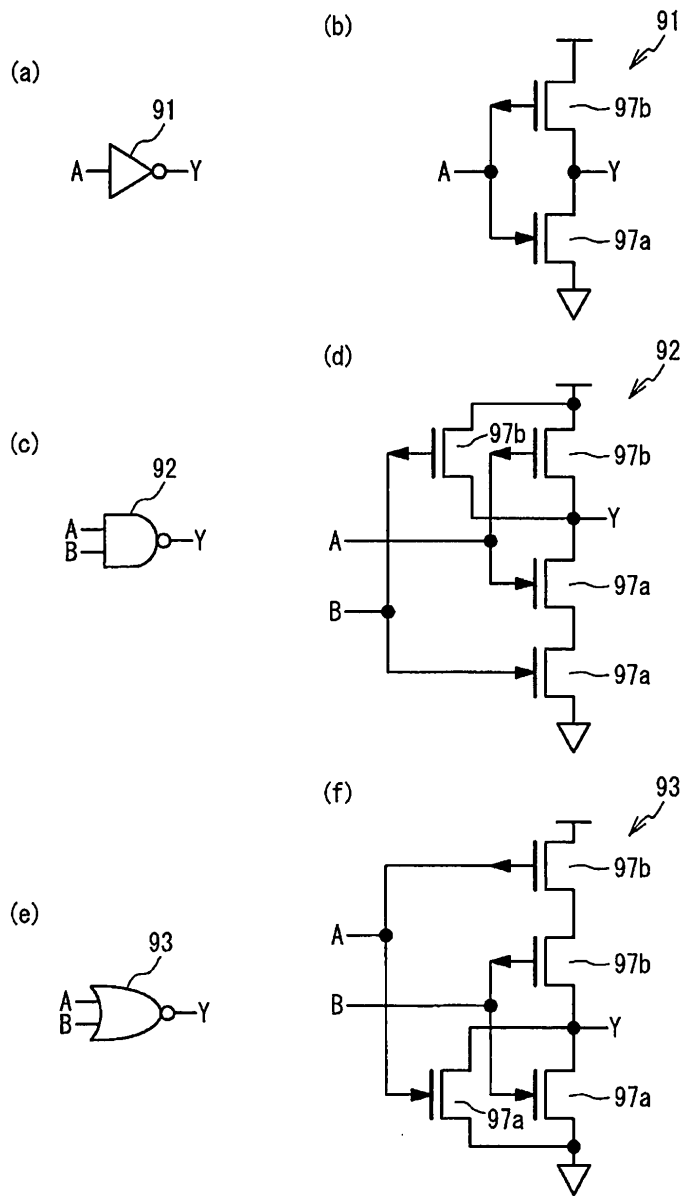


圖17

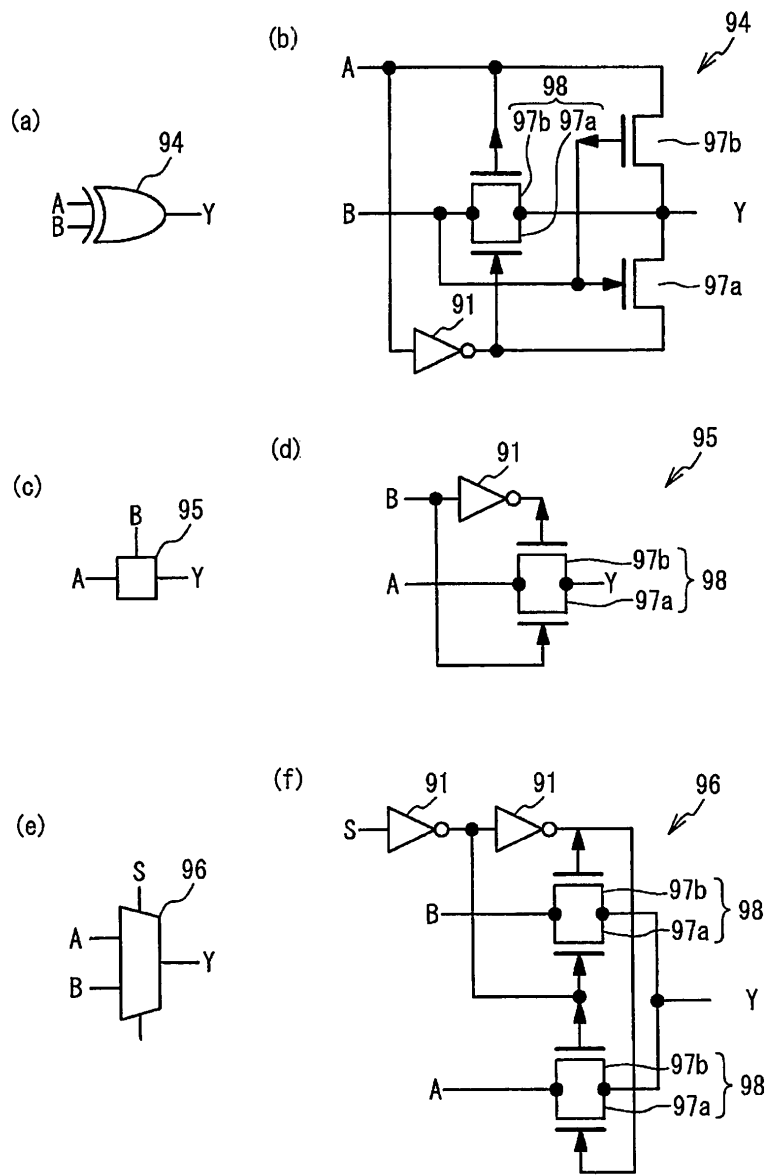


圖18

(20)

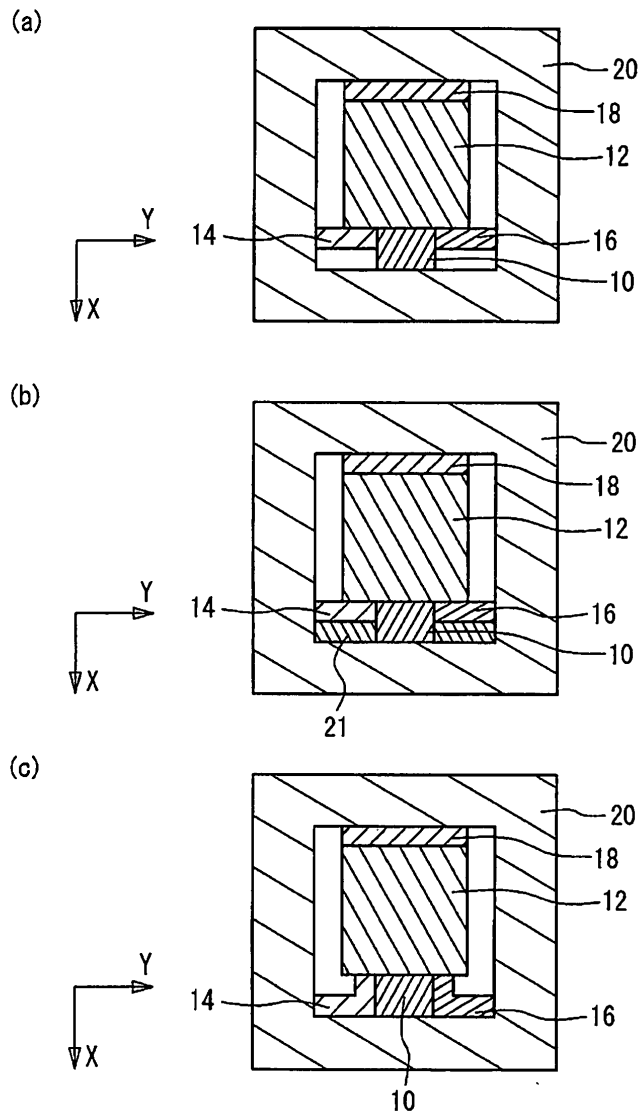


圖19

(21)

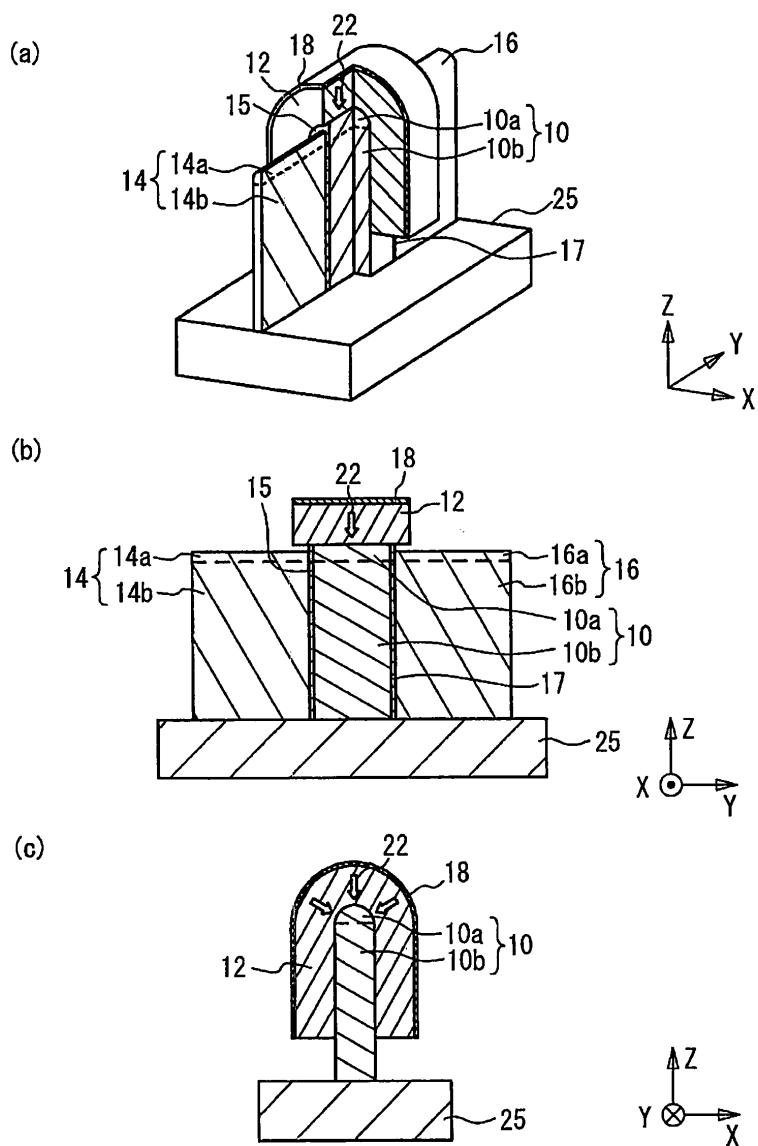


圖20

(22)

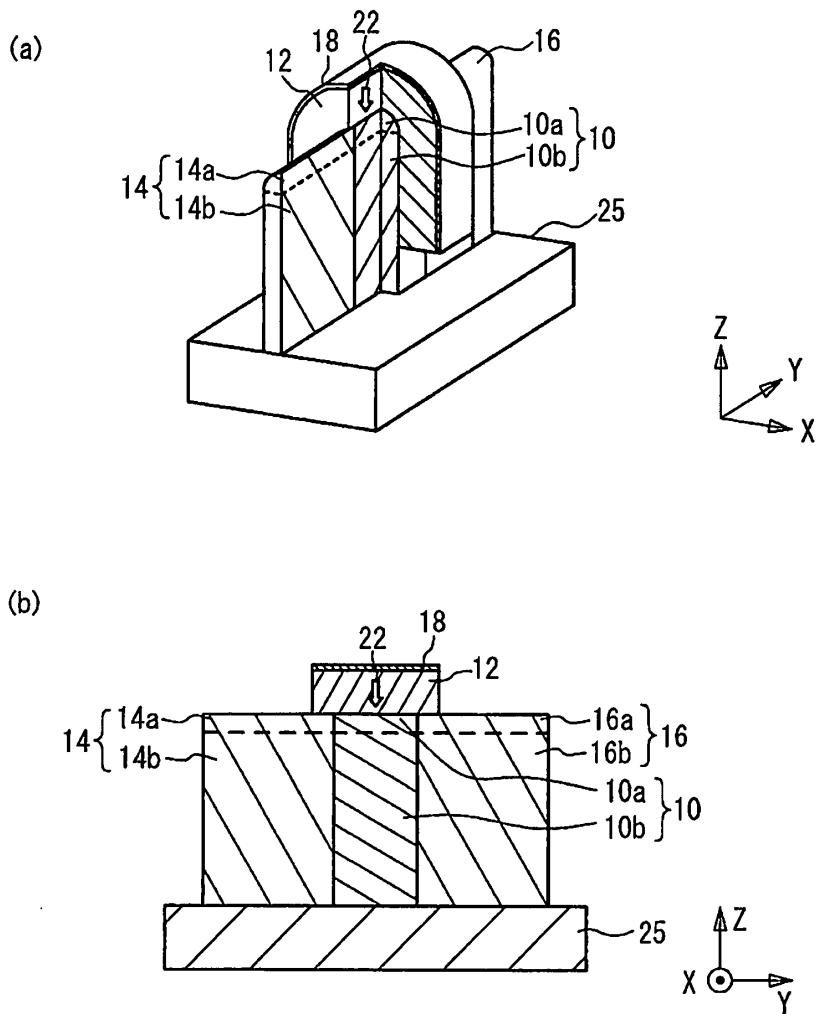


圖21

(23)

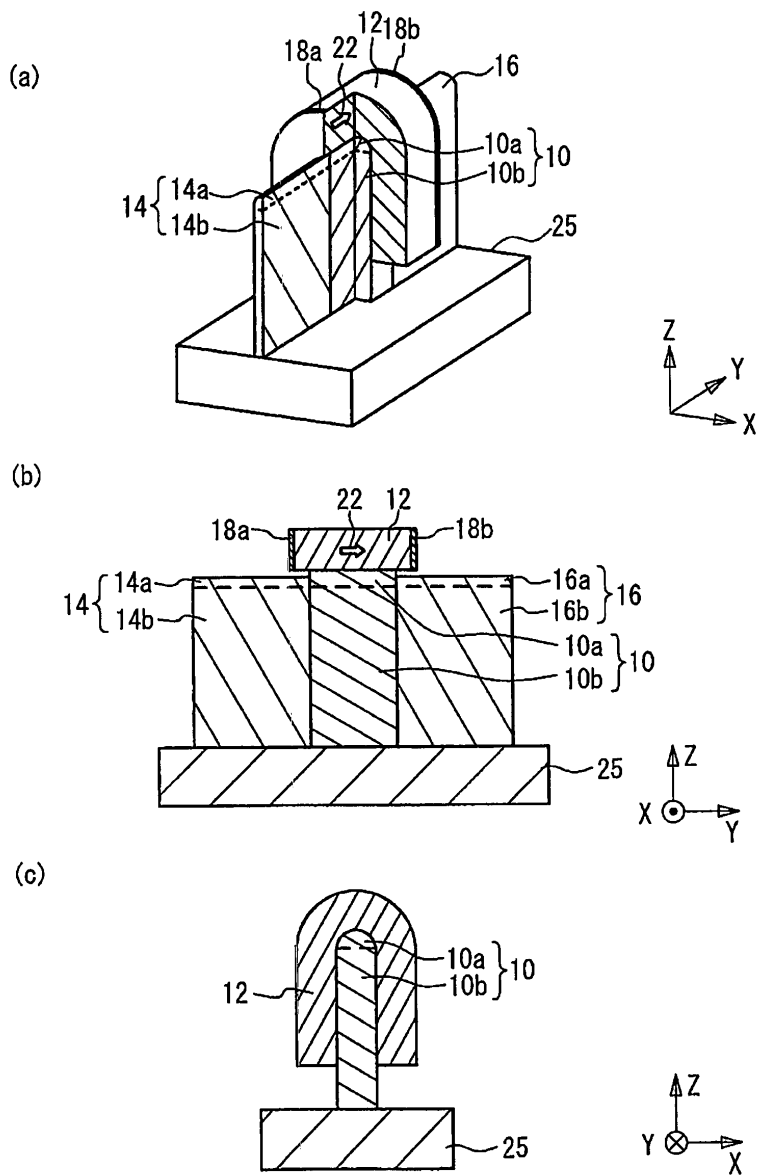


圖22

(24)

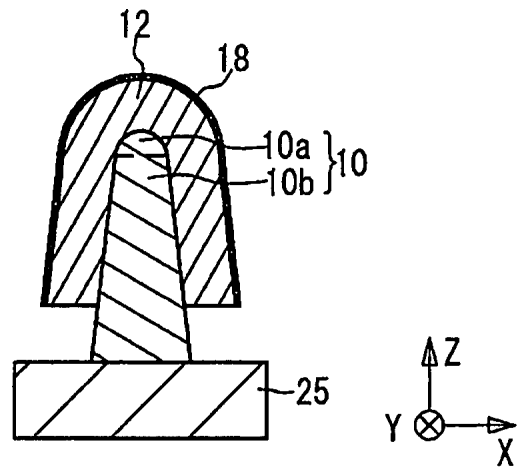


圖23

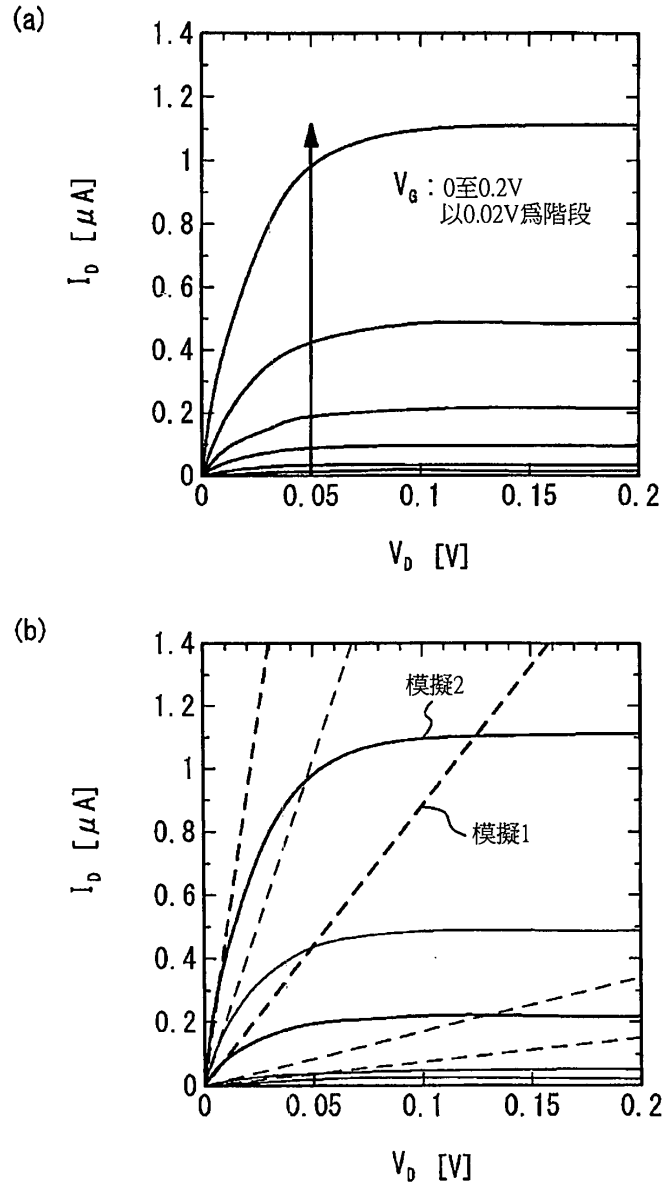


圖24

(26)

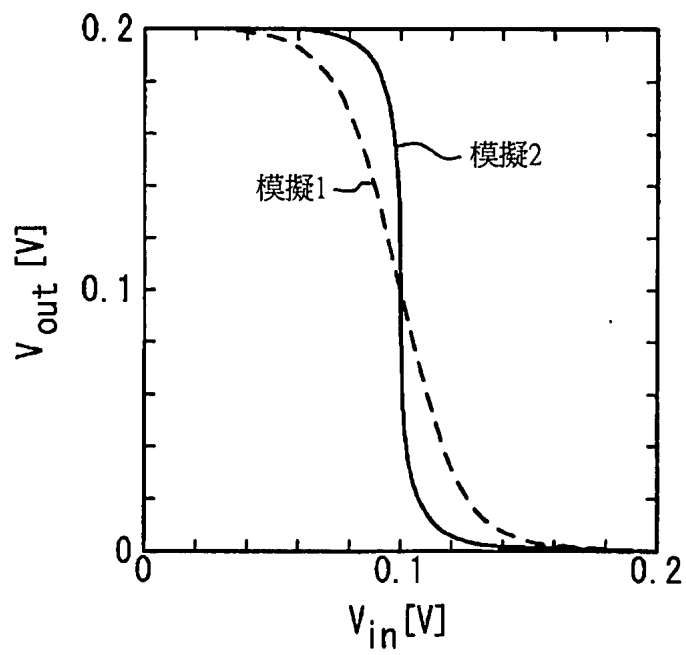


圖25

(27)

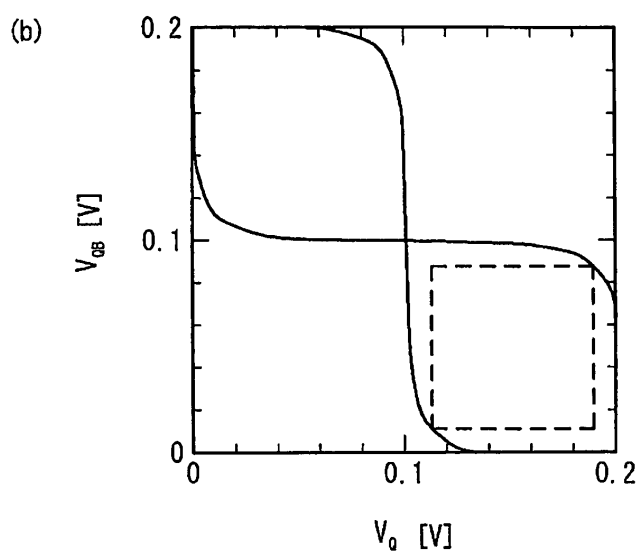
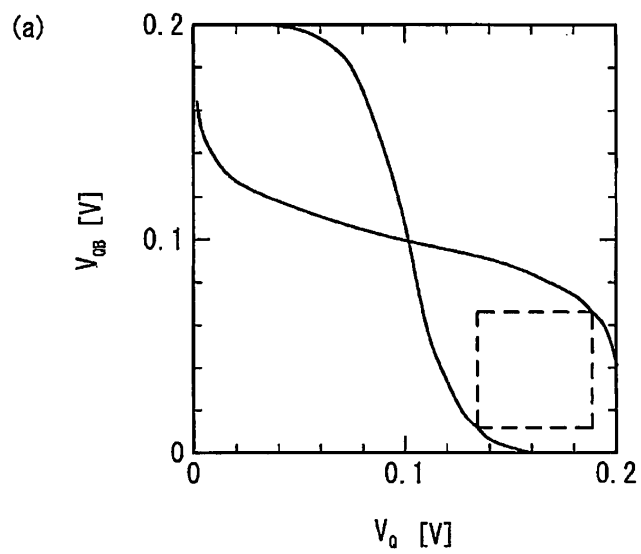


圖26

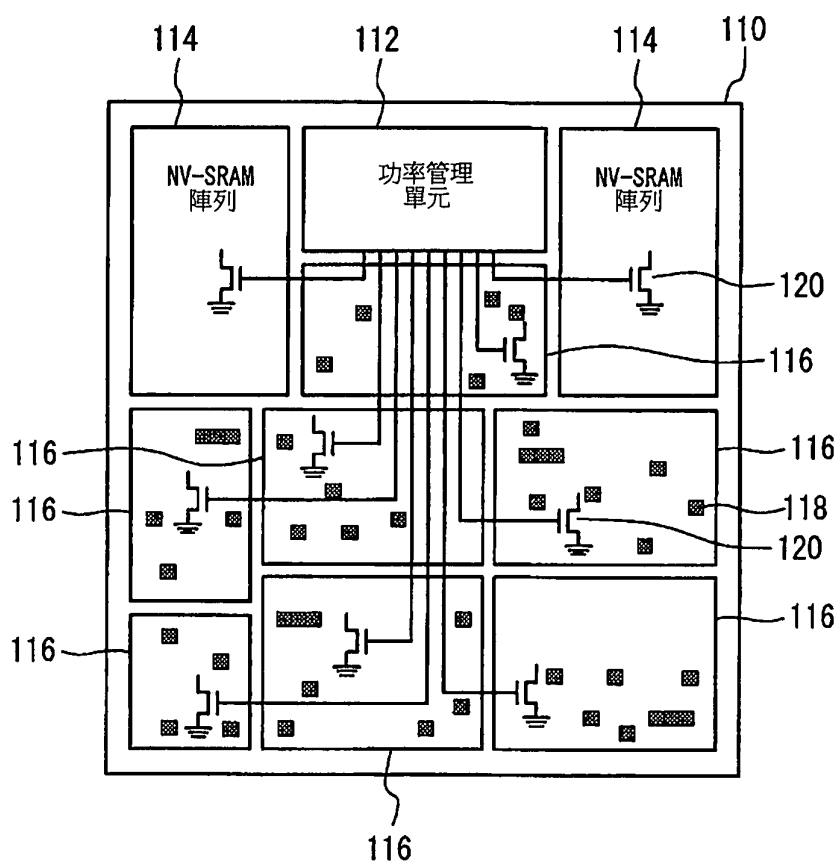


圖27