

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2018年3月8日(08.03.2018)



(10) 国際公開番号

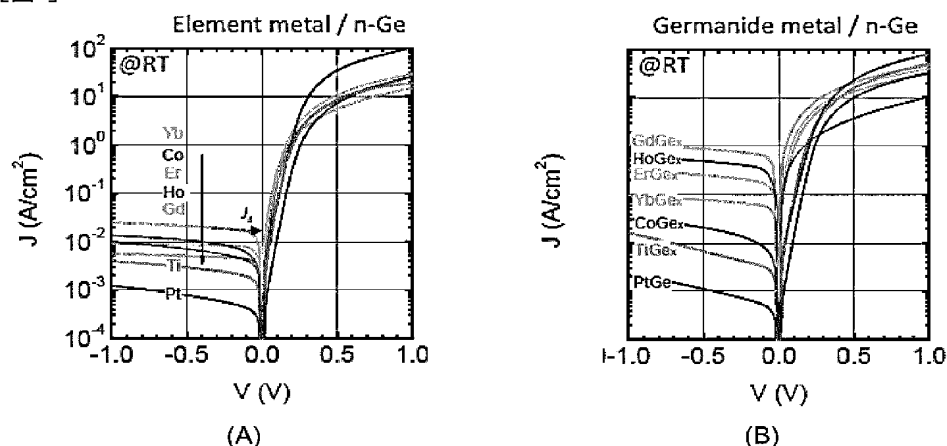
WO 2018/042707 A1

- (51) 国際特許分類:  
H01L 21/28 (2006.01) H01L 29/417 (2006.01)  
H01L 21/336 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2017/006776
- (22) 国際出願日: 2017年2月23日(23.02.2017)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2016-170939 2016年9月1日(01.09.2016) JP
- (71) 出願人: 国立研究開発法人科学技術振興機構(JAPAN SCIENCE AND TECHNOLOGY AGENCY) [JP/JP]; 〒3320012 埼玉県川口市本町四丁目1番8号 Saitama (JP).
- (72) 発明者: 鳥海 明(TORIUMI Akira); 〒1138656 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP). 西村 知紀(NISHIMURA Tomonori); 〒1138656 東京都文京区本郷七丁目3番1号 国立大学法人東京大学内 Tokyo (JP).
- (74) 代理人: 大野 聖二, 外(OHNO Seiji et al.); 〒1000005 東京都千代田区丸の内一丁目6番5号 丸の内北口ビル21階 大野総合法律事務所 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA,

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図2]



(57) Abstract: According to the present invention, a contact layer comprising a material with an electron concentration of less than  $1 \times 10^{22} \text{ cm}^{-3}$  is directly provided on a surface of a semiconductor crystal of an n-type conductivity with a band gap at room temperature of not more than 1.2 eV. In this way, the wave function penetration from the contact layer side to the semiconductor surface side is suppressed, and, as a result, the generation of a barrier  $\phi_B$  due to the Fermi level pinning phenomenon can be suppressed, and a lower resistivity and more highly ohmic contact can be achieved.

(57) 要約: 本発明では、室温におけるバンドギャップが1.2 eV以下のn型導電性を有する半導体結晶の表面に、電子濃度が $1 \times 10^{22} \text{ cm}^{-3}$ 未満の材料から成るコンタクト層を直接設けることとした。これにより、コンタクト層側から半導体表面側への波動関数の浸み出しが抑制され、その結果、フェルミレベルピンニング現象に起因する障壁 $\phi_B$ の発生が抑制され、より抵抗率の低いオーミック性の高い接触を実現することができる。

WO 2018/042707 A1

MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA,  
NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,  
RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM,  
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,  
US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

規則4.17に規定する申立て:

- 不利にならない開示又は新規性喪失の例外に関する申立て (規則4.17(v))

添付公開書類:

- 国際調査報告 (条約第21条(3))

## 明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、n型導電型を有する半導体結晶の表面に設けられるオーミック性の高い接触の（低いショットキー障壁 $\phi_B$ を持つ）コンタクト構造に関する。

背景技術

[0002] 半導体装置（デバイス）には電極が必須であり、半導体表面とのオーミック性接触を実現して、コンタクト抵抗を極力下げる必要がある。このためには、通常以下の二種類の方法がとられる。第一の方法は、半導体側の不純物濃度を上げて、金属中の電子がトンネル効果を通じて半導体側に入出入りする状況を構築するものである。第二の方法は、電極の材料として、半導体材料表面にオーミック接触することができるような仕事関数を有する材料を選択するものである。

[0003] しかし、半導体結晶の導電型がn型の場合、仮に理論上はオーミック接触するはずの仕事関数を有する金属を選択しても、多くの場合、ショットキー接触してしまうことが知られている。この現象は、いわゆる「フェルミレベルピンニング」によるものと考えられている。

[0004] ショットキー理論によれば、n型半導体と金属との接触面（接合面）に生じるショットキー障壁 $\phi_B$ は、金属の仕事関数 $\phi_M$ とn型半導体の電子親和力 $\phi_X$ との差（ $\phi_M - \phi_X$ ）で与えられることとされている。しかし、殆どの場合、ショットキー理論によるエネルギー障壁と実際のショットキー障壁とは一致しない。このような現象は、フェルミレベルが恰も「ピン止め」されたことによる効果のように見えるため、フェルミレベルピンニングと呼ばれている。このフェルミレベルピンニングは、Siはもとより、Ge等の殆どの半導体と金属との接合でみられる現象である。ここで、 $\phi_M$ 、 $\phi_X$ 、 $\phi_B$ それぞれの単位は[V]とする。

[0005] n型半導体と電極材料との接合界面におけるコンタクト抵抗率 $\rho_c$ は、ショットキー障壁 $\phi_B$ および接合界面領域の単位体積あたりのドナー濃度 $N_D$ と、下式1の関係にある。なお、式中の $\lambda$ は定数である。

[0006]

$$\rho_c \propto \exp\left(\lambda \frac{\phi_B}{\sqrt{N_D}}\right) \quad \dots \quad (\text{式 1})$$

[0007] つまり、n型半導体と電極材料とのオーミック接合界面を形成し、コンタクト抵抗率 $\rho_c$ を下げるためには、ショットキー障壁 $\phi_B$ を低くするか、接合界面領域のドナー濃度 $N_D$ を高くすればよい。

[0008] しかし、接合界面領域のドナー濃度 $N_D$ を高くするには熱平衡状態では固溶限という限界があり、通常はその固溶限近くまで濃度は上げられており、それ以上に高くすることはできない。一方で、上述のとおり、n型半導体の場合は特に、フェルミレベルピンニング現象により、ショットキー障壁 $\phi_B$ を所望の程度にまで充分低くすることができない。

[0009] さらに、半導体素子の微細化に伴ってコンタクトの面積も小さくなり、上式1から容易にわかるように、コンタクト面積を $S$ とすると実際のコンタクト抵抗 $R_c$ は $\rho_c/S$ となり、同じ $\rho_c$ を用いた場合でも微細化と共に急激に上昇することになり、半導体素子本来の性能向上を実効的に妨げることになる。つまり、半導体素子を微細化してもドレイン電極・ソース電極間全抵抗に対するコンタクト抵抗の割合を増やさないためには、 $\rho_c$ そのものを縮小することが強く求められている。

[0010] そこで、先に述べたようにn型半導体と電極材料との接合界面領域に高いドナー濃度 $N_D$ を有する半導体層を設けることでオーミック接触を実現する試みもなされてきた（特許文献1：特開2012-124483号公報や特許文献2：特開2014-41987号公報を参照）。

[0011] 例えば、特許文献2には、n型Geと金属電極との間でフェルミレベルピンニング現象によって金属からn型Ge方向に流れる電子に対して障壁 $\phi_B$ が発生し、この結果として接触抵抗が高くなることが知られており、n型Ge

と金属電極の間に、電子濃度（キャリア濃度）を高めたn型Ge層を入れれば空乏層が極度に狭まり、電子がトンネリングし、オーミック接触となることが予想される旨の記載があり、安価なプロセスにより、電極層とn-Ge層の接触抵抗を低減するn<sup>+</sup>型Ge半導体層形成方法およびオーミック接触構造を提供することを目的として、電極用金属層とn型Ge層との間に、電子濃度が $10^{19} \text{ cm}^{-3}$ 以上で厚みが2 nm以上のn<sup>+</sup>型Ge層を形成したことを特徴とするオーミック接触構造の発明が開示されている。

## 先行技術文献

### 特許文献

[0012] 特許文献1：特開2012-124483号公報

特許文献2：特開2014-41987号公報

### 非特許文献

[0013] 非特許文献1：V. Heine, "Theory of Surface States," Phys. Rev. 138, A1689 (1965)

非特許文献2：S. M. Sze, Physics of Semiconductor Devices, 2nd ed. Wiley, New York (1981)

非特許文献3：H. B. Michaelson, J. Appl. Phys. 48, 4729 (1977).

## 発明の概要

### 発明が解決しようとする課題

[0014] しかし、特許文献1や特許文献2に開示の手法のように、n型半導体と電極材料との接合界面領域に高いドナー濃度 $N_D$ を有する半導体層を設ける場合には、上記高ドナー濃度の半導体層を形成するための工程が必要となるため、半導体デバイスの製造コストの上昇を招く結果となる。さらに、熱平衡状態で実現される固溶限以上のドナーを半導体中に導入することによって、新たな欠陥が導入されることになる場合が多く、n<sup>+</sup>/p接合の逆バイアスリーク電流が著しく増大することが危惧される。

[0015] よって、n型半導体側の接合界面領域に新たな半導体層をわざわざ設ける

のではなく、n型半導体の表面に接合される電極材料の選択そのものにより、オーミック性の高い接触を実現することが望ましい。また、n型半導体側の接合界面付近の高濃度のドナー層の配置に加えて、 $\phi_B$ の小さな電極を実現することで、上式1に従ってコンタクト抵抗率を大きく減少させることができることが期待される。

### 課題を解決するための手段

- [0016] 上述した課題を解決するために、本発明に係る半導体装置は、室温におけるバンドギャップが1.2 eV以下のn型導電性を有する半導体結晶の表面に、電子濃度が $1 \times 10^{22} \text{ cm}^{-3}$ 未満の材料から成るコンタクト層が直接設けられているコンタクト構造を備えていることを特徴とする。
- [0017] 好ましくは、前記半導体結晶は、Si、Ge、もしくはSiとGeの化合物( $\text{Si}_x\text{Ge}_y$ )の何れかである。
- [0018] ある態様では、前記半導体結晶はGeであり、前記コンタクト層はGd、Y、Ho、Er、Ybの何れかのゲルマニウム化合物もしくはBiを主成分とする材料から成る。
- [0019] また、ある態様では、前記半導体結晶はSiであり、前記コンタクト層はBiを主成分とする材料から成る。
- [0020] また、前記コンタクト層は、前記半導体結晶の表面領域のドナー濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下の場合においてオーミック性の高い接触をとることができる材料を選択することもできる。従来の構造のものでは、ドナー濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下といった低濃度の場合には、オーミック接触を得ることが困難であったのに対し、本発明の構造においては、上記の低いドナー濃度の場合でもオーミック接触を得ることができる。
- [0021] 本発明に係る半導体装置が備えるコンタクト構造は、前記コンタクト層の上に金属層を備えている態様とすることもできる。
- [0022] 本発明に係る半導体装置は、前記半導体結晶がSiもしくはGeである、nチャネルMOSFETである。

### 発明の効果

[0023] 本発明によれば、室温におけるバンドギャップが1.2 eV以下のn型導電性を有する半導体結晶の表面に、電子濃度が $1 \times 10^{22} \text{ cm}^{-3}$ 未満の材料から成るコンタクト層を直接設けることとしたので、コンタクト層側から半導体表面側への波動関数の浸み出しが抑制され、その結果、フェルミレベルピンニング現象に起因する障壁 $\phi_B$ の発生が抑制され、オーミック性の高い接触を実現することができる。

### 図面の簡単な説明

[0024] [図1]成膜後の積層状態(A)および熱処理後の積層状態(B)を概念的に説明するための図である。

[図2]元素金属/n-Ge接合のJ-V特性(A)および金属ジャーマナイド/n-Ge接合のJ-V特性(B)を示す図である。

[図3]Gdジャーマナイド/n-Ge接合およびHoジャーマナイド/n-Ge接合について、飽和電流密度 $J_s$ の温度依存性からショットキー障壁( $q \cdot \phi_B$ )とその均一性について調べた結果を示す図である。ここでqは電子のもつ電荷量である。

[図4]FLP緩和の程度のn-Geの結晶面方位依存性を調べた結果を示す図である。

[図5]コンタクト層として用いた材料毎のショットキー障壁の高さの測定値である。

[図6]Bi系材料/n-Si接合界面におけるFLPの緩和について調べた結果を示す図である。

[図7]Gdジャーマナイド/n-Ge接合におけるショットキー障壁高さの、コンタクト層としてのGdジャーマナイド( $\text{GdGe}_x$ )の厚み依存性を調べた結果を示す図である。

### 発明を実施するための形態

[0025] 以下に、図面を参照して、本発明に係るコンタクト構造について説明する。

[0026] 上述したとおり、SiやGeといった代表的な半導体結晶を用いて半導体

装置を作製するに際して、オーミック性の高い接触のコンタクト構造を設ける場合、電極として用いる金属材料の仕事関数を変えても、フェルミレベルピンニング現象により、所望のオーミック性を実現することが困難であり、この困難さは特に、n型の導電型の半導体結晶において顕著である。

[0027] なお、半導体のバンドギャップが大きい場合には、斯かる現象は然程、顕著なものとはならない。よって、n型で且つ室温におけるバンドギャップが概ね1.2 eV以下の半導体結晶にオーミック性の高い接触を実現するに際し、フェルミレベルピンニング現象を如何に抑制するかが現実的な課題となってくる。

[0028] 本発明者らは、この問題を解決するに当たり、コンタクト層側から半導体結晶側への電子（波動関数）の浸み出しを抑制することで、フェルミレベルピンニングの影響を顕著に抑えることができるのではないかと考え、本発明を成すに至った。

[0029] フェルミレベルピンニングの起源に関しては多くの議論があるが、いずれの場合においても界面ダイポール層が形成され、その大きさはダイポール密度と各ダイポールの強さによって決定されると考えられる。V. Heineの半導体界面の準位に対する議論に基づいて、その後、フェルミレベルピンニング現象を説明するために、金属誘起準位理論(Metal Induced Gap States: MIGSモデル)が提唱されている（非特許文献1：“Theory of Surface States,” Phys. Rev. 138, A1689 (1965)）。

[0030] このMIGS理論では、異なるバンド構造をもつ金属と半導体の接合界面における波動関数の整合性（フェルミ面の整合性）を問題とする。金属と半導体との接合界面にはバンドギャップの非整合性が生じるから、金属の波動関数はバンドギャップ中で減衰する。具体的には、接合界面に存在するポテンシャル障壁中において、波動関数（正弦波）が指数関数的に減衰することとなり、換言すれば、半導体のバンドギャップ中に、金属の波動関数が染み出した状態となる。そして、この波動関数の染み出しの程度が大きい程、フェルミレベルピンニング現象が顕著になる。



- [0031] 本発明者らは、上記MIGS理論に基づけば、上述の波動関数の染み出しの程度を顕著に低く抑えることとすれば、フェルミレベルピンニング現象も顕著に抑制され、オーミック性の高い接触を容易に得ることが可能になると考えた。
- [0032] そして、波動関数の染み出しの程度を顕著に低く抑えるには、コンタクト層として用いる材料中の電子濃度を低く設計することが効果的であるとの知見に至った。
- [0033] 本発明者らの単純な自由電子モデルでの計算によれば、コンタクト層と半導体のバンドギャップが所定の値である場合、コンタクト層側からの半導体結晶側への波動関数の染み出し量 ( $\Delta n_{\text{transfer}}$ ) は、コンタクト層として用いる材料中の自由電子濃度 ( $n$ ) の  $1/3 \sim 2/3$  乗に比例する ( $\Delta n_{\text{transfer}} \propto n^{1/3 \sim 2/3}$ )。一般的な金属材料中の電子濃度は  $10^{22} \sim 10^{23} \text{ cm}^{-3}$  であるから、コンタクト層として用いる材料中の電子濃度を低く設計することにより、コンタクト層側からの半導体結晶側への波動関数の染み出し量を顕著に抑制することが可能となる。そこで、本発明者らは、このような条件を満足する材料として、従来の金属ではなく、当該半導体と金属の化合物 (Geの場合にはジャーマナイド、Siの場合にはシリサイド)、あるいは半金属や導電性酸化物といった導電性を有する材料に注目することとしたのである。
- [0034] そして、本発明者らの検討によれば、室温におけるバンドギャップが  $1.2 \text{ eV}$  以下の  $n$  型導電性を有する半導体結晶の表面に直接設けるコンタクト層の材料として、電子濃度が  $1 \times 10^{22} \text{ cm}^{-3}$  未満の導電性を有する材料を選択すると、オーミック性の高い接触特性を示すコンタクト構造が得られるとの結果が得られた。
- [0035] ここで、本明細書中では、異種材料の接合領域において、 $-0.5 \text{ V}$  から  $+0.5 \text{ V}$  の範囲で電圧を変化させたときに電流が  $\pm 10\%$  の範囲で線形に変化するものを、「オーミック性の高い接触」と定義する。
- [0036] 室温におけるバンドギャップが  $1.2 \text{ eV}$  以下の半導体結晶としては、Si、Ge、SiとGeの化合物 ( $\text{Si}_x\text{Ge}_y$ ) を例示することができる。

- [0037] 上述の半導体とコンタクト層材料の組合せとしては、半導体結晶がGeであり、コンタクト層がGd、Y、Ho、Er、Ybの何れかのゲルマニウム化合物もしくはBiを主成分とする導電性を有する材料を例示することができる。
- [0038] また、半導体結晶がSiであり、コンタクト層がBiを主成分とする材料である組合せも例示することができる。
- [0039] なお、半導体結晶の表面領域のドナー濃度が高く、コンタクト層との接合界面での電子濃度が十分に高いと、そもそもオーミック接触性を得ることはできるが、従来の構造のものでは、ドナー濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下といった低濃度の場合にはオーミック接触を得ることが困難であった。これに対し、本発明の構造においては、ドナー濃度が $1 \times 10^{18} \text{ cm}^{-3}$ 以下といった低濃度の場合でもオーミック性の高い接触をとることができるから、このようなコンタクト層の設計あるいは選択はきわめて重要な技術になる。特に、高濃度層の実現が難しい場合でもこの効果が得られることは、デバイスへの適用範囲を大きく広げることになる。
- [0040] このようなコンタクト構造は、上述のコンタクト層の上に金属層を備えている態様としてもよいことは言うまでもない。
- [0041] このようなコンタクト構造を備える半導体装置は、例えば、半導体結晶がSiもしくはGeである、C-MOSにおけるnチャネルMOSFETであってよい。

## 実施例

- [0042] [金属ジャーマナイド/n-Ge接合界面におけるFLPの緩和]  
上述のとおり、フェルミレベルピンニング（FLP）の起源に関しては多くの議論があるが、いずれの場合においても界面ダイポール層が形成され、その大きさはダイポール密度と各ダイポールの強さによって決定されると考えられる。
- [0043] 本実施例では、金属とGeの化合物を形成することによって電子濃度の低い金属を形成し、染みだし量を変化させることによって、ダイポールの強さ

と密度を変化させ、 $n$ -Geとの接合界面との間に生じるFLPについて系統的に調べた。

[0044] ドナー濃度が $10^{16}/\text{cm}^3$ レベルの $n$ 型の(100) Ge基板上に、厚みが30 nmの各種金属(Gd、Ho、Er、Yb、Ti、Co、Pt)の膜を蒸着成膜し、その上にアモルファスGeの膜を20 nmの厚みで蒸着成膜した。その後、真空中(概ね $10^{-5}$  Pa程度)で、 $500^\circ\text{C}$ で30分間の熱処理を行い、金属-Ge化合物/ $n$ -Ge接合を形成した。これらの各試料は何れも、X線回折法により、上記熱処理により多結晶ジャーマナイドが形成されていることが確認されている。なお、比較のために、上記各金属の成膜のみを行い、熱処理を行わない試料も作製した。そして、これらの試料につき、接合界面のショットキー特性を評価した。

[0045] 図1は、上記成膜後の積層状態(図1(A))および熱処理後の積層状態を概念的に説明するための図(図1(B))である。成膜後には、 $n$ 型の(100) Ge基板10の表面上に、金属膜20とアモルファスGeの膜30が積層されていた状態にあったものが、 $500^\circ\text{C}$ で30分間の熱処理後には、金属膜20とアモルファスGeの膜30が金属ジャーマナイド膜40となり、Ge基板10の表面上に直接、金属ジャーマナイド膜40が接合された状態となる。

[0046] また、図2は、元素金属/ $n$ -Ge接合の室温におけるJ-V特性(図2(A))および金属ジャーマナイド/ $n$ -Ge接合の室温におけるJ-V特性(図2(B))を示す図である。まず、図2(A)と図2(B)との比較から、金属ジャーマナイド/ $n$ -Ge接合とすることにより、オーミック性が向上していることが明瞭に読み取れる。

[0047] また、図2(B)中に示した7種の金属ジャーマナイド/ $n$ -Ge接合を比較すると、相対的に低い仕事関数を有する金属(Gd、Ho、Er、Yb)より形成した金属ジャーマナイドにおける $n$ -Geとの接合において、オフ電流、飽和電流密度( $J_s$ :  $V=0$ におけるJの外挿値)の増大が認められる。なお、上記Gd、Ho、Er、Yb以外にも、Yのジャーマナイド及び

B i を主成分とする材料においても同様の効果が得られた。

[0048] 図3は、Gdジャーマナイド/n-Ge (GdGex/n-Ge) 接合およびHoジャーマナイド/n-Ge (HoGex/n-Ge) 接合について、飽和電流密度  $J_s$  の温度依存性からショットキー障壁 ( $q \cdot \phi_b$ ) とその均一性について調べた結果を示す図である。

[0049] この図に示した温度依存性を示す直線の傾きから、ショットキー障壁 ( $q \cdot \phi_b$ ) は、Gdジャーマナイド/n-Ge接合につき0.42 eV、Hoジャーマナイド/n-Ge接合につき0.43 eVと見積もられる。また、この直線の切片より見積もられるリチャードソン定数は、非特許文献2にある値  $143 \text{ A/cm}^2/\text{K}^2$  にほぼ一致する。この事実は、局所的な障壁低下によるリークではなく均一にショットキー障壁が形成されていることを示している。

[0050] これらの結果から、金属ジャーマナイド/n-Ge接合界面においては、形成されるダイポールの密度が減少し、その結果、FLPの緩和が起きているものと考えられる。

[0051] [n-GeにおけるFLP緩和の面方位依存性]

図4は、上述のFLP緩和の程度の、n-Geの結晶面方位依存性を調べた結果を示す図である。試料として、(111)、(100)、(110)を主面とするn-Ge基板の上にGdジャーマナイドを設け、Gdジャーマナイド/n-Ge接合を形成した。

[0052] 図4(A)に示した室温におけるJ-V特性から、上述のFLP緩和は、(111)面において特に顕著である。また、図4(B)に示した温度依存性を示す直線の傾きから、本実施例のもののショットキー障壁 ( $q \cdot \phi_b$ ) は、Gdジャーマナイド/(111)n-Ge接合につき0.32 eV、Gdジャーマナイド/(100)n-Ge接合につき0.42 eV、Gdジャーマナイド/(110)n-Ge接合につき0.53 eVと見積もられ、均一にショットキー障壁が形成されていることも読み取れる。

[0053] 図5に、ショットキー障壁の高さの、n-Ge基板上に設けたコンタクト

層の材料依存性を整理した。図中の左側に、純粋な単元素金属材料のコンタクト層をn型Ge(100) 面上に設けた場合のショットキー障壁高さを示しており、図中の右側に、上記単元素金属のジャーマナイド（金属-Ge化合物）からなるコンタクト層を、n型Ge(100) 面上およびn型Ge(111)面上に設けた場合のショットキー障壁高さを示している。上述のとおり、金属材料でコンタクト層を設けた場合に比較して、ジャーマナイド化した材料から成るコンタクト層を設けた場合には、ショットキー障壁が低くなる傾向が明瞭に読み取れる。また、n-Ge基板の主面が(111)の場合には、主面が(100)の場合に比較して、ショットキー障壁が低くなる傾向がある。

[0054] [Bi系材料/n-Si接合界面におけるFLPの緩和]

図6は、半導体結晶をn-Geに代えてn-Siとした場合の、Bi系材料/n-Si接合界面におけるFLPの緩和について調べた結果を示す図である。この図で示したn-Siの面方位は(100)で、このSi基板の上にコンタクト層としてBiを設け、Bi/n-Si接合を形成した。なお、比較のために、Gd/n-Si接合およびAl/n-Si接合についても試料作製した。

[0055] 図6に示した室温におけるJ-V特性から、Alコンタクト層、Gdコンタクト層、Biコンタクト層の順に、接合界面におけるFLPの緩和が強くなっており、特に、Biコンタクト層(Bi/n-Si接合)の場合には略完全なオーミック性が得られている。

[0056] これらの金属中の自由電子濃度は、Alにおいて $2 \times 10^{23} \text{ cm}^{-3}$ 、Gdにおいて $6 \times 10^{23} \text{ cm}^{-3}$ 、Biにおいて $10^{16} \sim 10^{17} \text{ cm}^{-3}$ であり、一方で仕事関数に関してはAlにおいては $\sim 4.3 \text{ V}$ 、Gdにおいて $3.1 \text{ V}$ 、Biにおいて $4.2 \text{ V}$ の値が報告されている（非特許文献3参照）。BiとAlはほとんど同じ仕事関数をもつが、自由電子密度が低いBiでは接合界面におけるFLPの程度が著しく弱くなり、ショットキー障壁の高さに関してBiはほぼGdの場合かそれ以下の仕事関数の場合に近いことが明瞭に読み取れる。

[0057] [コンタクト層の薄膜化]

図7は、Gdジャーマナイド/n-Ge接合におけるショットキー障壁（バリア高さ）の、コンタクト層としてのGdジャーマナイド（GdGe<sub>x</sub>）の厚み依存性を調べた結果を示す図である。なお、この図に示した例では、基板は主面が（111）面のGeである。ショットキー障壁高さは、コンタクト層の厚みが概ね4nmを超えると略一定の低い値を示しており、良好なオーミック接触が得られている。

[0058] 上述したように、本発明によれば、室温におけるバンドギャップが1.2eV以下のn型導電性を有する半導体結晶の表面に、電子濃度が $1 \times 10^{22} \text{ cm}^{-3}$ 未満の材料から成るコンタクト層を直接設けることとしたので、コンタクト層側から半導体表面側への波動関数の浸み出しが抑制され、その結果、フェルミレベルピンニング現象に起因する障壁 $\phi_B$ の発生が抑制され、オーミック性の高い接触を実現することができる。

[0059] なお、本発明を実施するに際し、上記コンタクト層の上に金属層を備えている態様とすることができることは言うまでもない。

[0060] 本発明に係るコンタクト構造は、C-MOSをはじめとする半導体装置において極めて有用である。

### 産業上の利用可能性

[0061] 本発明によれば、コンタクト層側からn型半導体表面側への波動関数の浸み出しが抑制され、その結果、フェルミレベルピンニング現象に起因する障壁 $\phi_B$ の発生が抑制され、オーミック性の高い接触を実現することができる。

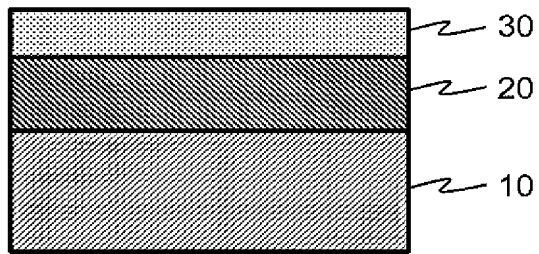
### 符号の説明

- [0062] 10 n型Ge基板  
20 金属膜  
30 アモルファスGeの膜  
40 金属ジャーマナイド膜

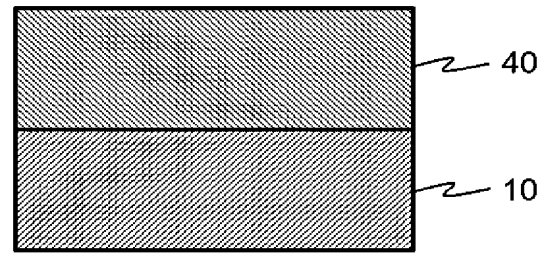
## 請求の範囲

- [請求項1] 室温におけるバンドギャップが $1.2\text{ eV}$ 以下のn型導電型を有する半導体結晶の表面に、電子濃度が $1 \times 10^{22}\text{ cm}^{-3}$ 未満の材料から成るコンタクト層が直接設けられているコンタクト構造を備えている、半導体装置。
- [請求項2] 前記半導体結晶は、Si、Ge、もしくはSiとGeの化合物( $\text{Si}_x\text{Ge}_y$ )の何れかである、請求項1に記載の半導体装置。
- [請求項3] 前記半導体結晶はGeであり、前記コンタクト層はGd、Y、Ho、Er、Ybの何れかのゲルマニウム化物もしくはBiを主成分とする材料から成る、請求項1に記載の半導体装置。
- [請求項4] 前記半導体結晶はSiであり、前記コンタクト層はBiを主成分とする材料から成る、請求項1に記載の半導体装置。
- [請求項5] 前記半導体結晶の表面領域のドナー濃度が $1 \times 10^{18}\text{ cm}^{-3}$ 以下である、請求項1に記載の半導体装置。
- [請求項6] 前記コンタクト層の上に金属層を備えている、請求項1～5の何れか1項に記載の半導体装置。
- [請求項7] 前記半導体装置は、前記半導体結晶がSiもしくはGeである、nチャネルMOSFETである、請求項1～6の何れか1項に記載の半導体装置。

[図1]

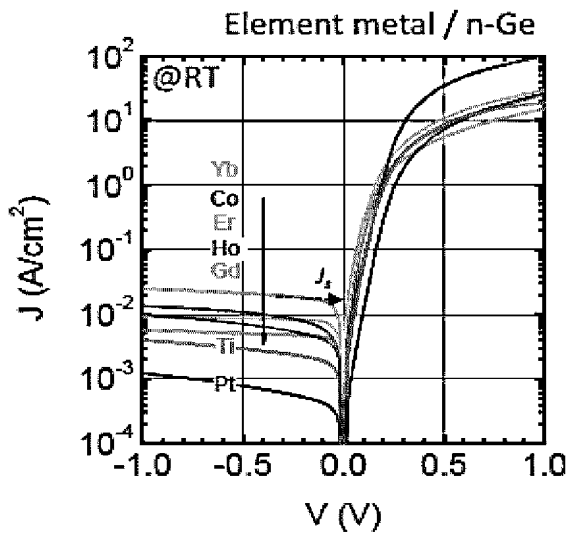


(A)

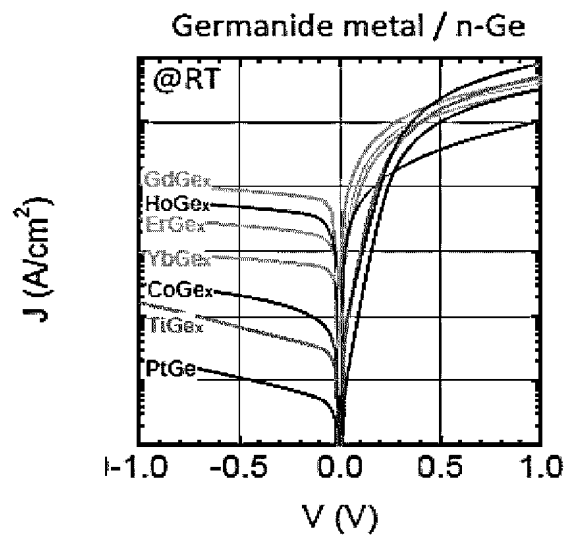


(B)

[図2]



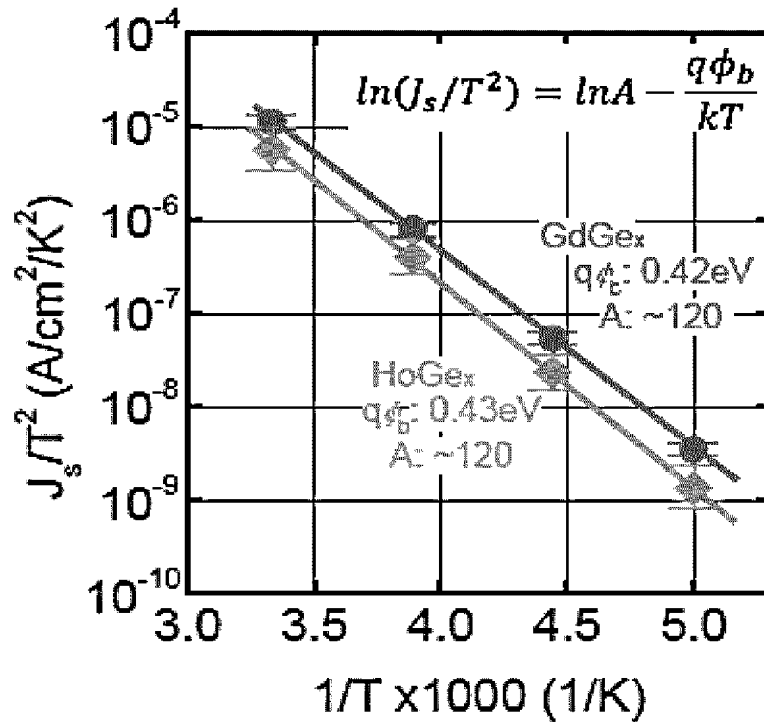
(A)



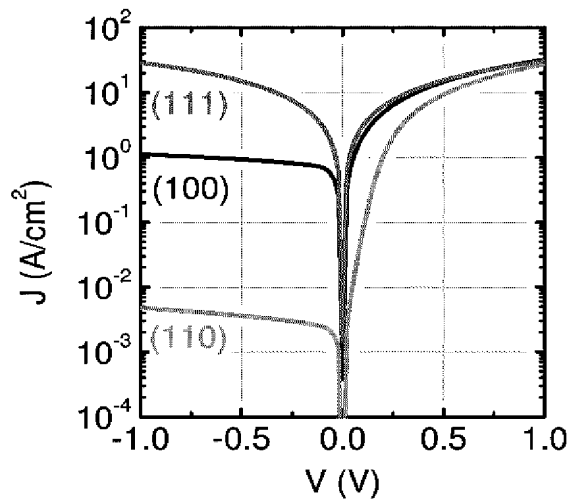
(B)



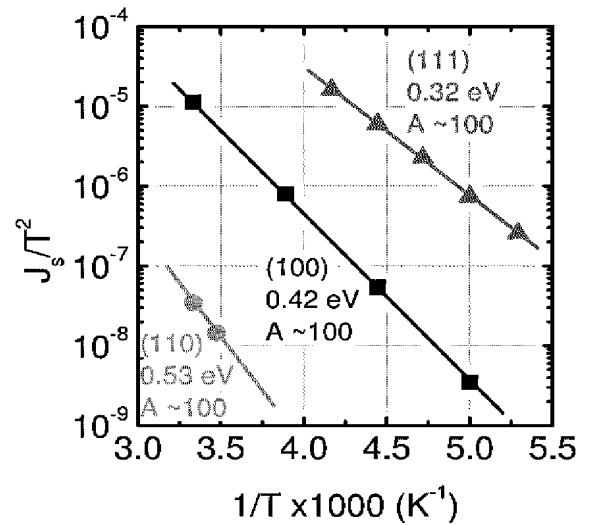
[図3]



[图4]

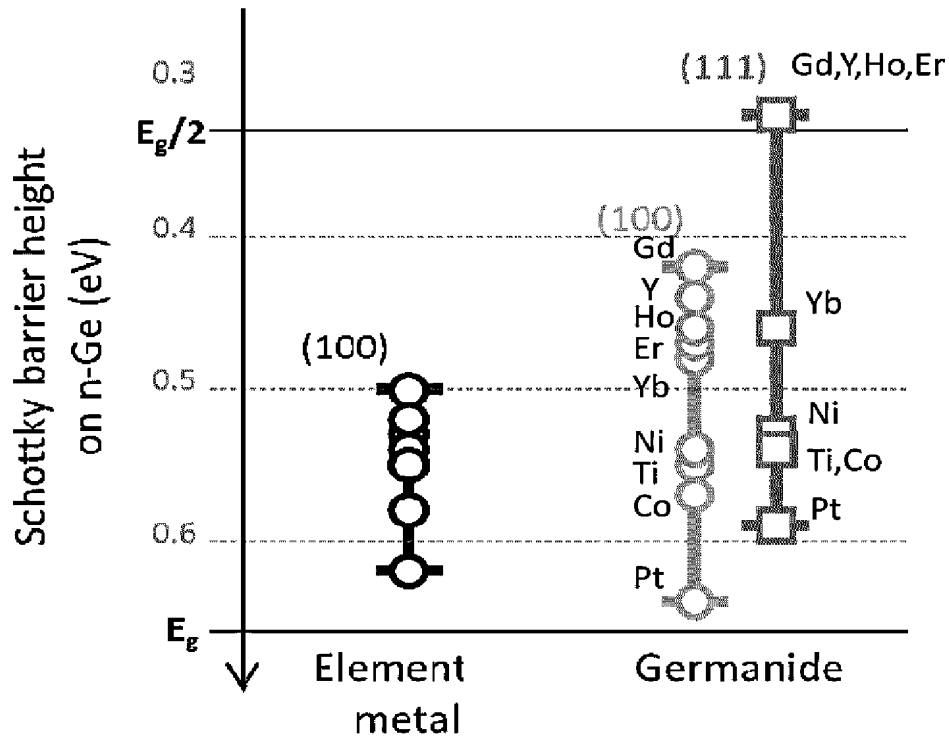


(A)

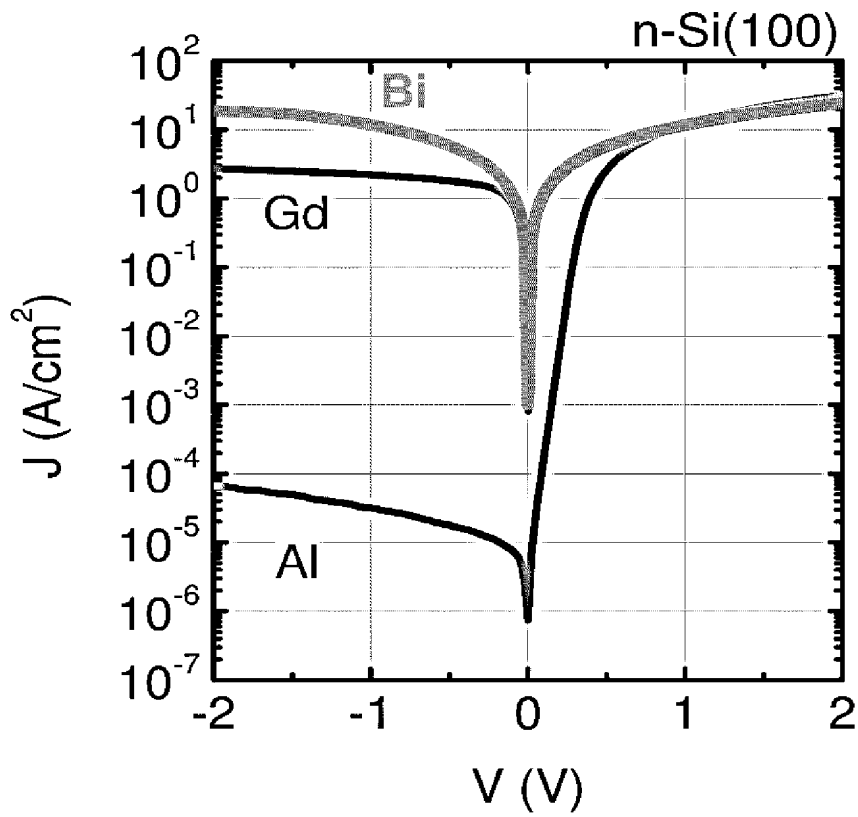


(B)

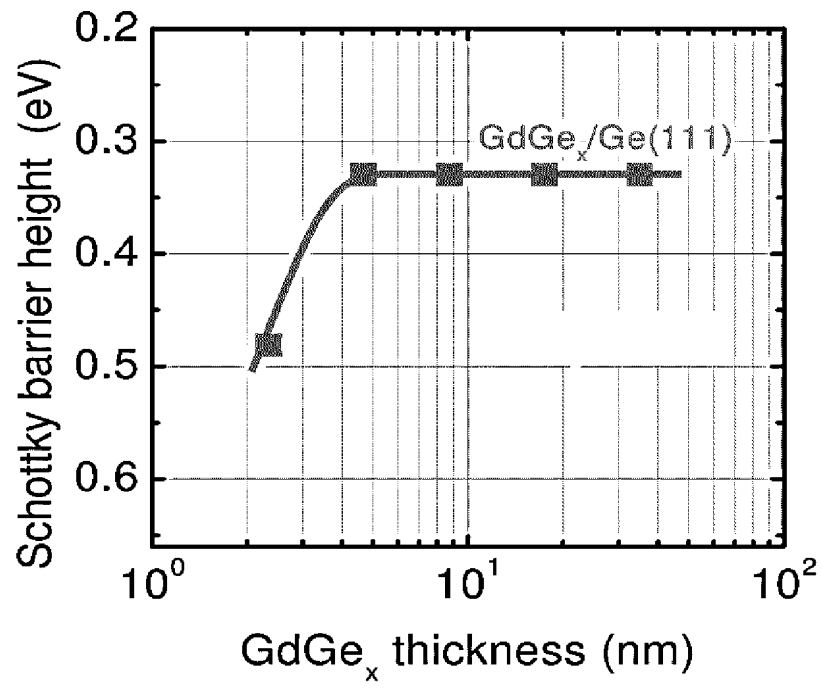
[図5]



[図6]



[図7]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/006776

## A. CLASSIFICATION OF SUBJECT MATTER

H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L29/417(2006.01)i,  
H01L29/78(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/28, H01L21/336, H01L29/417, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2017  
Kokai Jitsuyo Shinan Koho 1971-2017 Toroku Jitsuyo Shinan Koho 1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2013/133060 A1 (National Institute of Advanced Industrial Science and Technology), 12 September 2013 (12.09.2013), paragraphs [0017] to [0042]; fig. 1 to 11 (Family: none)	1, 2, 6, 7 3-5
A	Huan Da Wu, et al, Ohmic Contact to n-Type Ge With Compositional W Nitride, IEEE ELECTRON DEVICE LETTERS, Vol, 35, No. 12, 2014.10.28, p.1188-1190	1-7
A	Shih-Chieh Teng, et al, Fermi Level Depinning on n-Epitaxial GeSn by Yb Stanogermanide Formation With Low-Contact Resistivity, IEEE ELECTRON DEVICE LETTERS, Vol, 37, No. 09, 2016.07.14, p.1207-1210	1-7

Further documents are listed in the continuation of Box C.

See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
29 March 2017 (29.03.17)

Date of mailing of the international search report  
11 April 2017 (11.04.17)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/006776

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	K.Kakushima, et al, A Low Temperature Ohmic Contact Process for n-type Ge Substrate, Ext Abs.the 13th International Workshop on Junction Technology 2013, 2013.06.06, p.35-36	1-7
A	JP 2009-59996 A (The University of Tokyo), 19 March 2009 (19.03.2009), entire text & US 2010/0176478 A1 & WO 2009/031502 A1	1-7

A. 発明の属する分野の分類（国際特許分類（IPC））  
 Int.Cl. H01L21/28(2006.01)i, H01L21/336(2006.01)i, H01L29/417(2006.01)i, H01L29/78(2006.01)i

B. 調査を行った分野  
 調査を行った最小限資料（国際特許分類（IPC））  
 Int.Cl. H01L21/28, H01L21/336, H01L29/417, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	WO 2013/133060 A1 (国立研究開発法人産業技術総合研究所) 2013.09.12, 段落[0017]-[0042], 図1-11 (ファミリーなし)	1, 2, 6, 7 3-5
A	Huan Da Wu, et al, Ohmic Contact to n-Type Ge With Compositional W Nitride, IEEE ELECTRON DEVICE LETTERS, Vol, 35, No. 12, 2014.10.28, p. 1188-1190	1-7

☞ C欄の続きにも文献が列挙されている。 ☜ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 29.03.2017	国際調査報告の発送日 11.04.2017
--------------------------	--------------------------

国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 佐藤 靖史	50	5895
	電話番号 03-3581-1101 内線 3559		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	Shih-Chieh Teng, et al, Fermi Level Depinning on n-Epitaxial GeSn by Yb Stanogermanide Formation With Low-Contact Resistivity, IEEE ELECTRON DEVICE LETTERS, Vol, 37, No. 09, 2016. 07. 14, p. 1207-1210	1-7
A	K. Kakushima, et al, A Low Temperature Ohmic Contact Process for n-type Ge Substrate, Ext Abs. the 13th International Workshop on Junction Technology 2013, 2013. 06. 06, p. 35-36	1-7
A	JP 2009-59996 A (国立大学法人 東京大学) 2009. 03. 19, 全文 & US 2010/0176478 A1 & WO 2009/031502 A1	1-7