

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2019年1月17日(17.01.2019)



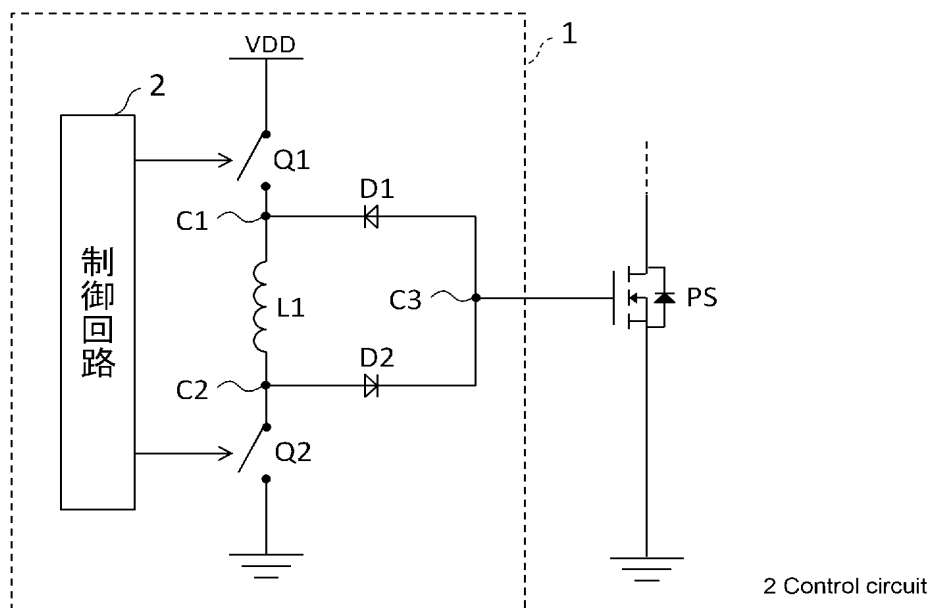
(10) 国際公開番号

WO 2019/013054 A1

- (51) 国際特許分類:
H02M 1/08 (2006.01) *H03K 17/04* (2006.01)
- (21) 国際出願番号: PCT/JP2018/025269
- (22) 国際出願日: 2018年7月3日(03.07.2018)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2017-135683 2017年7月11日(11.07.2017) JP
- (71) 出願人: 国立大学法人京都工芸繊維大学(NATIONAL UNIVERSITY CORPORATION KYOTO INSTITUTE OF TECHNOLOGY) [JP/JP]; 〒6068585 京都府京都市左京区松ヶ崎橋上町1番地 Kyoto (JP).
- (72) 発明者: 小林 和淑(KOBAYASHI, Kazutoshi); 〒6068585 京都府京都市左京区松ヶ崎橋上町1番地 国立大学法人京都工芸繊維大学内 Kyoto (JP). 古田 潤(FURUTA, Jun); 〒6068585 京都府京都市左京区松ヶ崎橋上町1番地 国立大学法人京都工芸繊維大学内 Kyoto (JP). 稲森 奨(INAMORI, Sho); 〒6068585 京都府京都市左京区松ヶ崎橋上町1番地 国立大学法人京都工芸繊維大学内 Kyoto (JP).
- (74) 代理人: 特許業務法人三枝国際特許事務所(SAEGUSA & PARTNERS); 〒5410045 大阪府大阪市中央区道修町1-7-1 北浜T N Kビル Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) Title: GATE DRIVE CIRCUIT CAPABLE OF HIGH-SPEED SWITCHING

(54) 発明の名称: 高速スイッチング可能なゲート駆動回路



(57) Abstract: This gate drive circuit (1) for driving a gate of a power switching element (PS) is provided with: an inductor (L1); a first switch (Q1) which is arranged between one end of the inductor (L1) and a power supply potential (VDD); a second switch (Q2) which is arranged between the other end of the inductor (L1) and the ground potential; a first diode (D1), the cathode of which is connected to a first connection node (C1) of the first switch (Q1) and the inductor (L1); and a second diode (D2), the anode of which is connected to a second connection node (C2) of the second switch (Q2) and the inductor (L1). The anode of the first diode (D1) and the cathode of the second diode (D2) are connected to each other; and the gate is connected to a third connection node (C3) of the anode of the first diode (D1) and the cathode of



WO 2019/013054 A1

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

the second diode (D2).

(57) 要約: 電力用スイッチング素子 (PS) のゲートを駆動するためのゲート駆動回路 (1) は、インダクタ (L1) と、インダクタ (L1) の一端と電源電位 (VDD) との間に設けられた第1スイッチ (Q1) と、インダクタ (L1) の他端と接地電位との間に設けられた第2スイッチ (Q2) と、第1スイッチ (Q1) とインダクタ (L1) との第1接続ノード (C1) にカソードが接続された第1ダイオード (D1) と、第2スイッチ (Q2) とインダクタ (L1) との第2接続ノード (C2) にアノードが接続された第2ダイオード (D2) と、を備え、第1ダイオード (D1) のアノードと第2ダイオード (D2) のカソードとが接続されており、ゲートは、第1ダイオード (D1) のアノードと第2ダイオード (D2) のカソードとの第3接続ノード (C3) に接続されている。

明 細 書

発明の名称：高速スイッチング可能なゲート駆動回路

技術分野

[0001] 本発明は、電力用スイッチング素子を高速スイッチング可能なゲート駆動回路に関する。

背景技術

[0002] 電力エネルギー応用分野においてパルス大電力技術は大きな位置付けであり、FETやIGBTなどの電圧駆動型の電力用半導体スイッチング素子を駆動して電力エネルギーを制御する駆動・制御回路が多く提案されている。そのような駆動・制御回路として、電力用半導体スイッチング素子のゲートにオン電圧を印加するためのオン駆動回路と、オフ電圧を印加するためのオフ駆動回路とを備え、電力用半導体スイッチング素子のオン・オフ状態を制御するものが一般に使用されている。

[0003] これらの駆動・制御回路では電力効率を高くすることと、電力用半導体スイッチング素子にダメージを与えないこと、および、対象機器や周辺機器への悪影響を防止するために、電力用半導体スイッチング素子のスイッチング時に発生する電磁ノイズを低減することが望まれている。その一つの方法として、電力用半導体スイッチング素子のゲートにゲート抵抗を接続して電力用半導体スイッチング素子に流れるゲート電流を、ターンオン又はターンオフに要する期間中に細かく調整する方法が知られている（例えば、非特許文献1）。

[0004] 非特許文献1には、図10に示す回路が記載されている。図10では、直列接続された2つのスイッチQ11, Q12を備えたゲート駆動回路10によって、SiC-MOSFETで構成される電力用スイッチング素子PSのゲートを駆動する。電力用スイッチング素子PSのゲートには、ゲート抵抗 R_G が接続されており、スイッチQ11, Q12のオン／オフ制御により、ゲート電流を調整している。ここで、電力用スイッチング素子PSには、ゲ

トの内部抵抗およびゲート／ソース間に生じる内部容量 C_{iss} が存在するため、これらによってスイッチングが律速される。例えば、電力用スイッチング素子 PS として、ローム株式会社製 $SiC-MOSFET$ （形名： $SC T 2 4 5 0 K E$ ）を用いた場合、内部抵抗が $25\ \Omega$ 、内部容量が $463\ pF$ である。そのため、電力用スイッチング素子 PS のゲート電圧を 95% 充電するためには、約 $35\ ns$ の時間を要する。

[0005] また、電力用スイッチング素子 PS のスイッチング動作は、電気回路的には内部容量 C_{iss} の充放電プロセスである。従って、ゲート抵抗 R_g を小さくすると、ゲート電流の電流が大きくなり、ゲートの内部容量 C_{iss} の従放電に要する時間が短くなるためスイッチング損失は低減されるがスイッチングノイズが増大する。逆に、ゲート抵抗 R_g を大きくすると、スイッチングノイズは低減されるがスイッチング損失が増大する。

[0006] この問題を解決するために、ゲート抵抗を低い抵抗値に設定することでソース／ドレイン間電圧が急速に立ち上がる（高速スイッチングされる）ように駆動し、ソース／ドレイン間電圧が所定値に達すると、ゲート抵抗を高い抵抗値に切り替える駆動方法が提案されている。しかし、駆動対象素子として用いられる電圧駆動型の電力用半導体スイッチング素子のスイッチング期間は、通常、数 $100\ ns$ 以下であり、極めて短いスイッチング期間内に、抵抗値をタイミング良く切り替えなければならない。従って、ゲート抵抗値を可変にするための高速に動作する素子や、高電圧を検知する高精度なセンサを用いて構成しなければならず、装置が複雑で高価なものとなるだけでなく、制御のタイミングに余裕がないため制御が難しいという問題があり、スイッチングノイズ低減とスイッチング損失低減との間のトレードオフの関係を解消することは困難である。

[0007] これに対し、非特許文献2では、ゲート駆動回路にインダクタを用いることにより、スイッチング素子のオン動作を高速化している。非特許文献2には図11に示す回路が記載されている。図11では、直列接続されたスイッチ Q_{21} 、 Q_{22} 、およびスイッチ Q_{21} 、 Q_{22} 間に設けられたインダク

タL 2 1 を備えたゲート駆動回路2 0 によって、S i C - M O S F E T で構成される電力用スイッチング素子P S のゲートを駆動する。ゲート駆動回路2 0 では、スイッチング前にスイッチQ 2 1 , Q 2 2 をオンすることにより、インダクタL 1 に磁界のエネルギーを蓄え、その後、インダクタL 1 からの電流によりゲートを充電する。これにより、ゲートの内部抵抗に関係なく、一定の電流がゲートに供給されるため、電力用スイッチング素子P S のオン動作を高速化することができる。

[0008] しかし、非特許文献2 では、電力用スイッチング素子P S のオフ動作の高速化を行うことはできない。また、インダクタL 2 1 に磁界のエネルギーを過剰に蓄積すると、電力用スイッチング素子P S のゲートを破壊してしまうという問題がある。

先行技術文献

非特許文献

[0009] 非特許文献1 : Bo Wang、他6名、「An Efficient High-Frequency Drive Circuit for GaN Power HFETs」、IEEE TRANSACTIONS ON INDUSTRY APPLICATIONS、2009年、Vol.45、No.2、p.843—853

非特許文献2 : Philip Anthony、他2名、「High-Speed Resonant Gate Driver With Controlled Peak Gate Voltage for Silicon Carbide MOSFETs」、IEEE TRANSACTIONS ON INDUSTRY APPLICATIONS、2014年、Vol.50、No.1、p.573—583

発明の概要

発明が解決しようとする課題

[0010] 本発明の目的は以上に述べた問題点を解決し、簡単な回路構成で、電力回路の電力用スイッチング素子のオン・オフ駆動の高速化、および、高信頼性を両立したゲート駆動回路を提供することにある。

課題を解決するための手段

[0011] 本発明に係るゲート駆動回路は、電力回路の電力用スイッチング素子のゲ

ートを駆動するためのゲート駆動回路であって、インダクタと、前記インダクタの一端と電源電位との間に設けられた第1スイッチと、前記インダクタの他端と前記電源電位より低い基準電位との間に設けられた第2スイッチと、前記第1スイッチと前記インダクタとの第1接続ノードにカソードが接続された第1ダイオードと、前記第2スイッチと前記インダクタとの第2接続ノードにアノードが接続された第2ダイオードと、前記第1スイッチおよび前記第2スイッチの導通／非導通を制御する制御回路と、を備え、前記第1ダイオードのアノードと前記第2ダイオードのカソードとが接続されており、前記ゲートは、前記第1ダイオードのアノードと前記第2ダイオードのカソードとの第3接続ノードに接続されていることを特徴とする。

[0012] 本発明に係るゲート駆動回路では、前記制御回路は、前記電力用スイッチング素子がオフ状態では、前記第1スイッチおよび前記第2スイッチをそれぞれ非導通状態および導通状態に制御し、前記電力用スイッチング素子のターンオンの際には、前記第1スイッチおよび前記第2スイッチを両方とも導通状態に制御して、所定時間後、前記第2スイッチを非導通状態に制御することを特徴とする。

[0013] 本発明に係るゲート駆動回路では、前記制御回路は、前記電力用スイッチング素子がオン状態では、前記第1スイッチおよび前記第2スイッチをそれぞれ導通状態および非導通状態に制御し、前記電力用スイッチング素子のターンオフの際には、前記第1スイッチおよび前記第2スイッチを両方とも導通状態に制御して、所定時間後、前記第1スイッチを非導通状態に制御することを特徴とする。

[0014] 本発明に係るゲート駆動回路では、前記基準電位は接地電位であってもよい。

発明の効果

[0015] 本発明によれば、簡単な回路構成で、電力回路の電力用スイッチング素子のオン・オフ駆動の高速化、および、高信頼性を両立したゲート駆動回路を提供することができる。

図面の簡単な説明

[0016] [図1]本発明の実施形態に係る電力用スイッチング素子およびゲート駆動回路の構成を示す回路図である。

[図2]図1に示すゲート駆動回路による電力用スイッチング素子のオン／オフ制御を説明するための回路図である。

[図3]図1に示すゲート駆動回路による電力用スイッチング素子のオン／オフ制御を説明するための回路図である。

[図4]図1に示すゲート駆動回路による電力用スイッチング素子のオン／オフ制御を説明するための回路図である。

[図5]本発明の実施例において、ダブルパルス試験を実施するための回路構成を示す回路図である。

[図6]電力用スイッチング素子のオン時間およびオフ時間の定義を説明するためのグラフである。

[図7]本発明の実施例におけるダブルパルス試験の結果を示すグラフであり、(a)は電力用スイッチング素子のゲートソース間電圧の波形であり、(b)は電力用スイッチング素子のドレインソース間電圧の波形であり、(c)は電力用スイッチング素子のドレイン電流の波形である。

[図8]本発明の実施例における電力用スイッチング素子のドレイン電流を変えたときのスイッチング時間の変化を示したグラフである。

[図9]本発明のゲート駆動回路および従来のゲート駆動回路による電力用スイッチング素子の応答特性のシミュレーション結果であり、(a)は電力用スイッチング素子のゲートソース間電圧のオフ時およびオン時のスイッチング特性のシミュレーション結果であり、(b)は電力用スイッチング素子のドレインソース間電圧のオフ時およびオン時のスイッチング特性のシミュレーション結果である。

[図10]従来のゲート駆動回路の構成を示す回路図である。

[図11]従来の他のゲート駆動回路の構成を示す回路図である。

発明を実施するための形態

- [0017] 以下、本発明に係る実施形態について図面を参照して説明する。
- [0018] 図1は、本実施形態に係る電力用スイッチング素子PSおよびゲート駆動回路1の構成を示す回路図である。電力用スイッチング素子PSは、ソースが接地されたSiC-MOSFETで構成されている。
- [0019] ゲート駆動回路1は、被駆動素子である電力用スイッチング素子PSのゲートを駆動するための回路であり、インダクタL1と、第1スイッチQ1と、第2スイッチQ2と、第1ダイオードD1と、第2ダイオードD2と、制御回路2とを備えている。実際には、第1スイッチQ1と、第2スイッチQ2として、MOSFET、バイポーラトランジスタなどの素子を用いることができる。ここでは、説明をわかりやすくするために単なるスイッチとして表現している。
- [0020] インダクタL1は、あらかじめ設定された大きさのインダクタンスを有しており、インダクタンスは例えば50~150nHである。
- [0021] 第1スイッチQ1は、インダクタL1の一端と電源電位VDD（本実施形態では直流18V）との間に設けられている。また、第2スイッチQ2は、インダクタL1の他端と電源電位VDDより低い基準電位（本実施形態では接地電位）との間に設けられている。すなわち、第1スイッチQ1、インダクタL1および第2スイッチQ2は、この順で電源電位VDDと接地電位との間に直列接続されている。
- [0022] 第1ダイオードD1は、カソードが第1スイッチQ1とインダクタL1との第1接続ノードC1に接続されており、第2ダイオードD2は、アノードが第2スイッチQ2とインダクタL1との第2接続ノードC2に接続されている。さらに、第1ダイオードD1のアノードと第2ダイオードD2のカソードとが接続されており、電力用スイッチング素子PSのゲートは、第1ダイオードD1のアノードと第2ダイオードD2のカソードとの第3接続ノードC3に接続されている。
- [0023] すなわち、第1ダイオードD1は、電力用スイッチング素子PSのゲートから第1スイッチQ1とインダクタL1との第1接続ノードC1に向かって

順方向になるように設けられている。また、第2ダイオードD2は、第2スイッチQ2とインダクタL1との第2接続ノードC2から電力用スイッチング素子PSのゲートに向かって順方向になるように設けられている。

[0024] 第1スイッチQ1および第2スイッチQ2は、電流の導通／非導通を切り換え可能な素子であれば特に限定されず、例えば、上述したようにMOSFETまたはバイポーラトランジスタ等で構成することができる。制御回路2は、第1スイッチQ1および第2スイッチQ2の制御端子に制御信号を出力して、第1スイッチQ1および第2スイッチQ2の導通／非導通を制御することができる。これにより、電力用スイッチング素子PSのゲートにオン電圧およびオフ電圧を印加して、電力用スイッチング素子PSのオン／オフを制御することができる。電力用スイッチング素子PSのオン／オフ制御について、図2～図4を参照して説明する。

[0025] 電力用スイッチング素子PSがオフ状態では、図2に示すように、制御回路2は、第1スイッチQ1および第2スイッチQ2をそれぞれ非導通および導通状態に制御し、電力用スイッチング素子PSのゲートは接地電位に固定されている。

[0026] 電力用スイッチング素子PSのターンオンの際には、図3に示すように、制御回路2は、第1スイッチQ1および第2スイッチQ2を両方とも導通状態に制御して、インダクタL1に電流を流して磁場のエネルギーを蓄える。所定時間（例えば10ns）後、図4に示すように、制御回路2は第2スイッチQ2を非導通状態に制御して、インダクタL1から第2ダイオードD2を介して電力用スイッチング素子PSのゲートに電流を供給する。これにより、電力用スイッチング素子PSはゲートの内部抵抗に関係なく短時間でオン状態となり、電力用スイッチング素子PSのゲートはゲート駆動回路1の電源電位VDDに固定される。

[0027] ここで、電力用スイッチング素子PSのゲート端子の電圧は、ゲート駆動回路1の電源電位VDDに第1ダイオードD1の順方向電圧を加えた値を長時間超えることはない。このように、ゲート駆動回路1が保護回路の機能を

有しているため、ターンオンの際にインダクタL 1に磁界のエネルギーを過剰に蓄積した場合であっても、電力用スイッチング素子P Sのゲートが破壊されることを防止できる。

[0028] 電力用スイッチング素子P Sのターンオフの際には、図3に示すように、制御回路2は、第1スイッチQ 1および第2スイッチQ 2を両方とも導通状態に制御して、インダクタL 1に電流を流して磁場のエネルギーを蓄える。所定時間（例えば10ns）後、図2に示すように、制御回路2は、第1スイッチQ 1を非導通状態に制御してインダクタL 1から第1ダイオードD 1を介して電力用スイッチング素子P Sのゲートから電流を引き出す。これにより、電力用スイッチング素子P Sはゲートの内部抵抗に関係なく短時間でオフ状態となり、電力用スイッチング素子P Sのゲートは接地電位に固定される。

[0029] ここで、電力用スイッチング素子P Sのゲート端子の電圧は、接地電位から第2ダイオードD 2の順方向電圧を減じた値を長時間下回ることなく、ターンオフの際にインダクタL 1に磁界のエネルギーを過剰に蓄積した場合であっても、電力用スイッチング素子P Sのゲートが破壊されることを防止できる。また、電力用スイッチング素子P Sのターンオン、およびターンオフにおいて、インダクタL 1に流れる電流の方向は同じであり、磁場の反転をとまなう電流方向の反転は生じない。

[0030] 以上のように、本実施形態に係るゲート駆動回路1は、電力回路の電力用スイッチング素子P Sのオン動作の高速化だけでなくオフ動作の高速化も可能である。これにより、従来のゲート駆動回路に比べ、D u t y比の設定可能範囲を拡大することができ、電力の制御範囲を拡大し、制御電力の精度を向上することができる。また、インダクタL 1に磁界のエネルギーを過剰に蓄積した場合であっても、第1ダイオードD 1および第2ダイオードD 2によって、電力用スイッチング素子P Sのゲート端子に過大な電圧がかかることがないため、電力用スイッチング素子P Sのゲートの破壊を防止でき、電磁ノイズの低減を実現することができる。また、ゲート駆動回路1は、受動

素子の小型化が可能であり、特にインダクタL1をプリント基板上に形成することにより、電力変換回路の小型化および軽量化を容易に実現できる。よって、簡単な回路構成で、電力用スイッチング素子PSのスイッチング動作の高速化、および、高信頼性を両立したゲート駆動回路を提供することができる。

[0031] 以上、本発明の実施形態について説明したが、本発明は前記の実施形態に限定されるものではなく、その趣旨を逸脱しない限りにおいて、種々の変更が可能である。

[0032] 前記の実施形態では、電力用スイッチング素子PSがSiC-MOSFETであったが、これに限定されず、例えばGaN-MOSFET、Si-MOSFET等の電力用スイッチング素子であってもよい。

[0033] また、前記の実施形態では、第1ダイオードD1および第2ダイオードD2がPN接合ダイオードであったが、これに限定されず、例えばショットキバリアダイオードであってもよい。

実施例

[0034] 以下、本発明の実施例について説明する。なお、以下の実施例において、前記の実施形態におけるものと同様の機能を有する構成要素については同一の符号を付している。

[0035] 本実施例では、前記の実施形態において説明したゲート駆動回路1、および従来のゲート駆動回路101を作製し、ダブルパルス試験によってスイッチング時間を評価した。具体的には、図5に示すように、ゲート駆動回路1およびゲート駆動回路101を切り換えスイッチSWを介して、電力回路の電力用スイッチング素子PSを組み込んだダブルパルス試験の主回路3に接続した。

[0036] 図5では、従来のゲート駆動回路101が電力用スイッチング素子PSのゲートに接続されている。従来のゲート駆動回路101は電力用スイッチング素子PSのゲートに電流を供給する制御回路102で構成した。

[0037] 本実施例では、電力用スイッチング素子PSとして、ローム株式会社製S

i C-MOSFET (形名: SCT2450KE) を用いた。

[0038] ゲート駆動回路1については、第1スイッチQ1および第2スイッチQ2は、それぞれP型MOSFETおよびN型MOSFETであり、本実施例では、フェアチャイルドセミコンダクター社製のp/nMOSFET (形名: FDS8958A) を用いた。第1ダイオードD1および第2ダイオードはそれぞれ、並列接続された2つのダイオードで構成されており、本実施例では、オン・セミコンダクター社製の整流器 (形名: MURD620CT) を用いた。インダクタL1としては、インダクタンスが79nHのものを用いた。ゲート駆動回路1の制御回路2としては、シリコン・ラボラトリーズ社製のドライバIC (形名: S18235) を用いた。

[0039] 従来のゲート駆動回路101の制御回路102も、ゲート駆動回路1の制御回路2と同様に、マウザーエレクトロニクス社製のドライバIC (形名: S18235) を用いた。

[0040] 主回路3は、ダイオード接続されたスイッチング素子 (ローム株式会社製SiC-MOSFET (形名: SCT2450KE))、インダクタ (145 μ H)、容量素子 (100 μ F) およびDC電源 (120V) で主に構成した。

[0041] なお、ノイズを低減するため、本実施例のゲート駆動回路1、従来のゲート駆動回路101および主回路3は、同一基板上に実装した。

[0042] ダブルパルス試験において、まず、従来のゲート駆動回路101を電力用スイッチング素子PSのゲートに接続し、図5に示す制御回路102からパルス (幅7.4 μ s) を入力し、主回路3のインダクタ及びスイッチング素子PS (ドレイン-ソース間) に5Aの電流が流れる状態にして、スイッチング素子PSをオン/オフ駆動した。続いて、本実施例のゲート駆動回路1を電力用スイッチング素子PSのゲートに接続し、第1スイッチQ1および第2スイッチQ2の導通/非導通を図2~図4に示すように制御して、電力用スイッチング素子PSをオン/オフ駆動した。このようにして、ゲート駆動回路101およびゲート駆動回路1による電力用スイッチング素子PSの

スイッチング特性を測定した。

[0043] 具体的には、電力用スイッチング素子PSのオン／オフ駆動時のゲートソース間電圧 V_{GS} 、ドレインソース間電圧 V_{DS} 、およびドレイン電流 I_D の波形を測定した。そして、これらの波形に基づいて、電力用スイッチング素子PSのオフ時のスイッチング時間 t_{off} およびオン時のスイッチング時間 t_{on} を評価した。本実施例では図6に示すように、オフ時のスイッチング時間 t_{off} を、ゲートソース間電圧 V_{GS} がオン時の90%に立ち下がった時点からドレインソース間電圧 V_{DS} がオフ時の90%に立ち上がった時点までの時間と定義した。また、オン時のスイッチング時間 t_{on} を、ゲートソース間電圧 V_{GS} がオン時の10%に立ち上がった時点からドレインソース間電圧 V_{DS} がオフ時の10%に立ち下がった時点までの時間と定義した。

[0044] 図7は、ゲート駆動回路1およびゲート駆動回路101による電力用スイッチング素子PSのスイッチング特性を示すグラフである。図7において、(a)は電力用スイッチング素子PSのゲートソース間電圧 V_{GS} の波形であり、(b)は電力用スイッチング素子PSのドレインソース間電圧 V_{DS} の波形であり、(c)は電力用スイッチング素子PSのドレイン電流 I_D の波形である。図7(a)～(c)において、破線は従来のゲート駆動回路101を電力用スイッチング素子PSのゲートに接続したときの波形であり、実線は本発明のゲート駆動回路1を電力用スイッチング素子PSのゲートに接続したときの特性を示している。

[0045] 図7より、従来のゲート駆動回路101を電力用スイッチング素子PSのゲートに接続したときのオフ時間 t_{off} は18ns、オン時間 t_{on} は31.2nsであった。一方、本発明のゲート駆動回路1を電力用スイッチング素子PSのゲートに接続したときのオフ時間 t_{off} は15ns、オン時間 t_{on} は20.2nsであった。したがって、本発明のゲート駆動回路1は、従来のゲート駆動回路101に比べ、電力用スイッチング素子PSのオフ動作およびオン動作の両方において高速化を実現できていることが分かる。

[0046] なお、図7(a)において、ゲートソース間電圧 V_{GS} は、一時的に電源

電位（18V）を大きく超えているが、ダイオードD1により電源電圧に収束している。同様に、ゲートソース間電圧 V_{GS} は、一時的に接地電位（0V）を大きく下回っているが、ダイオードD2により接地電位に収束している。通常、電力用スイッチング素子PSのゲートは、300ns程度であれば電源電位を大きく超える電圧、または接地電位を大きく下回る電圧が印加されても破壊されないため、信頼性には影響しない。

[0047] 図8は、本実施例における電力用スイッチング素子PSのドレイン電流 I_D を変えたときのスイッチング時間（オン時間 t_{on} およびオフ時間 t_{off} ）の変化を示したグラフである。図8において、電力用スイッチング素子PSのオフ時間 t_{off} はドレイン電流 I_D の増加とともに短くなり、オン時間 t_{on} はドレイン電流 I_D の増加とともに長くなっている。ドレイン電流 I_D の大きさに係らず、オン動作およびオフ動作のいずれにおいても、従来のゲート駆動回路101を電力用スイッチング素子PSのゲートに接続したときよりも、本発明のゲート駆動回路1を電力用スイッチング素子PSのゲートに接続したときの方が、高速化が実現できていることが分かる。具体的には、従来のゲート駆動回路101を電力用スイッチング素子PSのゲートに接続したときの平均オフ時間は32nsであり、平均オン時間は25nsであった。一方、本発明のゲート駆動回路1を電力用スイッチング素子PSのゲートに接続したときの平均オフ時間は26nsであり、平均オン時間は18nsであった。すなわち、本発明のゲート駆動回路1によって、従来のゲート駆動回路101に比べ、オフ時間について20%、オン時間について30%の高速化を実現することができた。

[0048] 図9は、本発明のゲート駆動回路1および従来のゲート駆動回路101による電力用スイッチング素子PSの応答特性のシミュレーション結果である。具体的には、Agilent ADSにより応答特性を過渡解析した。解析時間は20 μ sであり、最大時間刻み幅は1nsであった。図9において、(a)は電力用スイッチング素子PSのゲートソース間電圧 V_{GS} のオフ時およびオン時のスイッチング特性のシミュレーション結果であり、(b)

は電力用スイッチング素子PSのドレインソース間電圧 V_{DS} のオフ時およびオン時のスイッチング特性のシミュレーション結果である。図9(a)および(b)において、破線は従来のゲート駆動回路101を電力用スイッチング素子PSのゲートに接続したときのシミュレーションによる波形であり、実線は本発明のゲート駆動回路1を電力用スイッチング素子PSのゲートに接続したときのシミュレーションによる波形である。

[0049] 図9より、従来のゲート駆動回路101を電力用スイッチング素子PSのゲートに接続したときのオフ時間 t_{off} は59.9ns、オン時間 t_{on} は33.5nsであった。一方、本実施例のゲート駆動回路1を電力用スイッチング素子PSのゲートに接続したときのオフ時間 t_{off} は47.8ns、オン時間 t_{on} は23.0nsであった。したがって、シミュレーション結果からも、本実施例のゲート駆動回路1は、従来のゲート駆動回路101に比べ、電力用スイッチング素子PSのオフ動作およびオン動作の両方において高速化が実現できていることが分かる。

産業上の利用可能性

[0050] 本発明の電力回路用の高速スイッチング可能なゲート駆動回路は、発電や送電等の電力分野、回転機・ファン・ポンプ等の産業分野、通信システム工場などの電源装置、電気鉄道分野、自動車分野、家電分野等のパワーエレクトロニクスの広い分野への適用が可能である。

符号の説明

[0051] 1 ゲート駆動回路
2 制御回路
C1 第1接続ノード
C2 第2接続ノード
C3 第3接続ノード
D1 第1ダイオード
D2 第2ダイオード
L1 インダクタ

P S 電力用スイッチング素子

Q 1 第 1 スイッチ

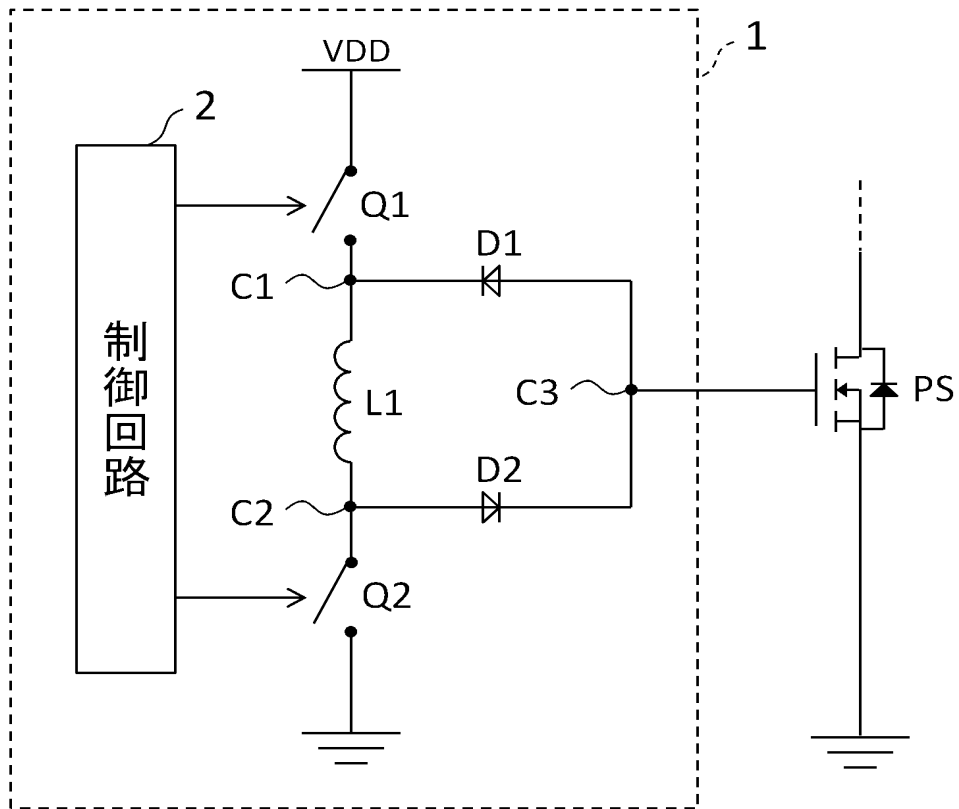
Q 2 第 2 スイッチ

請求の範囲

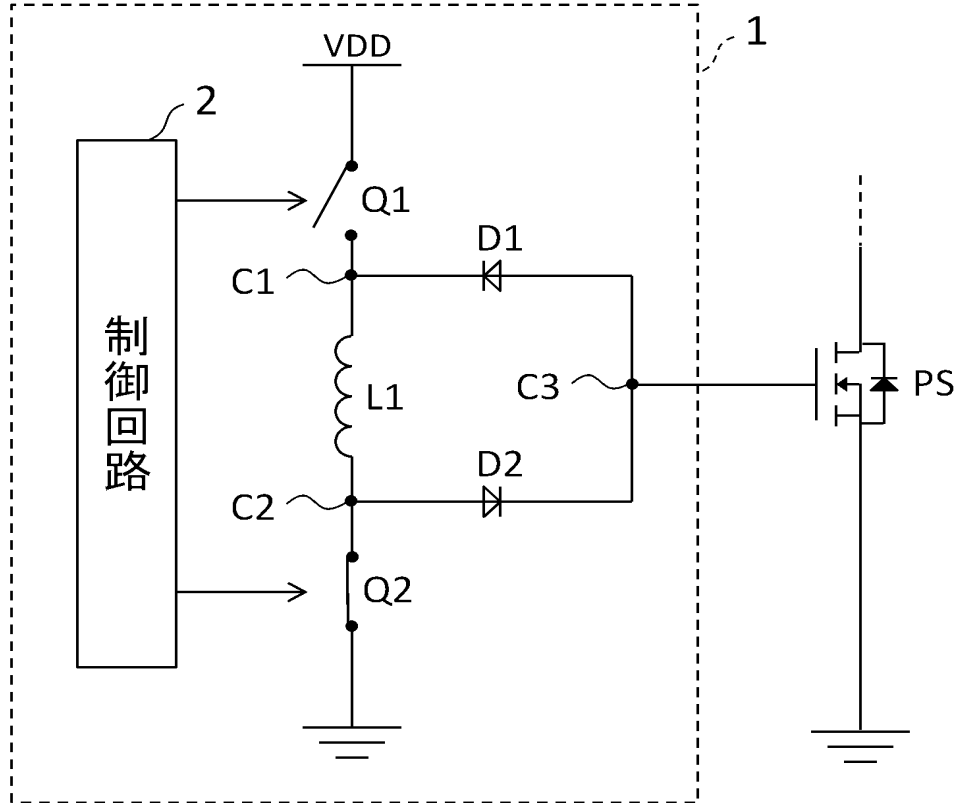
- [請求項1] 電力回路の電力用スイッチング素子のゲートを駆動するためのゲート駆動回路であって、
- インダクタと、
- 前記インダクタの一端と電源電位との間に設けられた第1スイッチと、
- 前記インダクタの他端と前記電源電位より低い基準電位との間に設けられた第2スイッチと、
- 前記第1スイッチと前記インダクタとの第1接続ノードにカソードが接続された第1ダイオードと、
- 前記第2スイッチと前記インダクタとの第2接続ノードにアノードが接続された第2ダイオードと、
- 前記第1スイッチおよび前記第2スイッチの導通／非導通を制御する制御回路と、
- を備え、
- 前記第1ダイオードのアノードと前記第2ダイオードのカソードとが接続されており、
- 前記ゲートは、前記第1ダイオードのアノードと前記第2ダイオードのカソードとの第3接続ノードに接続されている、ことを特徴とするゲート駆動回路。
- [請求項2] 前記制御回路は、
- 前記電力用スイッチング素子がオフ状態では、
- 前記第1スイッチおよび前記第2スイッチをそれぞれ非導通状態および導通状態に制御し、
- 前記電力用スイッチング素子のターンオンの際には、
- 前記第1スイッチおよび前記第2スイッチを両方とも導通状態に制御して、所定時間後、前記第2スイッチを非導通状態に制御することを特徴とする請求項1に記載のゲート駆動回路。

- [請求項3] 前記制御回路は、
前記電力用スイッチング素子がオン状態では、
前記第1スイッチおよび前記第2スイッチをそれぞれ導通状態および非導通状態に制御し、
前記電力用スイッチング素子のターンオフの際には、
前記第1スイッチおよび前記第2スイッチを両方とも導通状態に制御して、所定時間後、前記第1スイッチを非導通状態に制御することを特徴とする請求項1または2に記載のゲート駆動回路。
- [請求項4] 前記基準電位は接地電位であることを特徴とする請求項1～3のいずれかに記載のゲート駆動回路。

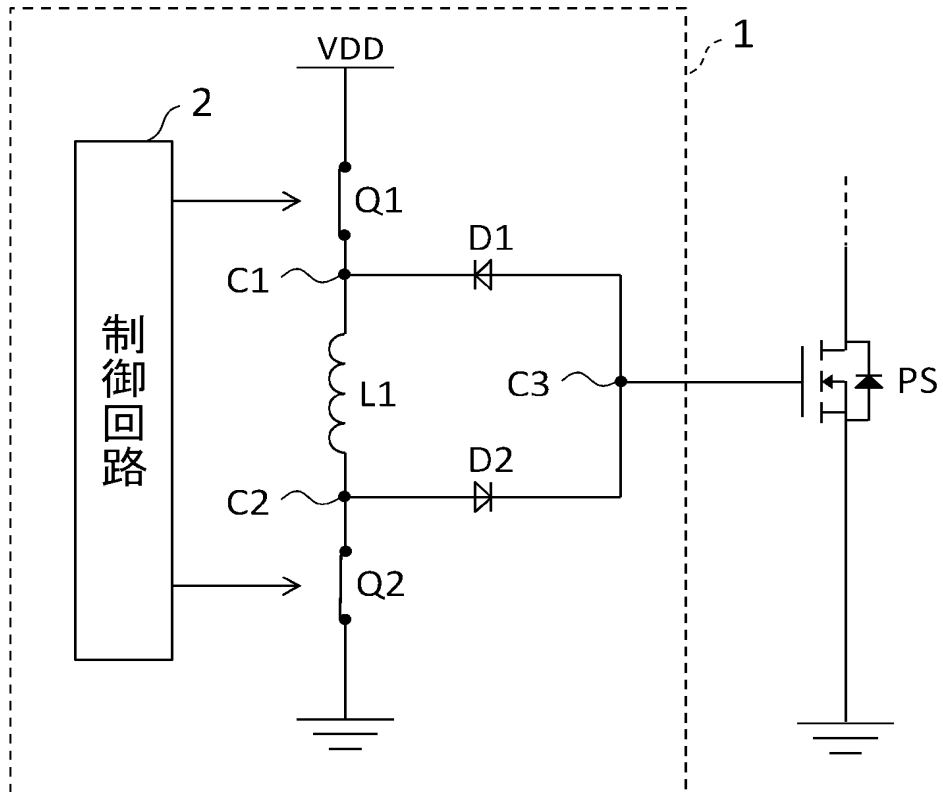
[図1]



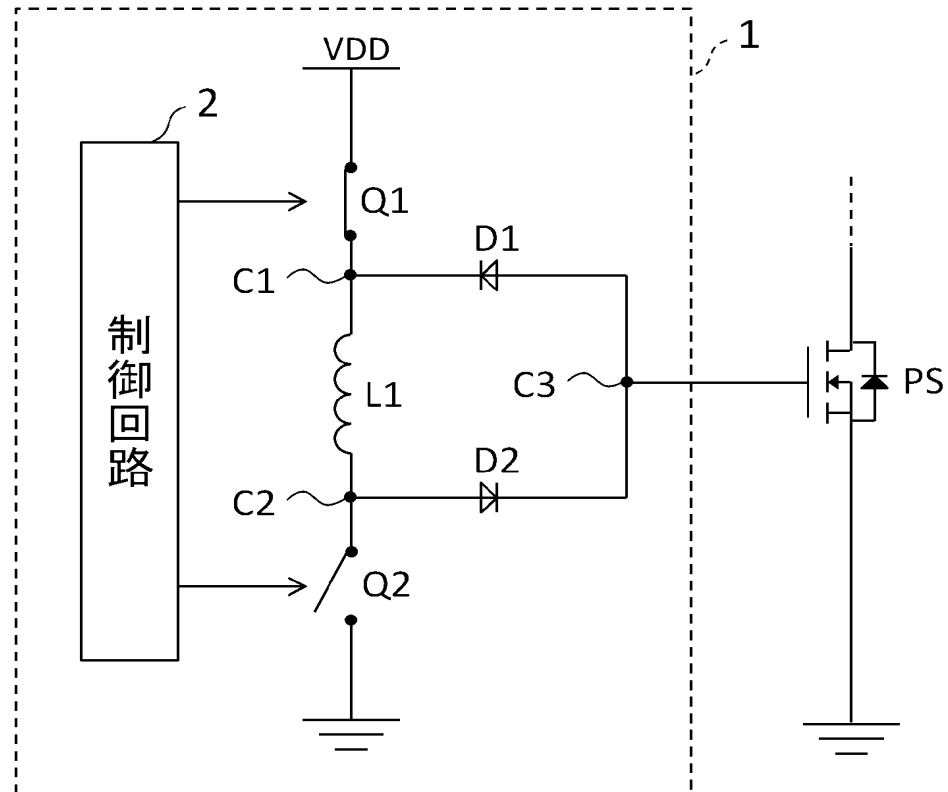
[図2]



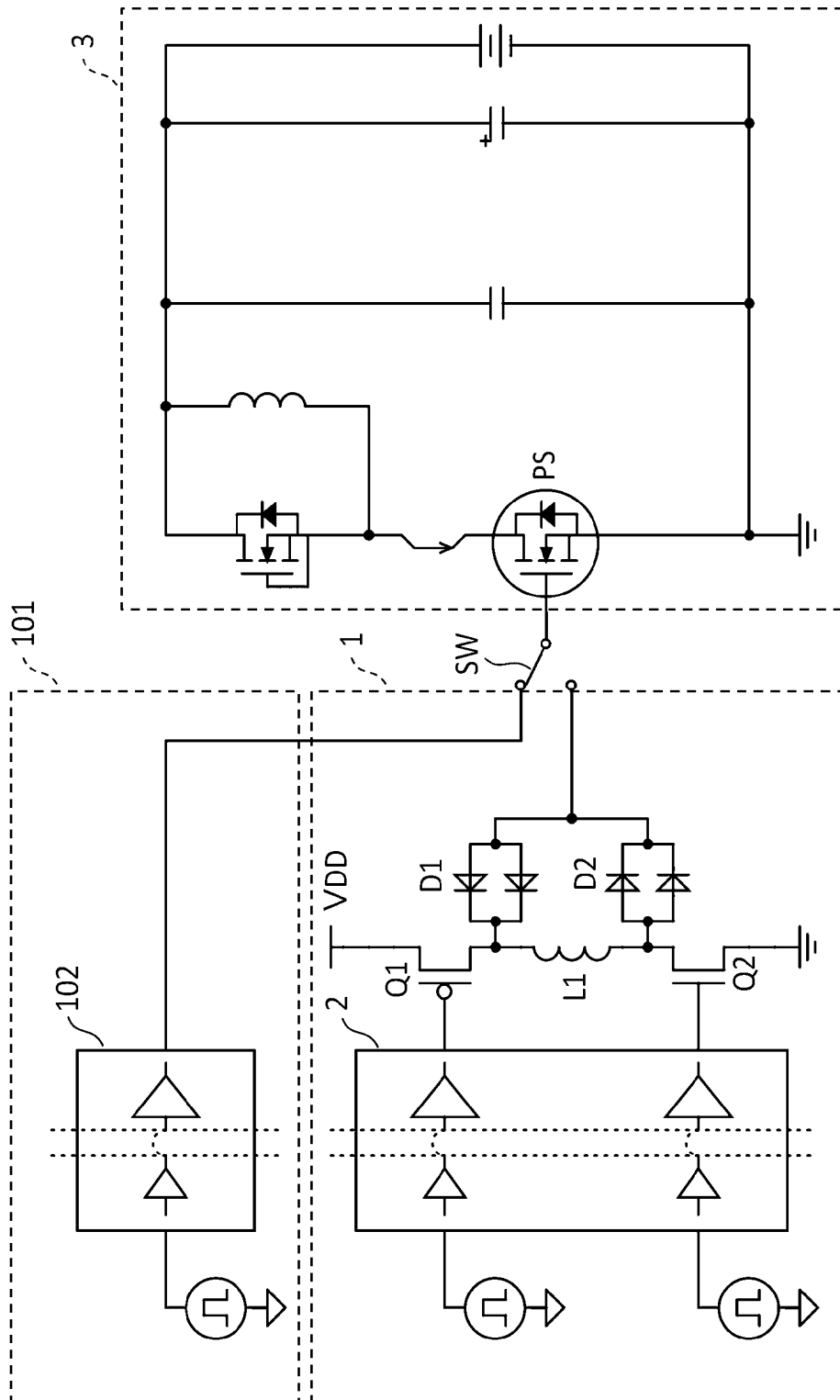
[図3]



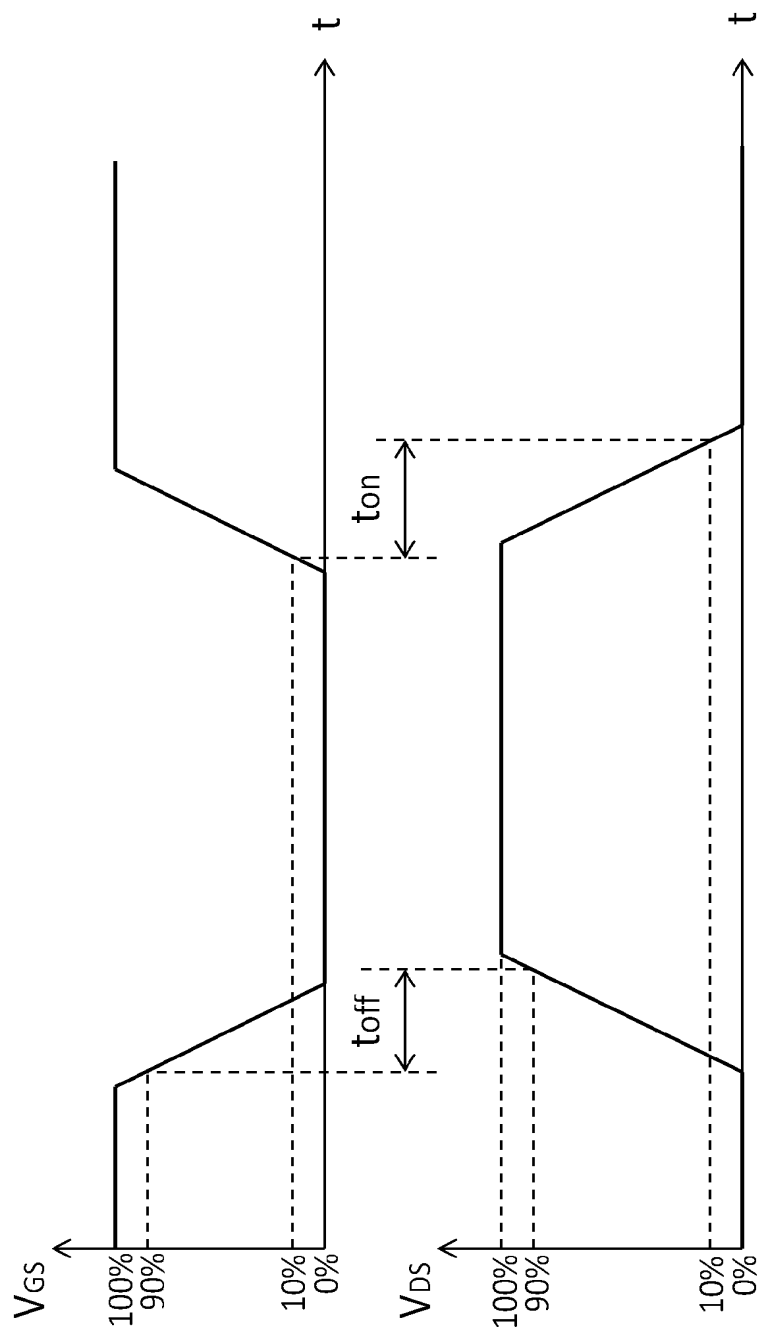
[図4]



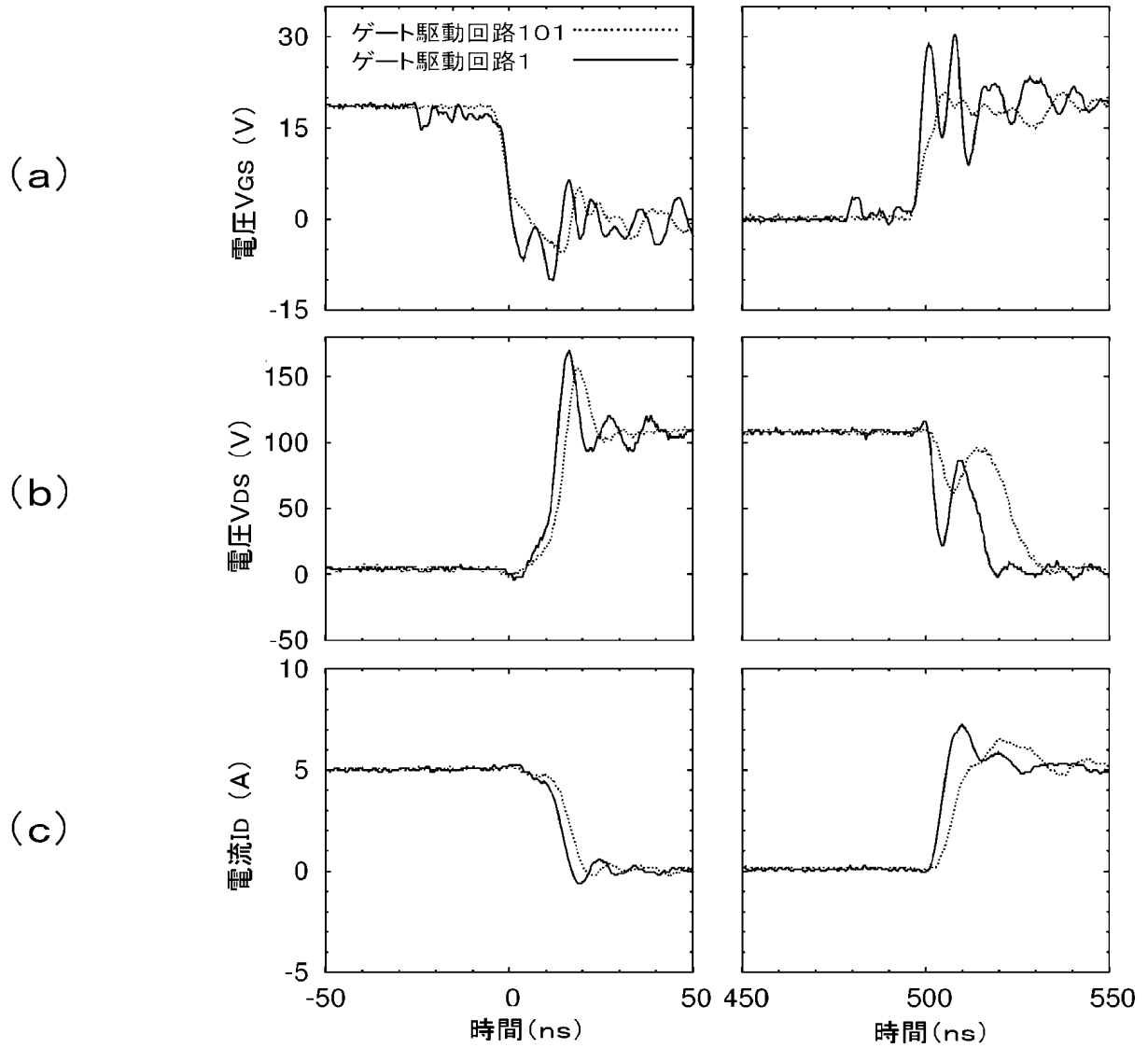
[図5]



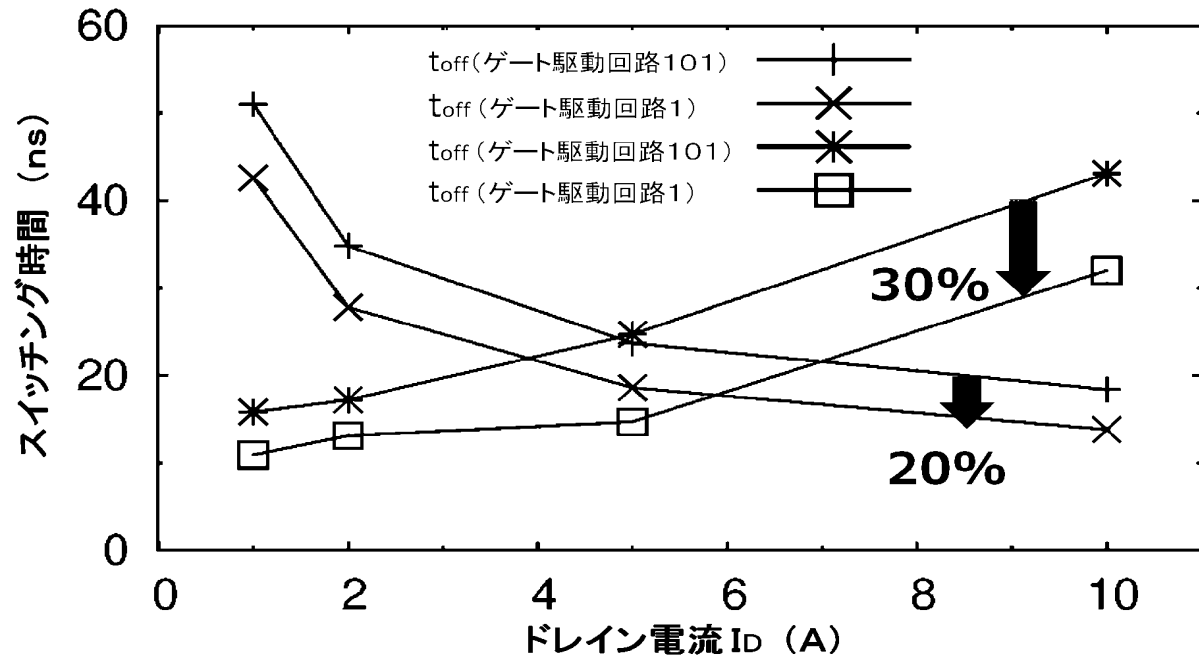
[図6]



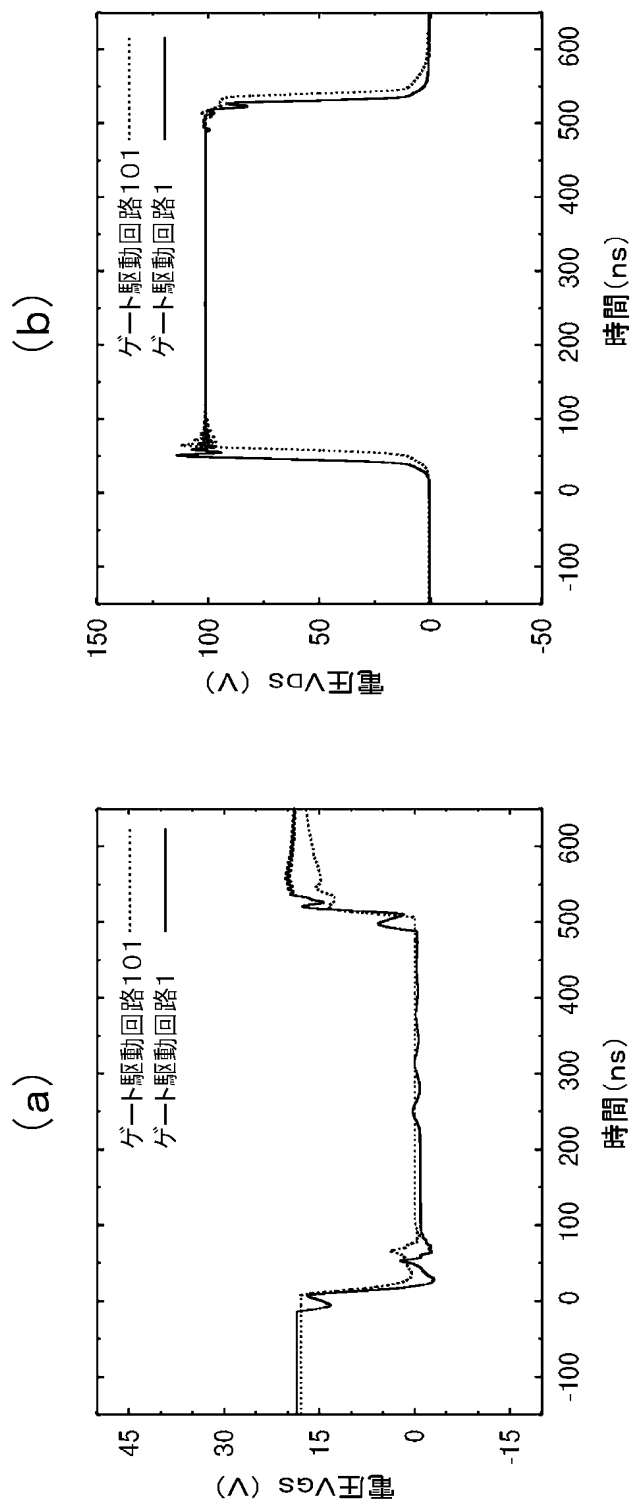
[図7]



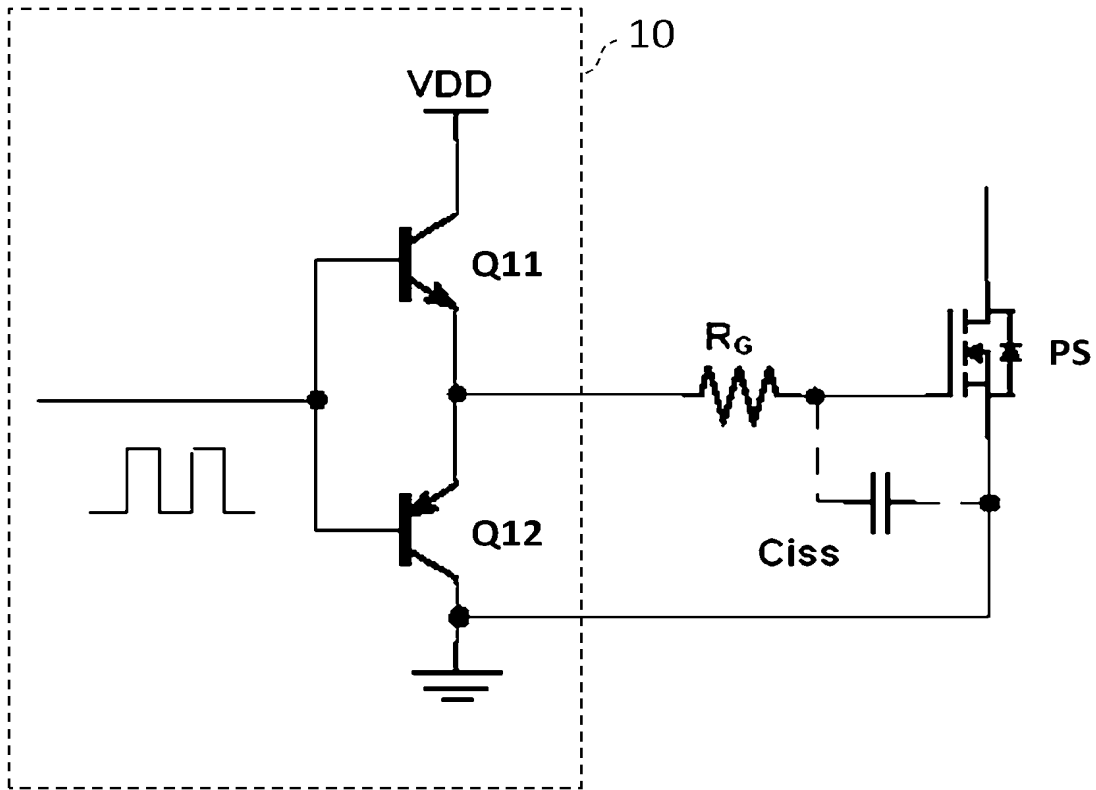
[図8]



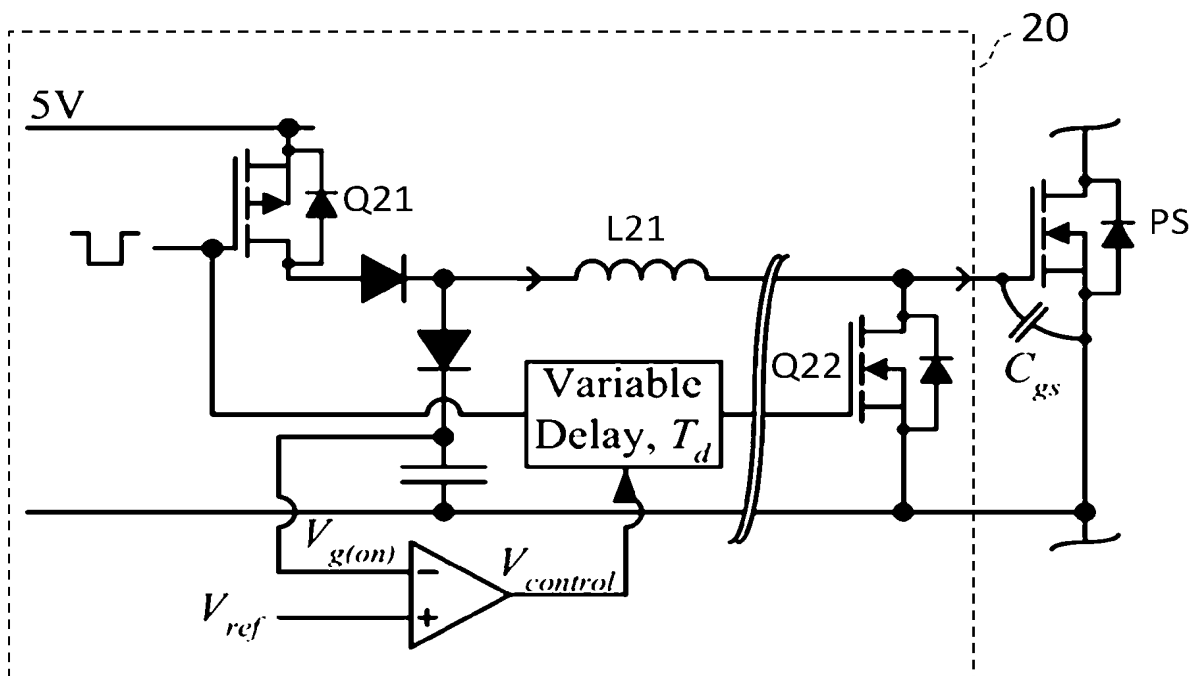
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/025269

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H02M1/08(2006.01)i, H03K17/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H02M1/08, H03K17/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched	
Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2018
Registered utility model specifications of Japan	1996-2018
Published registered utility model applications of Japan	1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-230166 A (DENSO CORPORATION) 31 August 2006, paragraphs [0038]-[0043], [0051]-[0071], fig. 2, 6, 7 & US 2006/0186933 A1, paragraphs [0043]-[0048], [0056]-[0080], fig. 2, 6, 7	1-4
A	JP 2011-188383 A (TOSHIBA CORPORATION) 22 September 2011, entire text, all drawings & US 2011/0221480 A1, entire text, all drawings	1-4

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 21.08.2018	Date of mailing of the international search report 28.08.2018
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/025269

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-39988 A (DENSO CORPORATION) 10 February 2005, entire text, all drawings & US 2005/0001659 A1, entire text, all drawings & DE 102004031369 A1 & FR 2857177 A1	1-4

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H02M1/08(2006.01)i, H03K17/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H02M1/08, H03K17/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2006-230166 A (株式会社デンソー) 2006.08.31, [0038] - [0043], [0051] - [0071], 図2, 図6-7 & US 2006/0186933 A1, [0043] - [0048], [0056] - [0080], 図2, 図6-7	1-4
A	JP 2011-188383 A (株式会社東芝) 2011.09.22, 全文, 全図 & US 2011/0221480 A1, 全文, 全図	1-4

☞ C欄の続きにも文献が列挙されている。

☞ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- | | |
|----------------------------------------------------------------|---------------------------------------------------------------------|
| 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの | 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの |
| 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの | 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの |
| 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) | 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」 口頭による開示、使用、展示等に言及する文献 | 「&」 同一パテントファミリー文献 |
| 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 | |

国際調査を完了した日

21.08.2018

国際調査報告の発送日

28.08.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

高野 誠治

電話番号 03-3581-1101 内線 3526

5G

3567

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-39988 A (株式会社デンソー) 2005.02.10, 全文, 全図 & US 2005/0001659 A1, 全文, 全図 & DE 102004031369 A1 & FR 2857177 A1	1-4