

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-108869

(P2005-108869A)

(43) 公開日 平成17年4月21日(2005.4.21)

(51) Int. Cl.⁷
H01L 33/00

F I
H01L 33/00

テーマコード (参考)
5F041

審査請求 有 請求項の数 9 O L (全 10 頁)

<p>(21) 出願番号 特願2003-335898 (P2003-335898)</p> <p>(22) 出願日 平成15年9月26日 (2003.9.26)</p> <p>特許法第30条第1項適用申請有り</p>	<p>(71) 出願人 504157024 国立大学法人東北大学 宮城県仙台市青葉区片平2丁目1番1号</p> <p>(72) 発明者 大友 明 宮城県仙台市青葉区三条町14-2-58</p> <p>(72) 発明者 川崎 雅司 宮城県仙台市青葉区川内元支倉35番地 川内住宅1-101</p> <p>(72) 発明者 塚▲崎▼ 敦 宮城県仙台市青葉区鷺ヶ森2-22-38 グレース鷺ヶ森201</p> <p>Fターム(参考) 5F041 AA40 CA04 CA05 CA22 CA41 CA73</p>
--	---

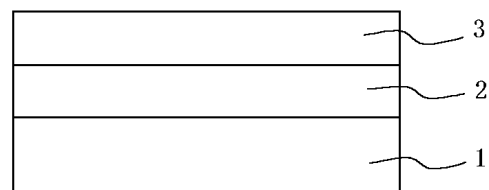
(54) 【発明の名称】 半導体素子及びその製造方法

(57) 【要約】

【課題】アニールされたバッファ層上に形成されたバルク単結晶と同等以上の品質を持つ酸化亜鉛層を具える半導体素子及びその製造方法を提供する。

【解決手段】酸化亜鉛の格子定数と整合性が高い格子定数を持つ材料から成る基板と、前記基板の上に堆積され、アニールされた酸化亜鉛又は酸化マグネシウムを添加した酸化亜鉛薄膜バッファ層と、前記バッファ層上に堆積された酸化亜鉛薄膜層とを具える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

酸化亜鉛の格子定数と整合性が高い格子定数を持つ材料から成る基板と、前記基板上に堆積され、アニールされた酸化亜鉛又は酸化マグネシウムを添加した酸化亜鉛薄膜バッファ層と、前記バッファ層上に堆積された酸化亜鉛薄膜層とを具備することを特徴とする半導体素子。

【請求項 2】

請求項 1 に記載の半導体素子において、前記基板の材料が、 ScAlMgO_4 、 ScAlZnO_4 、 ScAlCoO_4 、 ScAlMnO_4 、 ScGaZnO_4 、 ScGaMgO_4 、 $\text{ScAlZn}_3\text{O}_6$ 、 $\text{ScAlZn}_4\text{O}_7$ 、 $\text{ScAlZn}_7\text{O}_{10}$ 、 $\text{ScGaZn}_3\text{O}_6$ 、 $\text{ScGaZn}_5\text{O}_8$ 、 $\text{ScGaZn}_7\text{O}_{10}$ 、 $\text{ScFeZn}_2\text{O}_5$ 、 $\text{ScFeZn}_3\text{O}_6$ 、又は、 $\text{ScFeZn}_6\text{O}_9$ のいずれかを含むことを特徴とする半導体素子。

10

【請求項 3】

請求項 1 又は 2 に記載の半導体素子において、前記基板と同じ基本構造の材料を用いた絶縁層をさらに具備することを特徴とする半導体素子。

【請求項 4】

請求項 1、2 又は 3 に記載の半導体素子において、前記酸化亜鉛薄膜層と同じ組成又は構造の材料をベースとして用い、前記酸化亜鉛薄膜層上に形成された発光層と、前記酸化亜鉛薄膜層と同じ組成又は構造の材料をベースとして用い、前記発光層上に形成され、前記酸化亜鉛薄膜層と異なるチャンネル半導体層とをさらに具備することを特徴とする半導体素子。

20

【請求項 5】

請求項 4 に記載の半導体素子において、前記発光層を、 $(\text{Mg}, \text{Zn})\text{O}$ 及び ZnO の多層構造、 $(\text{Zn}, \text{Cd})\text{O}$ 及び ZnO の多層構造、又は、 $(\text{Mg}, \text{Zn})\text{O}$ 及び $(\text{Zn}, \text{Cd})\text{O}$ の多層構造のいずれかとしたことを特徴とする半導体素子。

【請求項 6】

酸化亜鉛の格子定数と整合性が高い格子定数を持つ材料で基板を形成するステップと、前記基板上に酸化亜鉛又は酸化マグネシウムを添加した酸化亜鉛薄膜のバッファ層を形成するステップと、

前記バッファ層をアニールするステップと、

前記アニールされたバッファ層上に酸化亜鉛薄膜層を形成するステップとを含むことを特徴とする半導体素子の製造方法。

30

【請求項 7】

請求項 6 に記載の半導体素子の製造方法において、前記基板の材料が、 ScAlMgO_4 、 ScAlZnO_4 、 ScAlCoO_4 、 ScAlMnO_4 、 ScGaZnO_4 、 ScGaMgO_4 、 $\text{ScAlZn}_3\text{O}_6$ 、 $\text{ScAlZn}_4\text{O}_7$ 、 $\text{ScAlZn}_7\text{O}_{10}$ 、 $\text{ScGaZn}_3\text{O}_6$ 、 $\text{ScGaZn}_5\text{O}_8$ 、 $\text{ScGaZn}_7\text{O}_{10}$ 、 $\text{ScFeZn}_2\text{O}_5$ 、 $\text{ScFeZn}_3\text{O}_6$ 、又は、 $\text{ScFeZn}_6\text{O}_9$ のいずれかを含むことを特徴とする半導体素子の製造方法。

【請求項 8】

請求項 6 又は 7 に記載の半導体素子の製造方法において、前記バッファ層をアニールするステップにおいて、前記バッファ層を約 1000 以上でアニールすることを特徴とする半導体素子の製造方法。

40

【請求項 9】

請求項 6、7 又は 8 に記載の半導体素子の製造方法において、前記バッファ層をアニールするステップを電気炉又は成膜装置内で行うことを特徴とする半導体素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体素子及びその製造方法に関し、特に、酸化亜鉛を材料とする紫外発光

50

素子及びその製造方法に関する。

【背景技術】

【0002】

酸化亜鉛は、III族窒化物に継ぐ新しい紫外発光素子の薄膜材料として注目されている。従来、このような酸化亜鉛単結晶薄膜層を具える半導体素子の基板材料としては、サファイア等が用いられてきた。

【0003】

半導体素子を形成する際、基板上に高品質な薄膜を形成することが要求される。薄膜の結晶性（コヒーレンシ）の品質を決定する要因としては、結晶粒サイズ、格子面間隔のゆらぎ（歪み）、格子面方向のゆらぎ（配向性、モザイクネス）がある。すなわち、一般に、高品質な結晶とは、結晶粒サイズが大きく、格子面間隔のゆらぎが小さく、モザイクネスが小さいものである。

10

【0004】

酸化亜鉛と、従来の基板材料であるサファイア等との格子不整合は18%程度と大きいため、サファイア等の基板上に酸化亜鉛薄膜を形成すると、酸化亜鉛薄膜中に粒界が生じたり、モザイクネスが大きくなったりするため、高品質の酸化亜鉛単結晶薄膜層を形成することが困難であった。したがって、2次元成長制御やp型伝導制御などの薄膜成長関連技術の水準が不十分であることによって発光素子としての応用が阻まれてきた。

【0005】

本願発明者等による特開2000-277534号明細書「半導体デバイス」において、酸化亜鉛の格子定数と整合性の高い格子定数を持つ材料から成る基板上にパルスレーザ堆積法で酸化亜鉛薄膜を形成することにより、酸化亜鉛層の結晶性や電気特性をバルク単結晶に近づけた半導体デバイスが開示されている。

20

【0006】

しかしながら、この従来の半導体デバイスでは、酸化亜鉛層の光学特性はバルク単結晶に及ぶものではなく、2次元成長制御により表面平坦性の向上や良質な量子井戸を形成することは困難であった。

【発明の開示】

【発明が解決しようとする課題】

【0007】

上述したことを鑑み、本発明は、アニールされたバッファ層上に形成されたバルク単結晶と同等以上の品質を持つ酸化亜鉛層を具える半導体素子及びその製造方法を提供することを目的とする。

30

【課題を解決するための手段】

【0008】

本発明による半導体素子は、酸化亜鉛の格子定数と整合性が高い格子定数を持つ材料から成る基板と、前記基板上に堆積され、アニールされた酸化亜鉛又は酸化マグネシウムを添加した酸化亜鉛薄膜バッファ層と、前記バッファ層上に堆積された酸化亜鉛薄膜層とを具えることを特徴とする。

【0009】

本発明による半導体素子の一実施例は、前記基板の材料が、 ScAlMgO_4 、 ScAlZnO_4 、 ScAlCoO_4 、 ScAlMnO_4 、 ScGaZnO_4 、 ScGaMgO_4 、 $\text{ScAlZn}_3\text{O}_6$ 、 $\text{ScAlZn}_4\text{O}_7$ 、 $\text{ScAlZn}_7\text{O}_{10}$ 、 $\text{ScGaZn}_3\text{O}_6$ 、 $\text{ScGaZn}_5\text{O}_8$ 、 $\text{ScGaZn}_7\text{O}_{10}$ 、 $\text{ScFeZn}_2\text{O}_5$ 、 $\text{ScFeZn}_3\text{O}_6$ 、又は、 $\text{ScFeZn}_6\text{O}_9$ のいずれかを含むことを特徴とする。

40

【0010】

本発明による半導体素子の他の実施例は、前記基板と同じ基本構造の材料を用いた絶縁層をさらに具えることを特徴とする。

【0011】

本発明による半導体素子のさらに他の実施例は、前記酸化亜鉛薄膜層と同じ組成又は構

50

造の材料をベースとして用い、前記酸化亜鉛薄膜層上に形成された発光層と、前記酸化亜鉛薄膜層と同じ組成又は構造の材料をベースとして用い、前記発光層上に形成され、前記酸化亜鉛薄膜層と異なるチャンネル半導体層とをさらに具えることを特徴とする。

【0012】

本発明による半導体素子の依然として他の実施例は、前記発光層を、(Mg, Zn)O及びZnOの多層構造、(Zn, Cd)O及びZnOの多層構造、又は、(Mg, Zn)O及び(Zn, Cd)Oの多層構造のいずれかとしたことを特徴とする。

【0013】

本発明による半導体素子の製造方法は、酸化亜鉛の格子定数と整合性が高い格子定数を持つ材料で基板を形成するステップと、前記基板上に酸化亜鉛又は酸化マグネシウムを添加した酸化亜鉛薄膜のバッファ層を形成するステップと、前記バッファ層をアニールするステップと、前記アニールされたバッファ層上に酸化亜鉛薄膜層を形成するステップとを含むことを特徴とする。

10

【0014】

本発明による半導体素子の製造方法の一実施例は、前記基板の材料が、ScAlMgO₄、ScAlZnO₄、ScAlCoO₄、ScAlMnO₄、ScGaZnO₄、ScGaMgO₄、ScAlZn₃O₆、ScAlZn₄O₇、ScAlZn₇O₁₀、ScGaZn₃O₆、ScGaZn₅O₈、ScGaZn₇O₁₀、ScFeZn₂O₅、ScFeZn₃O₆、又は、ScFeZn₆O₉のいずれかを含むことを特徴とする。

【0015】

本発明による半導体素子の製造方法の他の実施例は、前記バッファ層をアニールするステップにおいて、前記バッファ層を約1000以上でアニールすることを特徴とする。

20

【0016】

本発明による半導体素子の製造方法のさらに他の実施例は、前記バッファ層をアニールするステップを電気炉又は成膜装置内で行うことを特徴とする。

【発明の効果】

【0017】

本発明によれば、基板上にバッファ層を形成し、このバッファ層をアニールし、その上に酸化亜鉛薄膜層を形成することにより、この酸化亜鉛薄膜層の光・電気特性を著しく向上させることができる。アニールされたバッファ層は原子レベルで平滑な表面を有するため、酸化亜鉛薄膜層を完全な2次元成長によって堆積することができる。特に、発光特性、移動度、ドーピング効率を向上させることができ、バルク単結晶を超える結晶性を得ることができる。

30

【発明を実施するための最良の形態】

【0018】

図1は、本発明による半導体素子の基本的な構造の断面図である。半導体素子1は、基板2と、基板2上に形成されたバッファ層4と、バッファ層4上に形成された酸化亜鉛層6とを具える。基板2は、酸化亜鉛の格子定数と整合性が高い(格子定数が近い)材料から成り、例えば、ScAlMgO₄、ScAlZnO₄、ScAlCoO₄、ScAlMnO₄、ScGaZnO₄、ScGaMgO₄、ScAlZn₃O₆、ScAlZn₄O₇、ScAlZn₇O₁₀、ScGaZn₃O₆、ScGaZn₅O₈、ScGaZn₇O₁₀、ScFeZn₂O₅、ScFeZn₃O₆、又は、ScFeZn₆O₉のいずれかを含む。バッファ層4は、酸化亜鉛又はMgZnOのいずれかから成り、アニール処理が施されている。このようなアニール処理により、バッファ層4は基板2からの歪みから部分的に緩和し、バッファ層4の表面は原子レベルで平坦に再構成される。酸化亜鉛層6は、アニール処理されたバッファ層4上に形成されるため、ほぼ完全に残留歪みを緩和し、バルク結晶に近い格子定数を示す。

40

【0019】

本発明による図1に示すような半導体素子の製造方法を例として説明する。まず、上述したような酸化亜鉛の格子定数と整合性が高い材料の基板を形成する。次に、前記基板上

50

に酸化亜鉛又は酸化マグネシウムを添加した酸化亜鉛薄膜から成るバッファ層を堆積する。次に、好適には電気炉又は成膜装置内で、例えば半導体レーザ加熱装置により約1000以上で前記バッファ層をアニールする。その後、前記バッファ層上に酸化亜鉛層を形成する。

【0020】

図2は、本発明による半導体素子の製造過程において得られたX線逆格子マッピングのグラフである。aは成長したバッファ層、bはアニールされたバッファ層、cはアニールされたバッファ層上に形成された酸化亜鉛薄膜層である。a及びbから、バッファ層はアニールによって基板からの歪みから部分的に緩和することがわかる。cから、酸化亜鉛薄膜層は、ほぼ完全に残留歪みを緩和し、バルク結晶に近い格子定数を示すことがわかる。

10

【0021】

図3は、アニール前後における酸化亜鉛バッファ層の表面原子間力顕微鏡像である。この図から、アニールされたバッファ層は原子レベルで平坦に再構成されたことがわかる。

【0022】

図4は、アニールされたバッファ層上における酸化亜鉛成長時の反射高速電子線回折強度の時間変化を示すグラフである。この図から、酸化亜鉛薄膜層成長時には理想的な2次元成長が確認され、再構成されたバッファ層の表面は、2次元成長制御に有効であることがわかる。

【0023】

図5は、薄膜成長装置内でアニールされたバッファ層上に酸化亜鉛を堆積した時の反射高速電子回折強度の時間変化を示すグラフである。この図から、図4で確認された効果は、成膜装置内でアニールした場合にさらに増強されることがわかる。

20

【0024】

図6は、製造過程の異なる酸化亜鉛薄膜の低温フォトルミネッセンススペクトルを示すグラフである。(a)はバッファ層なし、(b)は成膜装置外で酸化亜鉛バッファ層をアニールした場合、(c)は成膜装置内で酸化亜鉛バッファ層をアニールした場合を示す。この図から、アニールしたバッファ層を挿入した場合には、バッファ層を挿入しない場合には見られなかった顕著な自由励起子や $n=2$ 励起子に起因する発光線が明瞭に観測されることがわかる。さらにこの効果は、成膜装置内でアニールした場合にさらに顕著になる

30

【0025】

図7は、薄膜成長装置内でアニールされたMgZnOバッファ層上に堆積した酸化亜鉛薄膜の低温における吸収、反射、フォトルミネッセンススペクトルと、室温で測定された吸収スペクトルとを示すグラフである。 $n=2$ の自由励起子吸収を明瞭に観測することができる。

【0026】

図8は、バッファ層を有しない酸化亜鉛薄膜と、薄膜成長装置内でアニールされたMgZnOバッファ層上に堆積した酸化亜鉛薄膜とにおけるホール移動度のキャリア濃度依存性を示すグラフである。白丸はバッファ層ありの場合を示し、黒丸はバッファ層なしの場合を示す。この図から、バッファ層ありの場合はバッファ層なしの場合と比べてホール移動度が一桁近く高くなることがわかる。

40

【0027】

これらのことから、本発明による半導体素子の酸化亜鉛薄膜層は、理想的な2次元成長に対応した反射高速電子線回折強度振動が観測されるようになり、バルク単結晶に匹敵する発光特性が得られ、バルク単結晶を超える結晶性が得られ、ホール移動度が一桁近く高くなったことが照明された。したがって、本発明によれば、理想的な2次元成長が実現し、原子レベルの膜厚制御が可能になり、その結果、良質な量子井戸の形成が可能になり、発光素子や高移動度トランジスタ等の量子効果デバイスの特性が向上し、優れた性能を有する発光素子や電界トランジスタを形成することができ、完全な結晶性を有する薄膜が形

50

成できるため、p形ドーピングにおける補償効果を低減することができる。

【実施例1】

【0028】

図9は、本発明による半導体素子の一実施例の断面図である。図1aに示すように、本半導体素子はFETに関するものであり、基板11と、バッファ層12と、チャンネル層である酸化亜鉛薄膜層13と、ソース14と、ドレイン15と、ゲート絶縁層16と、ゲート17とを具える。基板11の上にはバッファ層12が形成される。バッファ層12の上には酸化亜鉛薄膜層13が形成される。酸化亜鉛薄膜層13には、ゲート絶縁層16と、ソース14と、ドレイン15とが形成される。ゲート絶縁層16の上には、ゲート17が形成される。

10

【0029】

図9bは、図9aに示す実施例の変形例の断面図である。このトランジスタでは、基板11の上に、バッファ層12が形成され、その上にチャンネル層である酸化亜鉛薄膜層13が形成される。さらに、酸化亜鉛薄膜層13には、ソース14及びドレイン15がオーミック接合により、ゲート17がショットキー接合により、それぞれ形成される。この例では、図1aと比べてゲート絶縁層16がないため、ソース14及びドレイン15とゲート17との間には適当な隙間が設けられる。

【0030】

本発明では、いずれの構造においても、チャンネル層は酸化亜鉛で形成される。酸化亜鉛薄膜層13として、ドーブ有りのものを用いてもよく、n形又はp形のいずれの形でもよい。

20

【0031】

基板11としては、絶縁性材料が用いられる。本発明では、酸化亜鉛の格子定数と近い格子定数を持つような、整合性のよい材料を用いる。例えば、 ScAlMgO_4 、 ScAlZnO_4 、 ScAlCoO_4 、 ScAlMnO_4 、 ScGaZnO_4 、 ScGaMgO_4 、 $\text{ScAlZn}_3\text{O}_6$ 、 $\text{ScAlZn}_4\text{O}_7$ 、 $\text{ScAlZn}_7\text{O}_{10}$ 、 $\text{ScGaZn}_3\text{O}_6$ 、 $\text{ScGaZn}_5\text{O}_8$ 、 $\text{ScGaZn}_7\text{O}_{10}$ 、 $\text{ScFeZn}_2\text{O}_5$ 、 $\text{ScFeZn}_3\text{O}_6$ 、又は、 $\text{ScFeZn}_6\text{O}_9$ のいずれかを含む。

【0032】

バッファ層12は、酸化亜鉛又は MgZnO のいずれかから成り、アニール処理が施されている。このようなアニール処理により、バッファ層12は基板11からの歪みから部分的に緩和し、バッファ層12の表面は原子レベルで平坦に再構成される。酸化亜鉛薄膜層13は、アニール処理されたバッファ層12上に形成されるため、ほぼ完全に残留歪みを緩和し、バルク結晶に近い格子定数を示す。

30

【0033】

ゲート絶縁層16としては、適宜の絶縁性材料が用いられる。ゲート絶縁層16は、酸化亜鉛と格子マッチングの良い高絶縁性の材料を用いることができる。上述のように、基板11について格子定数の整合性の良い材料を用いたのと同様に、適宜の格子整合性の良い絶縁層16を選択することができる。したがって、例えば、 ScAlMgO_4 、 ScAlZnO_4 、 ScAlCoO_4 、 ScAlMnO_4 、 ScGaZnO_4 、 ScGaMgO_4 、 $\text{ScAlZn}_3\text{O}_6$ 、 $\text{ScAlZn}_4\text{O}_7$ 、 $\text{ScAlZn}_7\text{O}_{10}$ 、 $\text{ScGaZn}_3\text{O}_6$ 、 $\text{ScGaZn}_5\text{O}_8$ 、 $\text{ScGaZn}_7\text{O}_{10}$ 、 $\text{ScFeZn}_2\text{O}_5$ 、 $\text{ScFeZn}_3\text{O}_6$ 、又は、 $\text{ScFeZn}_6\text{O}_9$ 等をゲート絶縁層16として用いることができる。また、ゲート絶縁層16としては、例えば、1価の価数を取りうる元素又はV族元素をドーブした絶縁性 ZnO 等の透明絶縁性材料を用いることもできる。1価の価数を取りうる元素としては、例えば、I族元素(Li, Na, K, Rb, Cs)、Cu, Ag, Au等がある。V族元素としては、N, P, As, Sb, Bi等がある。また、ゲート絶縁層16に、強誘電性の材料を用いることにより、トランジスタ自体がメモリ機能を有するようにすることもできる。強誘電性の材料として、例えば、 $\text{Zn}_{1-x}\text{Li}_x\text{O}$ 、 $\text{Zn}_{1-x}(\text{Li}_y\text{Mg}_{x-y})\text{O}$ 等を用いることができる。なお、ゲート絶縁層16としては、例え

40

50

ば、ガラス、ビニール、プラスチック等の絶縁体を用いてもよい。ゲート絶縁層16としては、その他にも、 Al_2O_3 、 MgO 、 CeO_2 、 SiO_2 、等の絶縁性酸化物を用いることができる。

【0034】

以上の説明では、ゲート絶縁層16について述べたが、他の適宜の絶縁層を形成する場合にも、同様の材料を用いることができる。これにより、格子整合性のよい半導体素子を製造することが可能となる。

【0035】

また、ソース14、ドレイン15又はゲート17は、適宜の電極材料を用いることができる。電極材料としては、チャンネル層と同じ酸化亜鉛材料をベースとして、適宜不純物をドーピングした又はドーピングしない導電性材料を用いることができる。酸化亜鉛をベースとする電極としては、例えば、III族元素(B 、 Al 、 Ga 、 In 、 Tl)、VII族元素(F 、 Cl 、 Br 、 I)、I族元素(Li 、 Na 、 K 、 Rb 、 Cs)、V族元素(N 、 P 、 As 、 Sb 、 Bi)のいずれかをドーピングした導電性酸化亜鉛、又は各種元素をドーピングしない導電性酸化亜鉛が用いられる。ここで、これらの元素をドーピングする場合、ドーピング量は適宜設定することができる(例えば、高濃度にn形をドーピングした $n^{++}-ZnO$ 等を用いることができるが、これに限定されない)。このような酸化亜鉛薄膜層と同じ構造・組成の材料をベースとすることで、格子定数の整合性のよい高品質な半導体素子を作製することができる。また、その他に、例えば、 Al 、 Cu 等の金属や、高ドーピングした半導体ポリシリコン等を用いることができる。さらに、ソース14、ドレイン15又はゲート17としては、その他に、 In_2O_3 、 SnO_2 、 $(In-Sn)O_x$ などの透明導電体を用いることもできる。

10

20

【実施例2】

【0036】

図10は、本発明による半導体素子の他の実施例の断面図である。この実施の形態は、レーザダイオード等の発光素子に関するものであり、基板21と、バッファ層22と、n形酸化亜鉛薄膜層23と、発光層24と、p形半導体層25と、第1電極26と、第2電極27とを具える。

【0037】

発光層24は、p形半導体層25とn形酸化亜鉛薄膜層23に挟まれており、例えば、ドーピングしてない ZnO を用いたり、 $(Mg, Zn)O$ 及び ZnO の極薄い厚さの多層膜で構成することができる。この場合、 ZnO は井戸層と呼ばれ、 $(Mg, Zn)O$ 層はバリア層と呼ばれるものである。また、井戸層のバンドギャップよりバリア層のバンドギャップが大きいものが用いられる。発光層24の他の材料例としては、 $(Zn, Cd)O$ 及び ZnO の多層構造、 $(Mg, Zn)O$ 及び $(Zn, Cd)O$ の多層構造等を用いることができる。さらに、発光層24としては、多層反射膜や、ダブルヘテロ構造、面発光レーザ構造など、適宜の構成を採用して組み合わせることもできる。

30

【0038】

p形半導体層25としては、例えば、p形 ZnO 等のII族酸化物又はp形 GaN 、 AlN 、 $InGaN$ 、 $AlInN$ 等のIII族窒化物が使用される。p形 ZnO の場合は、例えば、I族元素(Li 、 Na 、 K 、 Rb 、 Cs)、V族元素(N 、 P 、 As 、 Sb 、 Bi)をドーピングした ZnO である。各元素のドーピング量は、素子の寸法、厚さ、集積度、性能等に応じて適宜の量とすることができる。第2の電極(n型電極)27の材料は、例えば、実施例1で説明した、ソース14、ドレイン15又はゲート17の材料と同様のものが用いられる。第1の電極(p型電極)26としては、例えば、 Au 、 Pt 、 Ni/Ti (多層構造)等によるオーミック電極が用いられる。

40

【0039】

バッファ層22は、酸化亜鉛又は $MgZnO$ のいずれかから成り、アニール処理が施されている。このようなアニール処理により、バッファ層22は基板21からの歪みから部分的に緩和し、バッファ層22の表面は原子レベルで平坦に再構成される。酸化亜鉛薄膜

50

層 2 3 は、アニール処理されたバッファ層 2 2 上に形成されるため、ほぼ完全に残留歪みを緩和し、バルク結晶に近い格子定数を示す。

【 0 0 4 0 】

透明な半導体を用いると、発光層から図の上面又は下面に向けても光を出射することができ、本発明を、面発光レーザやエレクトロルミネセンス素子等の発光素子等に多様に応用することができる。

【 図面の簡単な説明 】

【 0 0 4 1 】

【 図 1 】本発明による半導体素子の基本的な構造の断面図である。

【 図 2 】本発明による半導体素子の製造過程において得られた酸化亜鉛薄膜層の X 線逆格子マッピングのグラフである。 10

【 図 3 】アニール前後における酸化亜鉛バッファ層の表面原子間力顕微鏡像である。

【 図 4 】アニールされたバッファ層上における酸化亜鉛成長時の反射高速電子線回折強度の時間変化を示すグラフである。

【 図 5 】薄膜成長装置内でアニールされたバッファ層上に酸化亜鉛を堆積した時の反射高速電子回折強度の時間変化を示すグラフである。

【 図 6 】製造過程の異なる酸化亜鉛薄膜の低温フォトルミネッセンススペクトルを示すグラフである。

【 図 7 】薄膜成長装置内でアニールされた Mg Zn O バッファ層上に堆積した酸化亜鉛薄膜の低温における吸収、反射、フォトルミネッセンススペクトルと、室温で測定された吸収スペクトルとを示すグラフである。 20

【 図 8 】バッファ層を有しない酸化亜鉛薄膜と、薄膜成長装置内でアニールされた Mg Zn O バッファ層上に堆積した酸化亜鉛薄膜とにおけるホール移動度のキャリア濃度依存性を示すグラフである。

【 図 9 】本発明による半導体素子の一実施例の断面図である。

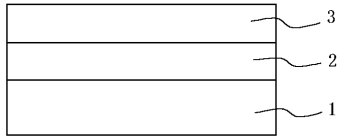
【 図 1 0 】本発明による半導体素子の他の実施例の断面図である。

【 符号の説明 】

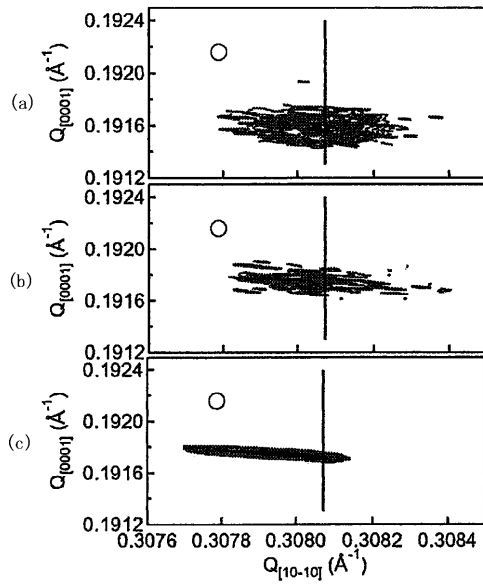
【 0 0 4 2 】

- 1、 1 1、 2 1 基板
- 2、 1 2、 2 2 バッファ層
- 3、 1 3、 2 3 酸化亜鉛薄膜層
- 1 4 ソース
- 1 5 ドレイン
- 1 6 ゲート絶縁層
- 1 7 ゲート
- 2 4 発光層
- 2 5 p 形半導体層
- 2 6 第 1 電極
- 2 7 第 2 電極

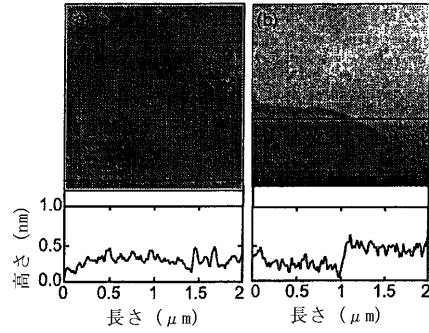
【 図 1 】



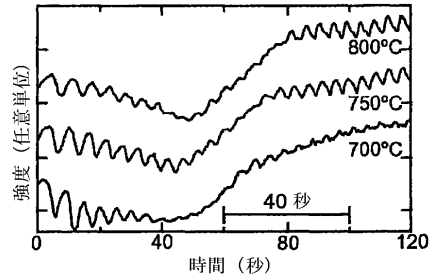
【 図 2 】



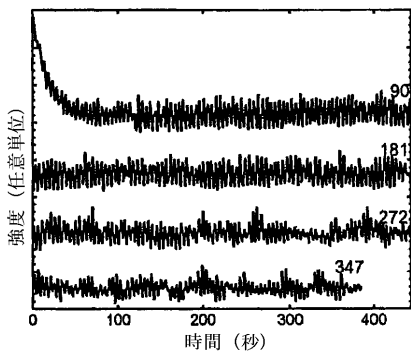
【 図 3 】



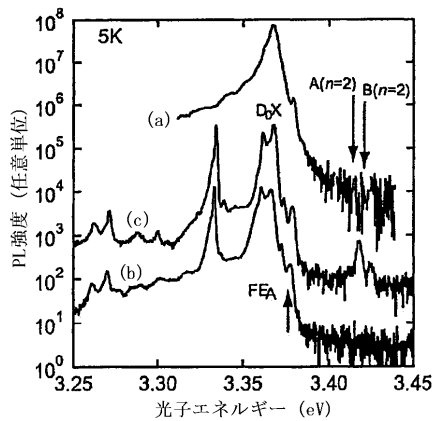
【 図 4 】



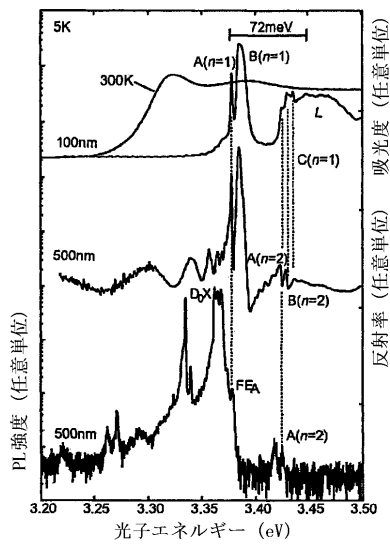
【 図 5 】



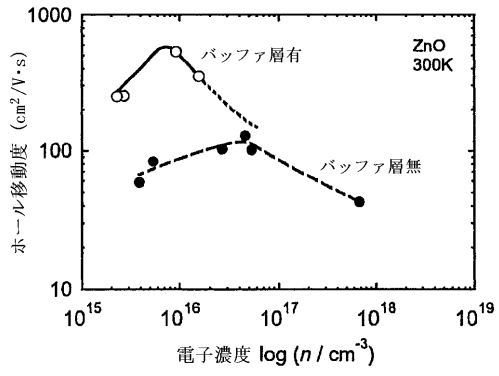
【 図 6 】



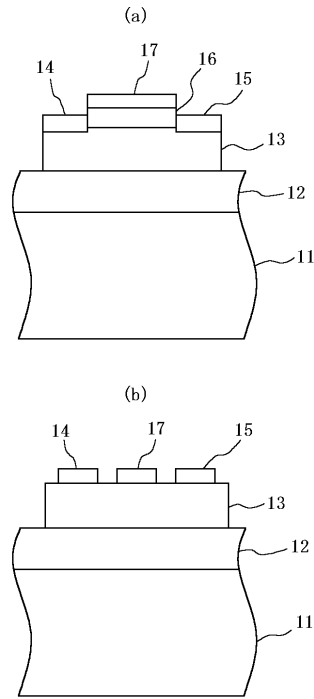
【 図 7 】



【 図 8 】



【 図 9 】



【 図 10 】

