

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4972270号
(P4972270)

(45) 発行日 平成24年7月11日(2012.7.11)

(24) 登録日 平成24年4月13日(2012.4.13)

(51) Int.Cl.	F I	
HO 1 L 27/04 (2006.01)	HO 1 L 27/04	D
HO 1 L 21/822 (2006.01)	GO 6 F 17/50	6 5 8 V
GO 6 F 17/50 (2006.01)	HO 1 P 5/02	6 0 3 C
HO 1 P 5/02 (2006.01)	HO 5 K 1/02	P
HO 5 K 1/02 (2006.01)	HO 5 K 3/00	D
請求項の数 11 (全 17 頁) 最終頁に続く		

(21) 出願番号	特願2003-390010 (P2003-390010)	(73) 特許権者	503360115 独立行政法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(22) 出願日	平成15年11月19日(2003.11.19)	(74) 代理人	100091443 弁理士 西浦 ▲嗣▼晴
(65) 公開番号	特開2005-150644 (P2005-150644A)	(72) 発明者	安永 守利 茨城県つくば市二の宮1-12-34
(43) 公開日	平成17年6月9日(2005.6.9)	(72) 発明者	吉原 郁夫 宮崎県宮崎郡清武町大字木原6653 医 大職員宿舎A-204
審査請求日	平成18年11月2日(2006.11.2)	審査官	棚田 一也
最終頁に続く			

(54) 【発明の名称】 高周波用配線構造及び高周波用配線構造の形成方法並びに高周波信号の波形整形方法

(57) 【特許請求の範囲】

【請求項1】

高周波信号が伝送される伝送線を構成する配線パターンを備えた高周波用配線構造であって、

前記配線パターンは形状の相違により特性インピーダンスが異なる複数のセグメントにより構成され、

前記複数のセグメントのそれぞれの前記特性インピーダンスは、前記伝送線を伝播する前記信号の波形歪を減少させる反射波を隣接する二つの前記セグメントどうしの境界で発生させ、各境界で発生する反射波が、重畳し合い、互いに打ち消しあって、前記伝送線を伝播する前記信号の波形が整形されるように定められていることを特徴とする高周波用配線構造。

【請求項2】

請求項1に記載の高周波配線構造を絶縁基板上に備えた高周波用実装基板。

【請求項3】

請求項1に記載の高周波配線構造を内部の配線パターン中に備えた集積回路。

【請求項4】

前記絶縁基板が、表面上に200MHz以上の高周波信号が伝送される伝送線を構成する配線パターンを備えている請求項2に記載の高周波用実装基板。

【請求項5】

前記セグメントの前記特性インピーダンスは、前記セグメントの幅寸法、長さ寸法及び

厚み寸法の少なくとも一つを変えることにより所定の値に設定されている請求項 2 に記載の高周波用実装基板。

【請求項 6】

前記セグメントの前記特性インピーダンスは、前記セグメントの長さ寸法を一定として、その幅寸法を変えることにより設定されている請求項 2 に記載の高周波用実装基板。

【請求項 7】

高周波信号が伝送される伝送線を構成する配線パターンを備えた高周波用配線構造を、形状の相違により特性インピーダンスが異なる複数のセグメントにより形成する方法であって、

最適化アルゴリズムを用いて、前記伝送線を伝播する前記信号の波形歪を減少させる反射波を隣接する二つの前記セグメントどうしの境界で発生させ、各境界で発生する反射波が、重畳し合い、互いに打ち消しあって、前記伝送線を伝播する前記信号の波形が整形されるように、前記複数のセグメントのそれぞれの前記特性インピーダンスを設計することを特徴とする高周波用配線構造の形成方法。

10

【請求項 8】

前記セグメントの長さ寸法を一定として、その幅寸法を設計することにより前記特性インピーダンスを設計することを特徴とする請求項 7 に記載の高周波用配線構造の形成方法。

【請求項 9】

前記最適化アルゴリズムが遺伝的アルゴリズムである請求項 7 に記載の高周波用配線構造の形成方法。

20

【請求項 10】

高周波信号が伝送される伝送線を構成する配線パターンを備えた高周波用配線構造を変えることにより前記高周波信号を波形整形する方法であって、

前記配線パターンを形状の相違により特性インピーダンスが異なる複数のセグメントにより構成し、

前記複数のセグメントのそれぞれの前記特性インピーダンスを、記伝送線を伝播する前記信号の波形歪を減少させる反射波を隣接する二つの前記セグメントどうしの境界で発生させ、各境界で発生する反射波が、重畳し合い、互いに打ち消しあって、前記伝送線を伝播する前記信号の波形を整形するように定めることを特徴とする高周波信号の波形整形方法。

30

【請求項 11】

最適化アルゴリズムを用いて、前記複数のセグメントの形状を設計することを特徴とする請求項 10 に記載の高周波信号の波形整形方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、高周波用配線構造、該高周波配線構造を用いた高周波用実装基板、集積回路及び高周波用実装基板、高周波用配線構造の形成方法並びに高周波信号の波形整形方法に関するものである。

40

【背景技術】

【0002】

VLSI（超大規模集積回路）の内部信号の高速化に伴い、VLSIを実装するプリント基板やセラミック基板（高周波用実装基板）上の信号も高速化（高周波化）する必要がある。最近では、高周波用実装回路基板の伝送上を伝播する信号の周波数がMHzからGHzへと増加しようとしている。このような高速化により、基板上の高周波信号（200MHz以上の周波数）の電気長（波長）は基板上の配線の平均的な長さ比べて短くなっており、従って、基板上の配線は伝送線と見なして設計する必要がある。この点に関しては非特許文献 1 及び 2 に記載されている。実際に伝送線として見ると、伝送線となる配線上には様々な特性インピーダンスの不整合箇所が存在するために伝送上では反射ノイ

50

ズが発生する。そして、これが原因で配線を伝搬する信号に波形歪みが発生する。波形歪みは信号の品質を著しく劣化させることになり、特に、最も重要な信号であるクロック信号にこれらの歪みが発生した場合、VLSI（超大規模集積回路）の誤動作に直結することが多い。従って、クロック信号については特に歪みの少ない理想に近い信号品質を保つ必要がある。また高周波化が進むと、クロック信号だけでなく、データバスやアドレスバス上を伝送する信号でも波形歪は誤動作の原因となる。

【0003】

インピーダンス不整合によって生ずる波形歪みの問題を図21に示す。VLSIから送出された信号（デジタル信号）は、特性インピーダンス Z_0 の配線を伝わり、終端抵抗で終端される。ここで、配線にVLSIやモジュールなどの部品が接続された場合、これらの部品は等価的に容量性負荷 C_L と見なすことができる。これらの負荷は一樣な特性インピーダンス Z_0 の配線上においてインピーダンス不整合点となり、この点で反射ノイズが発生する。反射ノイズは配線上を反射しながら伝搬し、これがデジタル信号に重畳されて大きな波形歪みを引き起こす。

10

【0004】

従来より基板上配線のインピーダンス整合には、インピーダンス不整合点の近傍でインピーダンスを調整する「負荷トレース手法」（非特許文献3）や「Stub Series Terminated Logic法」（非特許文献4）が用いられてきた。

【0005】

また従来技術として、反射波を打ち消す信号を発生する集積回路を伝送線に付加するという技術も提案されている（非特許文献5）。

20

【非特許文献1】碓井有三著の“ギガヘルツ時代の高速伝送線路設計”、信学技報 FTS2001-34, Vol. 101, No. 475, pp. 21-28, 2001年発行

【非特許文献2】遠矢弘和著の“高速/微細プロセスに適する、信号を電磁波とみなした配線設計法”、信学論(C), Vol. J85-C No. 3, PP. 117-124, 2002年発行

【非特許文献3】上野典彦及び中村祥恵著の“高速デジタルシステム設計法詳説”、日経BP社, 2001年発行

【非特許文献4】Masao TAGUCHI著の“High-Speed, Small-Amplitude I/O Interface Circuits for Memory Bus Application” IEICE Trans. Electronics, Vol. E77-C, No. 12, pp. 1944-1950, 1994年発行

30

【非特許文献5】田村泰考, 後藤公太郎, 斎藤美寿, 張子誠, 若山繁俊, 小川淳二, 加藤好治, 田口眞男及び今村健共著の“チップ間高速信号伝送用イコライズ技術”、信学論(C-II), Vol. J82-C-II No. 5, PP. 239-246, 1999年及び情報処理 Vol. 40, No. 8, pp. 795-800, 1999年発行

【発明の開示】

40

【発明が解決しようとする課題】

【0006】

しかしながら、前述の非特許文献3及び4に記載の手法では、局所的にインピーダンスを整合するため完全に反射を消すことが難しく、不整合点が多い場合には反射波同士が重畳して大きな信号劣化を生ずることがあった。また非特許文献5に記載の技術では、特別な集積回路を用意する必要がある。

【0007】

信号の高速化は今後も不可欠であり、高速化するほど電気長の短い高周波成分が増加することになる。従って、インピーダンス不整合による波形歪みは一層大きくなる。このため、高い信号品質を実現できる新たな信号配線構造とその設計手法（配線構造の形成方法

50

；波形整形方法）が必要とされている。

【0008】

本発明の目的は、高周波信号の波形歪を減少させることができる高周波用配線構造、高周波配線構造を用いた高周波用実装基板、集積回路及び高周波用実装基板、高周波用配線構造の形成方法並びに高周波信号の波形整形方法を提供することにある。

【0009】

また本発明の他の目的は、VLSI等を実装する高周波用実装基板用の新たな配線構造とその設計手法を提供することにある。

【課題を解決するための手段】

【0010】

本発明は、配線パターンを複数のセグメントに分割することで、従来のような局所的な調整ではなく、大域的にインピーダンスを調整して反射波を打ち消す伝送線構造すなわち高周波配線構造を提案する。本願明細書では、この伝送線をセグメント分割伝送線（STL：Segmental Transmission Line）と呼ぶ。

【0011】

まず本発明は、高周波信号（200MHz以上の周波数の信号）が伝送される伝送線を構成する配線パターンを備えた高周波用配線構造を改良の対象とする。本発明では、配線パターンを形状の相違により特性インピーダンスが異なる複数のセグメントにより構成する。そして複数のセグメントのそれぞれの特性インピーダンスを、伝送線を伝播する信号の波形歪を減少させる反射波を隣接する二つのセグメントどうしの境界で発生させるように定める。本発明の基本的な思想は、反射波が発生しないようにしてきた従来の配線設計の発想を逆転し、伝送線の隣接する二つのセグメントどうしの境界で積極的に反射を発生させ、反射波を重ね合わせることによって信号の波形歪みを減少させることにある。言換えると、本発明の技術的思想は、複数のセグメントのそれぞれの特性インピーダンスを、各セグメントどうしの境界で発生する反射ノイズが重畳し合うことにより伝送線を伝播する信号の波形が整形されるように定めることにある。このようにすると、特別な集積回路等を用意することなく、配線パターンの形状だけで、従来の技術よりも確実に波形歪を減少させることができる。

【0012】

本発明の高周波配線構造は、絶縁基板上に備えた高周波用実装基板に適用できるのは勿論であるが、本発明の高周波配線構造をマイクロプロセッサ等の集積回路の内部の配線パターンに採用してもよいのは勿論である。信号の周波数が更に高くなれば、集積回路中の配線パターンでも反射の問題は当然にして発生することになるが、集積回路の中でも本発明は有効に効果を発揮する。

【0013】

本発明を絶縁性基板の表面上に200MHz以上の高周波信号が伝送される伝送線を構成する配線パターンを備え且つ配線パターンに電気的に接続される集積回路が実装される高周波用実装基板に適用する場合には、配線パターンを形状の相違により特性インピーダンスが異なる複数のセグメントにより構成し、複数のセグメントのそれぞれの特性インピーダンスを、各セグメントで発生する反射ノイズが重畳し合うことにより伝送線を伝播する信号の波形が整形されるように定めればよい。

【0014】

ここでセグメントの特性インピーダンスは、セグメントの幅寸法、長さ寸法及び厚み寸法の少なくとも一つを変えることにより所定の値に設定することができる。特に、セグメントの特性インピーダンスを、セグメントの長さ寸法を一定として、その幅寸法を変えることにより設定すると、比較的特性インピーダンスの設定が容易である。

【0015】

本発明の方法は、高周波信号が伝送される伝送線を構成する配線パターンを備えた高周波用配線構造を、形状の相違により特性インピーダンスが異なる複数のセグメントにより形成する方法である。本発明の方法では、遺伝的アルゴリズム等の最適化アルゴリズムを

10

20

30

40

50

用いて、伝送線を伝播する信号の波形歪を減少させる反射波を隣接する二つのセグメントどうしの境界で発生させるように(複数のセグメントのそれぞれの特性インピーダンスを、各セグメントで発生する反射ノイズが重畳し合うことにより伝送線を伝播する信号の波形が整形されるように)、複数のセグメントのそれぞれの特性インピーダンスを設計する。本発明で適用可能な最適化アルゴリズムとしては、遺伝的アルゴリズムの他に他の公知の適宜の最適化アルゴリズムを使用することができる。

【0016】

ここで最適化アルゴリズムの一つである遺伝的アルゴリズムや遺伝的プログラミング(Genetic Programming)等の進化計算については下記の文献(1)及び(2)に記載されている。そして下記の文献(1)及び(2)に記載の技術をハードウェアの設計に用いる試みは、近年、「進化ハードウェア」の枠組の中で盛んに報告がなされるようになってきた[下記の文献(3)(4)(5)参照]。その中で、回路設計にGA、GPを適用した報告もいくつかなされている[下記の文献(6)(7)(8)参照]。しかし、これらは、トランジスタやキャパシタンス等の回路部品の値を回路のゲインを最適化するように決定するといった試みであり、伝送線の設計にかかわるものではない。また、Cheldavi等は、伝送線のSパラメータの決定に遺伝的アルゴリズムを用いているが、これは、構造が既にわかっている伝送線のSパラメータの推定に関する研究である[下記の文献(9)参照]。従って、従来公知の遺伝的アルゴリズムを用いる手法は、発明で提案するセグメントに分割された伝送線とは対象構造が異なり、かつ、その目的や手法も異なるものである。

【0017】

文献(1): D. E. Goldberg 著の "Genetic Algorithms in Search Optimization" Machine Learning, Addison-Wesley, 1989年発行

文献(2): John R. Koza 著の "Genetic Programming" On the Programming of Computers by means of Natural Selection, MIT Press, 1992年発行

文献(3): 樋口哲也 著の "進化型ハードウェア" 情報処理, Vol. 40, No. 8, pp. 795 - 800, 1999年発行

文献(4): 辺見 均, 五味隆志 著の "進化するハードウェア" 電子情報通信学会論文誌, Vol. J84-C, No. 7, pp. 543 - 551, 2001年発行

文献(5): Moshe Sipper 及び Daniel Mange, Eds 著の "Special Issue on from Biology to Hardware and Back" IEEE Trans. Evolutionary Computation, Vol. 3, No. 3, pp. 165 - 250.

文献(6): Forrest H. Bennett III, 及び John R. Koza, Jessen Yu 及び William Mydlowec 著の "Automatic Synthesis, Placement, and Routing of an Amplifier Circuit by Means of Genetic Programming" Proc. Int'l Conf. Evolvable Systems 2000 (ICES 2000), pp. 1 - 10, Edinburgh, 2000年発行

文献(7): Giovanni Gomez Estrada 著の "A Note on Designing Logical Circuits Using SAT" Proc. Int'l Conf. Evolvable Systems 2003 (ICES 2003), pp. 410 - 421, Trondheim, 2003年発行

文献(8): Thomas Beielstein, Jan Dienstuhl, Christian Feist 及び Marc Pompl 著の "Circuit Design Using Evolutionary Algorithms" Proc.

10

20

30

40

50

Congress on Evolutionary Computation 2003 (CEC2003), CD-ROM, Honolulu, 2003年発行

文献(9): Ahmad CHELDAVI及びGholamali REZAI-RAD著の“Modeling of Nonuniform Coppled Transmission Lines Interconnect Using Genetic Algorithm” IEICE Trans. Fundamentals, Vol. E83-A, No. 10, pp. 2023-2034, 2000年発行

本発明は、高周波信号が伝送される伝送線を構成する配線パターンを備えた高周波用配線構造を変えることにより高周波信号を波形整形する方法としても特定することができる。この場合でも、配線パターンを形状の相違により特性インピーダンスが異なる複数のセグメントにより構成し、複数のセグメントのそれぞれの特性インピーダンスを、各セグメントで発生する反射ノイズを重畳して伝送線を伝播する前記高周波信号の波形を整形するように定める。そして前述の遺伝的アルゴリズムを用いて、複数のセグメントの形状を設計すればよい。

10

【発明の効果】

【0018】

本発明によれば、特別な集積回路等を用意することなく、配線パターンの形状だけで、従来の技術よりも確実に波形歪を減少させることができる利点が得られる。

【発明を実施するための最良の形態】

【0019】

20

以下図面を参照して本発明の実施の形態を詳細に説明する。図1に示すように、本発明の実施の形態では、例えば、絶縁性基板の表面上に200MHz以上の高周波信号が伝送される伝送線を構成する配線パターンを備え且つ配線パターンに電気的に接続される集積回路が実装される高周波用実装基板上の配線パターンを複数個のセグメント $S_0 \sim S_{11}$ に分割する。そして各セグメント $S_0 \sim S_{11}$ 毎に独立した特性インピーダンス Z_i ($Z_0 \sim Z_{11}$)を与える。これにより、隣接する二つのセグメントどうしの境界(S_0 と S_1 の境界、 S_1 と S_2 の境界等)で特性インピーダンスの不整合点が発生し、反射波が発生する。本実施の形態では、各境界で発生するこれらの反射波が、容量性負荷 C_L によって発生した反射波も含めて重畳し合い、互いに打ち消しあうように個々のセグメント $S_0 \sim S_{11}$ の特性インピーダンス Z_i ($Z_0 \sim Z_{11}$)を調整する。すなわち、本実施の形態では、反射波が発生しないようにしてきた従来の配線設計の発想を逆転し、積極的に各セグメントの境界で反射を発生させることでこれらの重ね合わせによって波形歪みを減少させる。

30

【0020】

ここで、セグメントの数を m 、各セグメントのとり得る特性インピーダンスの値を n 通りとすると、全体で可能な組合せは n^m 通りとなる。例えば、 $m=10$ 、 $n=100$ (100の範囲で1きざみ)とすると、 100^{10} 通りとなり、全検探索は不可能となる。そこで実施の形態では、各セグメントの特性インピーダンスの決定に遺伝的アルゴリズムを適用する。図2に示すように、セグメント分割された伝送線の各特性インピーダンス $Z_0 \sim Z_{11}$ をそのまま個体の染色体(Chromosome)上の遺伝子にマッピングすることが可能であり、基本的にこのまま遺伝的アルゴリズムの遺伝操作を適用することが可能である。なお、後述するように、具体的には、各セグメント $S_0 \sim S_{11}$ の特性インピーダンス Z_i ($Z_0 \sim Z_{11}$)の他に伝送線の終端抵抗 R_T やダンピング抵抗 R_0 も設計パラメータとなり、これらも含めて遺伝子にマッピングする。

40

【0021】

各セグメント $S_0 \sim S_{11}$ の特性インピーダンス Z_i ($Z_0 \sim Z_{11}$)を決定した後、 Z_i を実現するように各セグメントの形状を設計する。具体的には、特性インピーダンス Z_i は配線の幅 W_i 、厚さ T_i 、絶縁体の厚さ D_i 、及び基板の絶縁体の比誘電率 ϵ_r の関数である($Z_i = f(W_i, T_i, D_i, \epsilon_r)$)。実際には、厚さ T_i 及び絶縁体の厚さ D_i は基板上の全ての配線パターンで一定(すなわち、 T と D)であることが一般的

50

である。そこで、セグメント $S_0 \sim S_{11}$ 毎に幅寸法 W_i を変えて特性インピーダンス Z_i を実現する。図3に高周波実装用回路基板としてのプリント基板上のマイクロストリップラインを対象としたセグメント分割伝送線の例を示す。図3において、上段には配線パターンの平面図を示してあり、下段には各部の横断面図を個別に示してある。図3の例では、各セグメントの長さ L が等しい。しかし本発明を適用する場合には、セグメントの長さ L も可変として、セグメント毎に長さを異ならせてもよい。この場合、各セグメントの長さ L_i によって反射波の伝搬長が異なることになるため、セグメントの長さ L_i も特性インピーダンス Z_i と同様のパラメータとして遺伝的アルゴリズムにより決定する必要がある。

【0022】

次に、セグメント分割伝送線設計支援システムについて説明する。本発明の方法を実現するために、セグメント分割伝送線の設計支援システムを作成した。図4は、このシステムの構成を示す。本願明細書においては、作成した設計統括用のプログラムをSTLデザイナー (STL Designer) 呼び、このプログラムと既存の電子回路シミュレータ (SPICE) とからこのシステムは構成される。ここでSTLデザイナーは、セグメント分割伝送線 (STL) 設計全体のフロー制御、遺伝的アルゴリズムによる最適化計算、電子回路シミュレータ (SPICE) の起動、そしてOS [現在はUnix (登録商標) を使用] のシェルとのインタフェースを実行する。電子回路シミュレータ (SPICE) は1960年台後半から開発に着手されて以来、広く世界中で使用されている電子回路シミュレータであり、<http://bwrc.eecs.berkeley.edu/Classes/IcBook/SPICE/> 及び「Resve Saleh, 井上隆秀及び井戸幸彦共著の“回路シミュレータの現状と展望 - シミュレータへの期待と海外研究動向

を踏まえた実現上の課題” 信学論 (A), Vol. J74 - A No. 8, PP. 1188 - 1196, 1991 発行」に詳しく説明されている。また電子回路シミュレータ (SPICE) を用いた伝送線に関する実験結果もこれまで多く報告されており、その信頼性の高さは広く認められている。例えば、「廣瀬 啓及び安浦寛人著の“クロストークを考慮したバス遅延削減手法” 信学論 (A), Vol. J83 - A No. 8, PP. 989 - 998, 2000 発行」、「遠藤哲郎, 船木寿彦, 中村広記, 桜庭 弘及び舛岡富士男著の“新しい基板コンタクト型パストランジスタ” 信学論 (C), Vol. J84 - C No. 3, PP. 192 - 198, 2001 発行」及び「関根敏和, 小林邦勝及び横川泉二著の“損失のある不均一線路のFDTD法を用いた時間領域解析” 信学論 (A), Vol. J84 - A No. 8, PP. 1018 - 1026, 2001 発行」に報告がある。

【0023】

STLデザイナーは、スクリプト言語「perl」で書かれたスクリプトであり、電子回路シミュレータSPICEとSTLデザイナーは以下の連係動作を行なう。

【0024】

1. STLデザイナーは回路モデルのパラメータ (セグメント分割伝送線の各セグメントの特性インピーダンスと終端抵抗値等) に対してGA計算 (遺伝操作) を行なう。電子回路シミュレータ (SPICE) は、このGA計算 (遺伝操作) の中の適応度評価の際に用いられる。具体的には、GA計算の適応度評価 (fitness evaluation) の中で、入回路を含めたセグメント分割伝送線の回路記述をファイル (circuit description file) として出力する。

【0025】

2. STLデザイナーは回路記述ファイルを出力後、電子回路シミュレータ (SPICE) に起動をかける。

【0026】

3. 電子回路シミュレータ (SPICE) は回路記述ファイルを読み込み、これを解析した後に解析結果を信号波形結果ファイル (signal waveform file) として出力する。

【 0 0 2 7 】

4 . S T L デザイナーは信号波形結果ファイルを読み込み、これより適応度 (f i t n e s s) を計算し G A 計算 (遺伝操作) を続けて実行する。

【 0 0 2 8 】

次に遺伝操作について説明する。図 3 に示すように、セグメントに分割された伝送線の各特性インピーダンス ($Z_0 \sim Z_{11}$) は、そのまま個体の遺伝子にマッピングすることが可能である。このマッピングにより、交差、突然変異、選択操作をそのまま致死遺伝子を発生させることなく適用することができる。

【 0 0 2 9 】

適応度評価のための適応度関数は、「理想的な伝送波形にどれだけ近いか」によって定義することができる。すなわち、 $I(t)$ をインピーダンス整合が完全にとれた理想的な伝搬波形 (I d e a l W a v e F o r m)、 $R(t)$ を本発明の方法で整形対象とする伝搬波形 (W a v e F o r m U n d e r A d j u s t i n g) とし、 T を周期としたとき、

【 数 1 】

$$D i f f = \int_{-T/2}^{T/2} |I(t) - R(t)| dt, \quad \dots (1)$$

【 数 2 】

$$f i t n e s s = \frac{1}{D i f f} \quad \dots (2)$$

【 0 0 3 0 】

として定義することができる。

【 0 0 3 1 】

図 5 は、理想的な伝送波形 (I d e a l W a v e F o r m) と整形対象である伝送波形 (W a v e F o r m U n d e r A d j u s t i n g) の関係を示している。ここで、 $D i f f$ は、図 5 の斜線部が示す $I(t)$ と $R(t)$ の差分の絶対値に等しい。

【 0 0 3 2 】

次に、実際のプリント基板の配線を対象として、セグメント分割伝送線の評価を行った。対象とした具体的な配線系は、パーソナルコンピュータなどで用いられている D I M M (D u a l I n - l i n e M e m o r y M o d u l e) のクロック供給配線である。図 6 に設計対象とした配線系を示す。図 6 において、D I M M はプリント基板上に実装し、メイン・メモリを構成するメモリモジュールであり、これが CPU に対していかに広い帯域のメモリバンド幅を供給できるかがシステム性能を大きく左右する。メモリバンド幅は転送速度とデータ幅の積で決まるため、D I M M を高速動作させるためには、高速で高品質なクロック信号を供給する必要がある。そして基板上で高速かつ高品質な信号を伝搬させるためには、反射の少ない理想的な伝送構造を実現する必要がある。D I M M のクロック供給配線系では、D I M M 自体が伝送構造に対するインピーダンス不整合点となり、波形歪みを引き起こす。現在のパーソナルコンピュータではこのような理想的なクロック信号を供給することが難しく、CPU のクロック周波数が数 G H z に達する性能向上を示している半面で、基板上のクロック信号速度は、数百 M H z 程度に留まっている。

【 0 0 3 3 】

図 6 に示すように通常のクロック信号供給系では、クロックドライバ (C l o c k D r i v e r) から出力されたクロック信号は、ダンピング抵抗 R_D を通った後、基板上の

伝送線（図中のクロックライン（Clock line））を伝搬して、終端抵抗 R_T で終端される。伝送線の実特性インピーダンス Z_0 は、通常70程度が用いられる。この評価実験では、実際の配線系の実測値から $Z_0 = 76$ とした。

【0034】

この伝送線にDIMMのクロック信号ピン（図中のClock In）を接続し、クロック信号はここからDIMMに供給される。通常のDIMMでは、DIMMの片面に対して2つのクロック信号ピンがあり、図6もこれに対応している。なお、本評価対象では、伝送線の長さを10cmとしている。この長さは、典型的なクロック信号配線長（数cmから20cm程度）の範囲である。

【0035】

図6に対する回路図を図7に示す。伝送線は複数のセグメントに分割され、それぞれ異なった特性インピーダンス Z_i をもつ（本図では、 Z_1 から Z_{10} の10個のセグメントに分割した例を示している）。DIMMはそのクロック信号ピンの位置で負荷容量 C_1 と等価であり、今回の評価ではその実測値から $C_1 = 10$ pFとした。また、クロックドライバは、信号源 V と内部抵抗 R_{on} として表される。

【0036】

設計目標は、クロック信号入力点（観測点）P1、P2において理想的なクロック信号を実現する各セグメントの特性インピーダンス Z_i を求めることであり、前述した「セグメント分割伝送線設計支援システム」を用いる。

【0037】

以下評価結果について説明する。

【0038】

[実験1]

伝送するクロック信号の切り替わり時間（立上り/立下がり）を20ps、信号振幅を3.3V、周期を10nsとしたときの実験結果を図8乃至図13に示す。図8は、観察点P1における基本整合配線系における観測波形を示しており、図9は観察点P2における基本整合配線系における観測波形を示している。また図10は、セグメント分割伝送系における観察点P1における観測波形を示しており、図11はセグメント分割伝送系における観察点P2における観測波形を示している。そして図12は負荷トレース系（従来手法）における観測点1における観測波形を示しており、図13は負荷トレース系（従来手法）における観測点2における観測波形を示している。信号の切り替わり部分は高い周波数成分を含むため、この切り替わりが原因で大きな反射ノイズが発生する。この実験では、この信号切り替わりにおけるセグメント分割伝送線の効果を評価するために非常に短い立上り時間（20ps）を設定し、クロックの周波数は100MHzと遅いものとした。なお、切り替わり時間20psは現在のクロック信号の切り替わり時間に比べて短い値であるが、今後、VLIS（超大規模集積回路）内においては10GHz級のクロック信号が要求されることから、プリント基板上においてもGHz級のクロック伝送が望まれ、この要求を実現するためには十分現実的な値である。なお、信号の振幅は3.3[V]とした。

【0039】

図8及び図9は、それぞれ基本整合配線系にDIMMを接続したときに観測点P1、P2で観測された波形である。ここで、基本整合配線系とは無負荷時（DIMMなどの負荷が接続されていないとき）に完全にインピーダンス整合のとれた理想的な伝送系のことである。図8及び図9には、この基本整合配線系のみ（負荷無し）のときに観測点P1、P2において観測された波形（図中のIdeal Wave Form）も同時に示している。基本整合配線系のみの場合には、クロック信号は歪みを生じることなくそのまま理想的な波形で伝搬する。一方、この基本整合配線系にDIMMが接続された場合、DIMMがインピーダンス不整合点となり反射ノイズ（図中の反射ノイズ：Reflection Noise）が発生し理想的波形に大きな歪みが発生している。さらにこの波形歪みが信号の伝送遅延（図中のDelay）を引き起こしている。

10

20

30

40

50

【 0 0 4 0 】

図 1 0 及び図 1 1 は、図 7 に示すセグメント分割伝送線による観測点 P 1 , P 2 での観測波形である。比較のために、図 8 に示した理想波形 (I d e a l W a v e F o r m) も示している。わずかな伝送遅延 (図中の D e l a y) とレベルの振動が観測されるが、遅延時間は 2 0 0 p s 程度 (観測点 P 2) であり、図 8 における遅延時間の約 1 / 5 である。またレベルの振動も誤動作を生ずるほど大きくはなく、ほぼ理想的な信号伝送を実現している。なお、本セグメント分割伝送線の設計のために用いた G A の個体数は 1 0 であり、約 3 0 0 世代進化させた結果を用いた。

【 0 0 4 1 】

ここで、式 (1) 、 (2) による適応度値で、基本整合配線系 ($Z_0 = 76$) に D I M M を接続した時の適応度値を $f_{original}$ 、セグメント分割伝送線によって得られた適応度値を f_{STL} として改善率 r_{imp} を両者の比と定義すると

【 数 3 】

$$r_{imp} = \frac{f_{STL}}{f_{original}} = 2.59 \quad \dots (3)$$

【 0 0 4 2 】

となる。この改善率からも、セグメント分割伝送線によって、伝送信号の信号品質が大幅に改善されたことがわかる。

【 0 0 4 3 】

図 1 2 及び図 1 3 は、従来技術である負荷トレース法を用いたときの観測点 P 1 , P 2 における観測波形である (比較のために図 8 に示した理想波形 (I d e a l W a v e F o r m) も示している) 。負荷トレース法は、図 1 4 に示すように、伝送線 (特性インピーダンス Z_0) に接続された負荷 C_L に対して、その近傍の配線の特性インピーダンスを局所的に調整し (特性インピーダンス Z' に変更) 、 C_L と Z' の合成インピーダンスを Z_0 に近づける手法である。具体的に今回の実験では、図 1 5 に示す伝送系を用いた。負荷トレースの長さは C_L の両側でそれぞれ長さ 1 c m とし、その特性インピーダンス Z' は特性インピーダンスの整合計算より $Z' = 526$ とした (詳細は付録に記載) 。ここで、 $Z' = 526$ のような高インピーダンス配線を実現することは製造プロセス上困難であり、実際には 1 0 0 ~ 1 5 0 程度 (製造可能な範囲でできるだけ高い値) の配線を用いる。しかしながら今回は、比較のためにこの理論的な整合計算値 $Z' = 526$ [] を用いた。なお、前述の通り、その他のパラメータ Z_0 、 R_T 、 $(R_{on} + R_D) 76$ とした。図 1 2 及び図 1 3 では、図 8 で示した大きな反射ノイズは無くなっているが、遅延時間 (D e l a y) が増加しており、また信号レベルの大きな振動 (B o u n c e N o i s e) が観測される。これは、負荷 C_L の影響を局所的なインピーダンス Z' で消そうとしたため、結果的に Z' の値がとて大きくなり、従って、局所的にインダクタンスが非常に高くなったためと考えられる。このような局所的なインピーダンス整合は、デジタル信号の切り替わり時間が長い時、すなわち、信号の切り替わりにおける周波数の成分が低い場合は効果がある。しかし、高速な切り替わりでは、負荷トレース部が集中定数ではなく分布定数となるので本結果が示すように効果が少なくなる。

【 0 0 4 4 】

本設計で得られたセグメント分割伝送線の結果を表 1 に示す。表中の配線幅 (t r a n s m i s s i o n - l i n e - w i d t h) W_i は特性インピーダンス Z_i と配線形状の関係式

10

20

30

40

【数4】

$$Z_i = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \frac{5.98D}{0.8W_i + T} \quad \dots (4)$$

【0045】

によって求められる。ここで、 $D (= 140 \text{ m}\mu)$ と $T (= 35 \text{ m}\mu)$ は、それぞれ、基板の絶縁体の厚さと配線の厚さである(図3参照)。また、 $\epsilon_r (= 4.2)$ は、絶縁体の誘電率である。

10

[実験2]

信号切り替わり時間の依存性を評価するため、実験1の立上り時間を $t_r = 200 \text{ p s}$ に変えた場合の結果を表2にまとめる。この実験においてもセグメント分割伝送線による改善率は $r_{i m p} = 2.66$ となり、高い効果が得られている。

【0046】

図16の表1と図17の表2の比較からわかるように、両者の対応するセグメントの特性インピーダンス Z_i は異なっている。特に、立上り時間 20 p s の時、 Z_6 は64と全セグメントの中で最も高い特性インピーダンス値となっている(図16)。一方、立上り時間 200 p s の時、 Z_6 は22と全セグメントの中で最も低い特性インピーダンス値となっている(図16)。これは、両者の信号切り替わりにおける周波数成分が異なるために異なった反射ノイズが発生するためである。セグメント分割伝送線はこれらの異なった反射ノイズに適応し、それぞれのケースにおいて個々のセグメントの特性インピーダンスを調整することで理想的な伝送信号を実現している。

20

【0047】

[実験3]

実験1と実験2では、特に大きな波形歪みが生じる信号の切り替わりに注目して実験を行った。このため、クロック周波数については 100 M H z という遅い値を用いた。本実験では、信号周期(クロック周波数)を 500 M H z として実験を行った。 500 M H z の信号波長は伝送線長 10 c m (図7)とほぼ等しく、従って実験1、実験2以上に多くの多重反射が発生すると考えられる。そこで本実験では、セグメント数を20として自由度をさらに増やすことでこれに対応した(その他の設定値は全て実験2と同じである)。結果を図20の表3にまとめる。また、P1において観測される波形を図18と図19に示す。図18は、基本整合配線系にDIMMを接続した時の観測波形(Wave Form under Capacitance)とDIMMが無い時の理想波形(Ideal Wave Form)である。DIMMを接続した影響により、大きな反射ノイズが発生し、矩形波の切り替わり部分(立上りと立ち下がり部分)が大きく削り取られて正弦波形のように歪んでいることがわかる。図19は、セグメント分割伝送線の波形(Wave Form under Capacitance)と理想波形(Ideal Wave Form)である。図18において大きく削り取られた信号切り替わり部分が改善され、理想波形に近付いた波形に整形されていることがわかる。この実験においても $r_{i m p} = 2.13$ となり、良好な改善効果が得られている。

30

40

【0048】

上記実験から、設計した伝送線上の伝送波形と従来伝送線上の伝送波形を比較評価し、伝送波形の品質が2倍以上改善され、理想的な伝送波形が得られることが分かった。

【0049】

なお配線の特性インピーダンス Z' は、キャパシタンス C' とインダクタンス L' に以下のように分解される。

【数 5】

$$C' = \frac{t_{pd}}{Z'}, \quad L' = Z' t_{pd}$$

【0050】

ここで、 t_{pd} は配線基板の絶縁体の誘電率で決定される伝送遅延時間である。負荷容量 C_L の接続された負荷トレースの特性インピーダンスは、 C' 、 L' 、 t_{pd} 及び C_L で計算することができ、また、この値を Z_0 と等しくすることから

【数 6】

$$Z_0 = \sqrt{\frac{Z' t_{pd}}{C' + \frac{t_{pd}}{Z'}}} \quad \dots (5)$$

【0051】

と表される。これより、 $Z_0 = 76$ 、 $C' = 10$ [pF]、 $t_{pd} = 112$ [ps] を代入することで、 $Z' = 526$ [] を得る。

【図面の簡単な説明】

【0052】

【図 1】セグメント分割伝送線 の概念を示す回路図である。

【図 2】図 1 のセグメント分割伝送線 の特性インピーダンスと抵抗の染色体上へのマッピングを示す図である。

【図 3】セグメント分割伝送線 の例を示す図である。

【図 4】セグメント分割伝送線設計支援システムの構成を示す図である。

【図 5】整形対象波形と理想波形の差による適応度値を示す図である。

【図 6】プリント基板上のクロック配線に接続されたメモリモジュールの構成を示す図である。

【図 7】図 6 の回路を示す図である。

【図 8】観察点 P 1 における基本整合配線系における観測波形を示す図である。

【図 9】観察点 P 2 における基本整合配線系における観測波形を示す図である。

【図 10】セグメント分割伝送系における観察点 P 1 における観測波形を示す図である。

【図 11】セグメント分割伝送系における観察点 P 2 における観測波形を示す図である。

【図 12】負荷トレース系（従来手法）における観測点 1 における観測波形を示す図である。

【図 13】負荷トレース系（従来手法）における観測点 2 における観測波形を示す図である。

【図 14】従来のインピーダンス整合手法（負荷トレース法）を説明するために用いる図である。

【図 15】メモリモジュール系に対する負荷トレースの設計を説明するための図である。

【図 16】実験 1 の結果を示す図表である。

【図 17】実験 2 の結果を示す図表である。

【図 18】基本整合配線系の観測点 P 1 の波形を示す図である。

【図 19】セグメント分割伝送系の観測点 P 1 の波形を示す図である。

【図 20】実験 3 の結果を示す図表である。

【図 21】超大規模集積回路実装基板上の配線と反射ノイズの関係を示す図である。

【符号の説明】

10

20

30

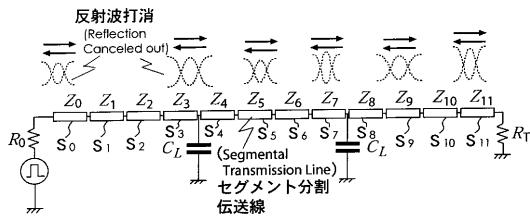
40

50

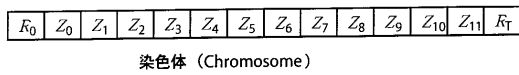
【 0 0 5 3 】

- $S_0 \sim S_{11}$ セグメント
- $Z_0 \sim Z_{11}$ 特性インピーダンス
- R_T 終端抵抗
- R_0 ダンピング抵抗

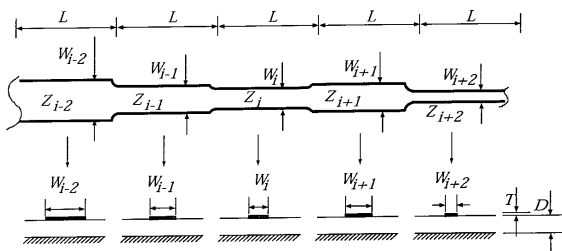
【 図 1 】



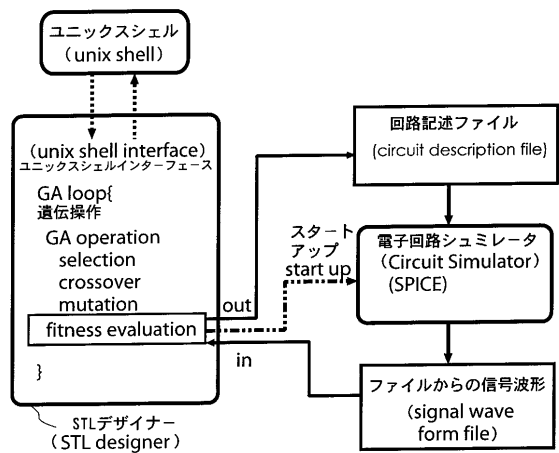
【 図 2 】



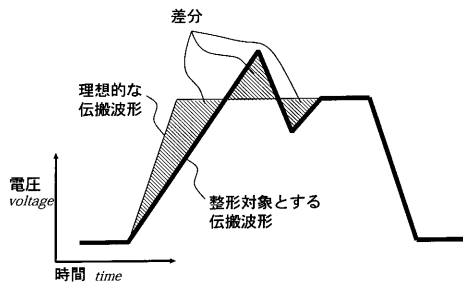
【 図 3 】



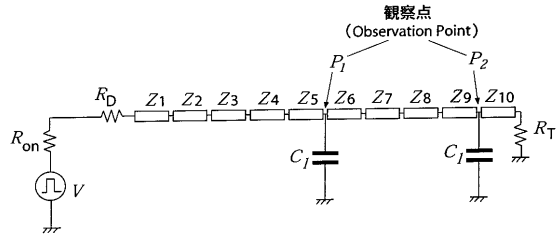
【 図 4 】



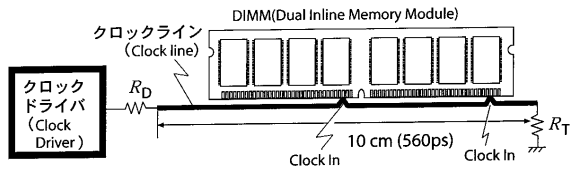
【図5】



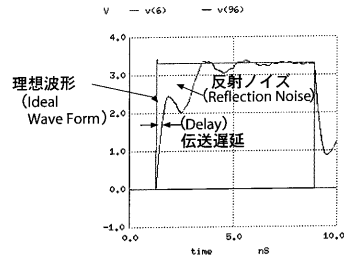
【図7】



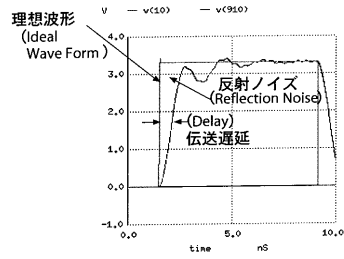
【図6】



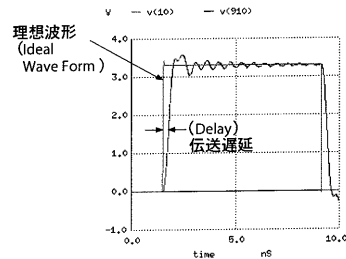
【図8】



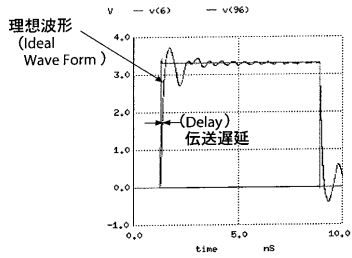
【図9】



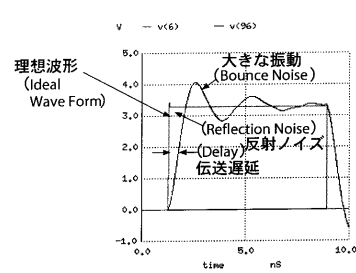
【図11】



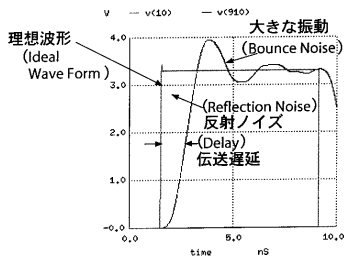
【図10】



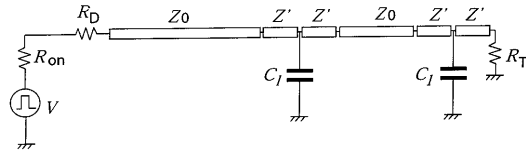
【図12】



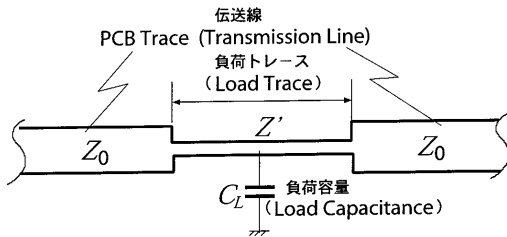
【図 13】



【図 15】



【図 14】



【図 16】

表1

入力デジタル信号	立上り/立下り時間 : 20ps													
伝送線インピーダンス	76Ω													
R_{on}	20Ω													
改善率 rimp	2.50													
設計インピーダンス (Ω)	R_D	Z_1	Z_2	Z_3	Z_4	Z_5	Z_6	Z_7	Z_8	Z_9	Z_{10}	R_T	Z_{10}	R_T
	3	23	21	25	27	26	64	20	20	47	41	23	Z_{10}	R_T
配線幅 (mil)	W_1	W_2	W_3	W_4	W_5	W_6	W_7	W_8	W_9	W_{10}	W_{10}	W_{10}	W_{10}	W_{10}
	—	516	547	486	458	472	139	563	563	247	299	—	299	—

$D = 140\text{mil}, T = 35\text{ps}$

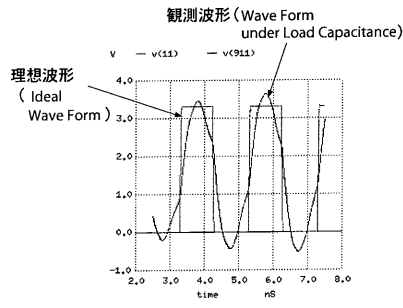
【図 17】

表2

入力デジタル信号	立上り/立下り時間 : 200ps													
伝送線インピーダンス	76Ω													
R_{on}	20Ω													
改善率 rimp	2.66													
設計インピーダンス (Ω)	R_D	Z_1	Z_2	Z_3	Z_4	Z_5	Z_6	Z_7	Z_8	Z_9	Z_{10}	R_T	Z_{10}	R_T
	7	26	27	22	30	31	22	47	40	43	67	27	Z_{10}	R_T
配線幅 (mil)	W_1	W_2	W_3	W_4	W_5	W_6	W_7	W_8	W_9	W_{10}	W_{10}	W_{10}	W_{10}	W_{10}
	—	472	458	531	419	406	531	247	308	281	125	—	125	—

$D = 140\text{mil}, T = 35\text{ps}$

【図 18】



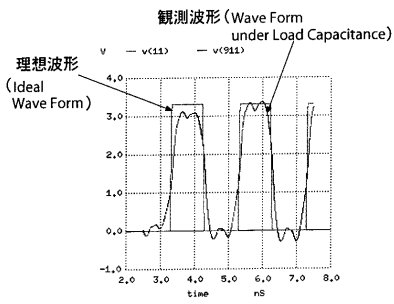
【図 20】

表3

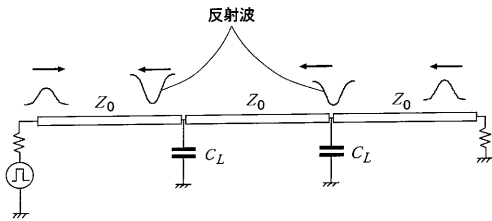
設計条件	入力デジタル信号		立ち上り/立ち下り時間 : 200ps		周波数 : 500MHz								
	伝送線インピーダンス		76Ω		20Ω								
設計結果	改善率 rimp		2.13		-								
	設計インピーダンス (Ω)		Z1	Z2	Z3	Z4	Z5	Z6	Z7	Z8	Z9	Z10	-
		RD	87	85	54	75	33	42	32	51	25	45	-
			Z11	Z12	Z13	Z14	Z15	Z16	Z17	Z18	Z19	Z20	R _T
			113	56	54	65	20	21	117	120	30	23	72
			W1	W2	W3	W4	W5	W6	W7	W8	W9	W10	-
			113	122	343	174	640	492	660	376	807	450	-
			W11	W12	W13	W14	W15	W16	W17	W18	W19	W20	-
			34	322	342	242	932	905	26	20	699	855	-

D = 250mμ, T = 35mμ

【図 19】



【図 21】



フロントページの続き

(51)Int.Cl. F I
H 0 5 K 3/00 (2006.01)

(56)参考文献 特開2003-134177(JP,A)
特開平09-330350(JP,A)
特開平10-275175(JP,A)
特開2003-281210(JP,A)

(58)調査した分野(Int.Cl., DB名)
H 0 1 L 2 1 / 8 2 2
G 0 6 F 1 7 / 5 0
H 0 1 L 2 7 / 0 4
H 0 1 P 5 / 0 2
H 0 5 K 1 / 0 2
H 0 5 K 3 / 0 0