

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4288346号  
(P4288346)

(45) 発行日 平成21年7月1日(2009.7.1)

(24) 登録日 平成21年4月10日(2009.4.10)

(51) Int.Cl.		F I			
<b>HO 4 N</b>	<b>5/335</b>	<b>(2006.01)</b>	HO 4 N	5/335	P
<b>HO 1 L</b>	<b>27/146</b>	<b>(2006.01)</b>	HO 4 N	5/335	E
			HO 1 L	27/14	A

請求項の数 6 (全 11 頁)

(21) 出願番号	特願2003-295027 (P2003-295027)	(73) 特許権者	304023318
(22) 出願日	平成15年8月19日 (2003. 8. 19)		国立大学法人静岡大学
(65) 公開番号	特開2005-65074 (P2005-65074A)		静岡県静岡市駿河区大谷836
(43) 公開日	平成17年3月10日 (2005. 3. 10)	(74) 代理人	100088155
審査請求日	平成18年1月16日 (2006. 1. 16)		弁理士 長谷川 芳樹
		(74) 代理人	100092657
			弁理士 寺崎 史朗
		(74) 代理人	100108257
			弁理士 近藤 伊知良
		(74) 代理人	100124800
			弁理士 諏澤 勇司
		(72) 発明者	川人 祥二
			静岡県浜松市広沢一丁目2番12号
		審査官	▲徳▼田 賢二

最終頁に続く

(54) 【発明の名称】 撮像装置及び画素回路

(57) 【特許請求の範囲】

【請求項1】

光電変換を行う光電変換手段と、

該光電変換手段により発生した信号電荷を次段へ転送するゲート手段と、

該ゲート手段からの信号電荷を蓄積する蓄積手段と、

前記蓄積手段の信号電荷をリセットするリセット手段と、

前記蓄積手段からの信号を一時記憶する記憶手段と、

前記リセット手段によるリセット電圧と前記記憶手段に記憶された電圧に基づきリセット

ノイズを低減する手段とを画素内に備え、

前記ゲート手段、リセット手段及びリセットノイズ低減手段は、それぞれ、第1乃至第3のMOSトランジスタにより構成されており、

前記光電変換手段の出力が転送ゲート用の前記第1のMOSトランジスタのソースに接続され、

前記第1のMOSトランジスタのドレインにはリセット用の前記第2のMOSトランジスタのソースが接続され、

前記第2のMOSトランジスタのドレインにはリセット電圧が印加され、

前記第1のMOSトランジスタのドレインにはリセットノイズ低減用の前記第3のMOSトランジスタのゲートが接続され、

前記第3のMOSトランジスタのソース及びドレインにはそれぞれ第1、第2のキャパシタが第1、第2基準電圧との間に接続され、

10

20

前記第3のMOSトランジスタのソース及びドレインにはそれぞれ前記第1,第2のキャパシタに対して充放電を行う第1,第2の充放電手段が接続されてなる撮像装置。

【請求項2】

前記第1のキャパシタは、前記第2のキャパシタよりも容量が大きく設定され、前記第3のMOSトランジスタにより、前記第1のキャパシタに記憶された信号電荷が前記第2のキャパシタに転送される際に、電荷転送に伴い電圧増幅がなされることを特徴とする請求項1記載の撮像装置。

【請求項3】

前記第3のMOSトランジスタのチャネルは、前記第2のMOSトランジスタのチャネルとは異なるキャリアにより導電性を与えられたものである請求項1記載の撮像装置。

10

【請求項4】

さらに、前記第1,第2の充放電手段、及び前記第1,第2のMOSトランジスタの導通・非導通を制御する手段を設けてなる請求項1記載の撮像装置。

【請求項5】

前記第3のMOSトランジスタの前記ドレインが接続された前記第2のキャパシタ上の信号を出力するための出力バッファを更に備える請求項1~4のいずれか一項に記載の撮像装置。

【請求項6】

光電変換を行う光電変換手段と、

該光電変換手段により発生した信号電荷を次段へ転送するゲート手段と、

20

該ゲート手段からの信号電荷を蓄積する蓄積手段と、

前記蓄積手段の信号電荷をリセットするリセット手段と、

前記蓄積手段からの信号を一時記憶する記憶手段と、

前記リセット手段によるリセット電圧と前記記憶手段に記憶された電圧に基づきリセットノイズを低減する手段とを画素内に備え、

前記ゲート手段、リセット手段及びリセットノイズ低減手段は、それぞれ、第1乃至第3のMOSトランジスタにより構成されており、

前記光電変換手段の出力が転送ゲート用の前記第1のMOSトランジスタのソースに接続され、

前記第1のMOSトランジスタのドレインにはリセット用の前記第2のMOSトランジスタのソースが接続され、

30

前記第2のMOSトランジスタのドレインにはリセット電圧が印加され、

前記第1のMOSトランジスタのドレインにはリセットノイズ低減用の前記第3のMOSトランジスタのゲートが接続され、

前記第3のMOSトランジスタのソース及びドレインにはそれぞれ第1,第2のキャパシタが第1,第2基準電圧との間に接続され、

前記第3のMOSトランジスタのソース及びドレインにはそれぞれ前記第1,第2のキャパシタに対して充放電を行う第1,第2の充放電手段が接続されてなる画素回路。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、高速CMOSイメージセンサの画素回路に関する。

【背景技術】

【0002】

CMOSイメージセンサの一般的な画素回路では、信号電荷の蓄積を行って読み出したのち、一水平ライン毎に信号電荷の初期化(リセット)を行う。リセットと信号蓄積の開始のタイミングが水平ライン毎に異なるため、動きの大きな画像に対してはひずみを生じる。これに対してCCDイメージセンサは、全画素一斉同時にリセットし、同時に信号蓄積を開始することができる。これは電子シャッター動作またはグローバルシャッターと呼ばれる。

50

CMOSイメージセンサで電子シャッタ動作を行う従来の方法としては、文献[1]に開示されている方法、文献[2]に開示されている方法がある。しかし、これらの方法では、電子シャッタ動作を取り入れたがために、信号電荷を初期化する際に発生するリセットノイズを除去することができないという問題がある。

また、高速の画像を取得するため、短い蓄積時間で十分な感度と低雑音特性を得るために画素内で電圧増幅を行えば理想的であるが、電子シャッタ動作、リセットノイズの除去、信号電圧増幅の3つの要求を満たすものはない。また、たとえできたとしても、回路が複雑になれば、画素面積が大きくなるとともに、フォトダイオードの開口率が小さくなり、感度が低下する。

文献一覧

10

[1] US Patent Number 5,986,297 Color active pixel sensor with electronic shuttering, anti-blooming, and low-cross-talk

[2] 特表2000-504489, 電子的シャッタ動作を備えた能動ピクセルセンサアレイ

【特許文献1】米国特許第5,986,297号明細書

【特許文献2】特表2000-504489号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

高速イメージセンサは、最近のCMOSイメージセンサの発展により性能向上が著しいが、課題も少なくない。今後の高速イメージセンサには、特に画素部の機能・性能として以下

20

が求められる。

(1) 全画素同時シャッタ機能

(2) ノイズレベルが低いこと

(3) 画素内で信号電圧を増幅でき、十分な感度を有すること

(4) 回路構成が簡単で、十分な開口率を確保できること

本発明は、これらの要求を満たす高速CMOSイメージセンサの画素回路を提供する。

【発明の効果】

【0004】

画素内で電子シャッタ動作、リセットノイズ低減並びに電圧増幅を、簡単な回路で実現することができる。

30

【発明を実施するための最良の形態】

【0005】

本発明の具体的な回路を図1に示す。1の部分は、光電変換素子としてのフォトダイオードPDと転送ゲートトランジスタMT、リセットトランジスタMRからなる。フォトダイオードのカソード部で光の照射により発生した電荷を蓄積し、制御線TX(以下「TX」という)を操作して、電荷Qを $V_{FD}$ とかかれた部分に転送する。このとき $V_{FD}$ 部に寄生する容量を $C_{FD}$ とすると $Q/C_{FD}$ に相当する信号電圧変化が生じる。この1の部分は、図2に示す従来の4トランジスタ画素回路の1の部分に相当する。このフォトダイオードの部分には、Pinned Photo diodeを用いてもよい。従来の4トランジスタ画素回路では、このように $V_{FD}$ の電圧をnチャネルのトランジスタMINとMXからなるバッファ回路及び、垂直信号線に接続される電流源負荷トランジスタを用いて直接読み出していた。本発明では、図1のように2の部分で、電子シャッタ動作、電圧増幅、リセットノイズ低減を行った信号を図1の3の部分のバッファ回路及び電流源負荷トランジスタを用いて読み出す。3のバッファ回路は、2の部分の出力電圧が低い電圧レベルにあるので、pチャネルトランジスタを用いている。制御線SXはバッファ回路の出力ゲートを制御するためのものである。

40

【実施例1】

【0006】

1と2の回路を組み合わせた動作を説明する図を、図3に示す。説明を容易にするため、具体的な電圧を用いて説明するが、ここに用いる電圧に限定するものではない。まず最

50

初制御線 R (以下「R」という)が3VになっているとするとリセットトランジスタMRはオンであり $V_{FD}$ の電圧は、リセット電圧 $V_R$ (この場合2.0V)にある。この状態で、制御線SR(以下「SR」という)を3Vから0Vに変化させ、 $V_1$ の電圧を、 $V_{RS}$ (約2.0V)にする。このとき、 $V_2$ の電圧も $V_{RS}$ の電圧まで上昇する。その後SRを3Vに戻し、Rを0Vにする。

このとき、 $V_{FD}$ の電圧は、フィードスルーによりリセット電圧 $V_R$ よりやや下がった電圧になり、このときの $V_{FD}$ の電圧を $V_{FD0}$ とする。この $V_{FD0}$ には、熱雑音により発生し、電荷として残留するリセットノイズ成分が含まれる。次いで制御線SS(以下「SS」という)を0Vから3Vにすることで、 $V_2$ の電圧は、0Vに下がり、これによって、pチャネルMOSトランジスタ4により形成された電位障壁を越えて $V_1$ の部分にたまっている電荷が $V_2$ の側に流れ出し、 $V_1$ の電圧が徐々に低下する。その後SSを0Vに戻す。この段階で、信号増幅、電子シャッタ、リセットノイズ低減動作の準備が完了する。

【0007】

次いでTXを1.5Vから2.5Vに上昇させると、フォトダイオードで蓄積された電荷が $V_{FD}$ 側に転送され、その電圧が下降する。その変化量を $\Delta V_{FD}$ とする。これによって、pチャネルMOSトランジスタ4の電位障壁が低くなり、 $V_1$ から $V_2$ への電荷の流れ出しが生じ、 $V_1$ の電圧が下降する。その変化量を $\Delta V_1$ とすると理想的にはこれは、 $\Delta V_{FD}$ と等しくしたいがpチャネルMOSトランジスタ4のゲート電圧に対するチャネルの表面電位の変化率が1でないために $\Delta V_{FD}$ の変化よりも小さくなる。その比率を $\alpha$ とすると、

【数1】

$$\Delta V_1 = \alpha \Delta V_{FD}$$

$V_1$ の電圧の変化により流れ出す電荷量 $Q_1$ は、 $V_1$ の点の容量を $C_1$ として、

【数2】

$$\Delta Q_1 = C_1 \Delta V_1$$

この電荷が、 $V_2$ 側へ流れ出すことによって生じる $V_2$ の変化を $\Delta V_2$ とし、 $V_2$ の点の容量を $C_2$ として、

【数3】

$$\Delta V_2 = \frac{\Delta Q_1}{C_2}$$

となる。したがって、

【数4】

$$\frac{\Delta V_2}{\Delta V_{FD}} = \alpha \frac{C_1}{C_2}$$

となる。

【0008】

は0.7~0.8程度の値であるため、 $C_1$ と $C_2$ の比率を大きく取ることにより信号電圧増幅が行える。さらに、 $V_2$ の変化は、 $V_{FD}$ の変化分に比例するため、 $V_{FD}$ で発生するリセットノイズが取り除かれることになる。つまり、TXを開くまへの $V_{FD0}$ にサンプルされて含まれているリセットノイズ成分は、TXを開いて、 $V_{FD}$ 変化した後の電圧にも同じ量のリセットノイズが含まれているため、変化分 $\Delta V_{FD}$ を取り出して増幅することによりリセットノイズが除かれる。また、 $V_2$ において信号をサンプルした後、Rを再び3Vに戻すことにより、pチャネルMOSトランジスタ4の電位障壁が高くなり、 $V_1$ 部からの電荷注入はなくなり、 $V_2$ の電圧はそのまま保持される。つまり、記憶状態になる。これらの動作は、全ての画素において同じタイミングでなされ、また任意の蓄積時間に設定できるため、電子シャッタの機能を果たす。したがって、1フレーム内で同時に画素からの信号の取り込みがなされ、動画像のブレや歪みの少ない画像が得られる。

なお、pチャネルMOSトランジスタ4は、弱反転領域で動作することになり、この電荷の流れ出しはキャリアの拡散によって生じるため完全に流れ出しがゼロになるまでに長い時間を要する。これがゼロにならない状態で次の動作に入ると非線形性が生じる。そこで、 $V_p$ に、初期電圧0Vから数10mV程度のパルス電圧を加え、 $V_1$ からの電荷の流れ出しを加速する方法も考えられる。

#### 【0009】

ここまでの説明において、MOSトランジスタ4、電源電圧 $V_{RS}$ から点 $V_1$ へ電荷を供給するためのMOSトランジスタ、及び出力バッファのMOSトランジスタをpチャネル型とし、その他のMOSトランジスタをnチャネル型とした。しかし、その多くは転送ゲートとして動作しており、pチャネル型に代えてnチャネル型を使用できること、また

10

その逆もあり得ることは当業者にとって明らかである。このことはSignal lineのMOSトランジスタにおいても同様である。

また、当然のことながら、導電型の異なるMOSトランジスタを採用する際には、制御信号の極性を考慮する必要がある。

#### 【0010】

図1において $C_1$ は、nチャネルMOSトランジスタのゲート容量、 $C_2$ はpチャネルMOSトランジスタのゲート容量で作ることで、前者のゲート電圧は、2~3V近くの高い電圧で動作し、後者のゲート電圧は0Vから1V程度の低い電圧で動作するため、トランジスタが強反転状態で動作することになり、ゲート酸化膜容量を使用でき、電圧依存性の小さい容量とすることができる。

20

図4に、図2の回路を画素部に用いたイメージセンサ全体の構成を示す。また図5はそのタイミング図である。先に説明した動作により、R、TX、SSの各制御信号により、電子シャッタ・増幅・ノイズキャンセル動作が行われ、その出力信号(図1の $V_2$ )を、垂直シフトレジスタから出される制御信号( $SS_i$ 、 $SX_i$ )により、垂直方向の読み出しと水平方向の読み出しを1行ごとに行い、外部に出力する。垂直方向読み出しの際、図2の3の部分のバッファアンプの特性ばらつきにより発生する固定パターン雑音を除去するノイズキャンセル処理を、ノイズキャンセル回路で行う。まず読み出しのための選択は、当該水平ラインの画素の $SX$ を0Vにすることで行き、これにより $V_2$ の電圧が読み出される。ノイズキャンセルのため、 $V_2$ の電圧を読み出したのち、電子シャッタ動作においても用いたSSにより、当該水平ラインのSSを3Vにすることで画素部の $V_2$ を0Vにする。ノイズキャンセル回路により、読み出された $V_2$ の電圧と、 $V_2$ を0Vにしたときの電圧の差を求めることで $V_2$ の電圧の変化分 $\Delta V_2$ が取り出され、バッファアンプが発生する固定パターン雑音を除去することができる。ノイズキャンセル回路については、一般に用いられているイメージセンサ用のノイズキャンセル回路を用いることができ、ここでは特に特徴はないので説明を省略する。

30

#### 【0011】

なお、図1の回路により高速イメージセンサを実現する場合の構成を図7に示す。ノイズキャンセル後、水平走査を行うのではなく、多数のA/D変換器を並べて並列にA/D変換を行い、デジタル出力をマルチプレクサを経由して、複数本の出力に時分割で割りあて、並列に出力する。

40

以上は、図7のようにフォトゲートを用いた場合にも同様に適用できる。但し、この場合は、TXには、電荷蓄積時には高い電圧(例えば3V)、電荷転送時には低い電圧(例えば0V)を加える点が異なる。

#### 【実施例2】

#### 【0012】

電子シャッタ動作とリセットノイズ、固定パターンノイズ除去機能を有するもう1つの画素回路を図8に示す。

まず、RをHighにして、リセットトランジスタをONし、VFDをリセット電圧VRにする。このときの電圧をソースフォロワバッファを介して読み、SRをHighにして、容量用トランジスタ1に記憶する。次に、TXを開き、信号電荷をVFD部に転送することで、

50

VFDの電圧が変化(低下)する。その電圧をソースフォロワバッファを介して読み、SSをHighにして、容量用トランジスタ2に記憶する。この記憶動作は、全画素同時に行うことで電子シャッタ動作がなされる。この回路の場合でも、フォトダイオードをフォトゲートに置き換えた方式も考えられる。

なお、図8のSは、読み出しを行わない場合に、ソースフォロワ回路に流れる電流をカットし、消費電力を下げるための制御信号であり、これが接続されているトランジスタはそのためのスイッチである。

2つの容量に記憶された信号は、それぞれのバッファ回路を介してイメージレイの外部に信号を読み出す。読み出しのための選択はRSをHighにすることによって行う。この読み出し動作によって、回路のばらつきによる固定パターンノイズ、リセットノイズのキャンセルを行う。

#### 【0013】

カラムに並べてキャンセルを行うための回路例を図9に示す。

図9のVin-、Vin+には、図8のVoutR、VoutSをそれぞれ接続する。イメージセンサからの垂直読み出しにおいて、図8のRSをHighにして、ある一水平ラインの信号を読み出す。このときまず、図9の1をHighにして、これが与えられているスイッチをオンにする。容量C2は、参照電圧Vrefに接続しておく。次に、1をLowにしたのちに、2をHighにして、容量C2を出力に接続する。このあと、図8のRRをHighにすることで、図9の出力には、図8の1、2の容量に記憶された電圧の差に比例し、C1/C2の比で増幅された信号が現れる。同時に、図9の出力のソースフォロワの発生する固定パターン雑音がキャンセルされ、また1/fノイズを低減することができる。

#### 【0014】

なお、図8の回路は、図10に示すように簡単化することができる。

これは、VFDのリセットレベルをサンプルするときは、SSとRRを同時にHighにすることで、容量用トランジスタ2に、リセットレベルをサンプルし、またVFDの信号レベル(TXを開いたあと)をサンプルするときは、RRを閉じておくことで、容量用トランジスタ1に、信号レベルがサンプルされることを利用する。リセットレベルのサンプル時には、2つの容量用トランジスタが並列に接続されることにより、この電圧記憶回路で発生する熱雑音によるランダムノイズを低減する効果がある。また、図8に比べてトランジスタの数を1個減らすことができる。

#### 【0015】

動作タイミングを図11に示す。まず、VFD部の電圧をRをHighにすることでリセット電圧(この場合2V)に初期化する。次いで、SをHighにし、最初のソースフォロワを動作させる。これによりVFDの電圧変化がソースフォロワの出力に現れる。RRはあらかじめHighにして、これが接続されたトランジスタがオンしており、SSをHighにすることで、容量用トランジスタ1、2にリセットレベルが与えられ、その後RRをLowに戻すことで、2の容量用トランジスタにリセットレベルが記憶(サンプル&ホールド)される。次いで、TXをHighにして、フォトダイオードからVFD部に電荷転送を行うことで、VFDの電圧が変化(低下)する。これに伴って、容量用トランジスタ1の電圧が変化する。SSを閉じることで、その電荷転送による信号レベルが記憶(サンプル&ホールド)される。以上で、フォトダイオードに蓄積された電荷による信号を、電子シャッタ用容量に記憶する処理とノイズキャンセルのための準備が整う。

#### 【0016】

2つの容量に記憶された電圧をイメージレイの外部に順次読み出すが、このときに実際には、ノイズキャンセル処理が行われる。イメージレイの外部のカラムに置かれるノイズキャンセル回路は、図9が利用できる。

この場合のイメージセンサの全体の構成は、図12のようになる。各画素から2線で垂直方向に信号が伝播する。図12は、垂直方向読み出し後、水平走査がなされて、1つの出力で時系列信号として画像信号を外部に読乱す場合を描いているが高速に画像を読み出すために、高速のA/D変換器を複数個ならべて並列にA/D変換し、複数本のデジタル

10

20

30

40

50

信号で並列に出力する図6と同様な構成も考えられる。

【0017】

なお、1フレームの周期に対する、電子シャッタ動作、信号読み出し、信号電荷蓄積の時間的内訳は、例えば図13のようになる。つまり、n番目フレームの先頭で、n-1番目のフレームにおいて蓄積された信号電荷に対して、電子シャッタ動作、信号電圧増幅、リセットノイズ低減処理を行い、n番目のフレームの残りの期間を用いて画素部からの垂直、水平走査により、外部への信号読み出しを行う。同時にこの期間により、n番目のフレームにおける信号電荷蓄積を行う。

【産業上の利用可能性】

【0018】

この発明は、簡単な回路で電子シャッタ動作、リセットノイズ低減並びに電圧増幅を実現できるものであり、画素部分に設置することができる。また、CMOSセンサにおいて、電子シャッタ動作を採用したことにより、高速画像取り込みが可能となる。

【図面の簡単な説明】

【0019】

【図1】画素内で電圧増幅、ノイズ低減、電子シャッタ動作を行う画素回路

【図2】従来の4トランジスタ画素回路

【図3】図1の回路の電子シャッタ動作のタイミング

【図4】同時一括電子シャッタ機能をもつイメージセンサ全体(単一出力)の構成

【図5】図4の回路の動作タイミング

【図6】電子シャッタ動作を有するイメージセンサの構成図(並列デジタル出力)

【図7】光電変換素子としてフォトゲートを用いた場合の電子シャッタ・電圧増幅・ノイズキャンセル機能をもつ画素回路

【図8】電子シャッタ動作とノイズキャンセル機能を有する画素回路(その2)

【図9】差動式ノイズキャンセル回路

【図10】電子シャッタとノイズキャンセル機能を有する画素回路(その3)

【図11】図10の回路の動作タイミング図

【図12】電子シャッタ動作を有するイメージセンサの構成図

【図13】1フレームに対する電子シャッタ動作、信号読み出し、信号電荷蓄積の内訳

【符号の説明】

【0020】

1 光電変換回路

2 電子シャッタ・電圧増幅・リセットノイズ低減回路

3 バッファ回路

4 pチャンネルMOSトランジスタ

5, 6 容量用トランジスタ

TX, R, S 制御線

SS, SR, SX 制御線

VFD 信号線

PD フォトダイオード

MR, MT トランジスタ

MIN, MX トランジスタ

VP 基準電圧1

VDD 基準電圧2

VR リセット電圧1

VRS リセット電圧2

Vref 参照電圧

Vbias バイアス電圧

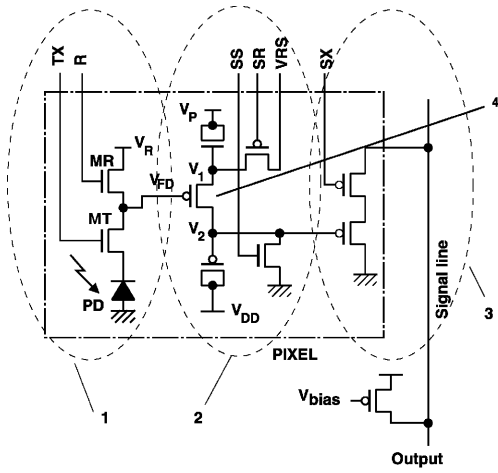
10

20

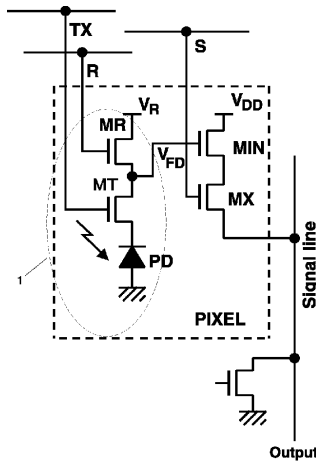
30

40

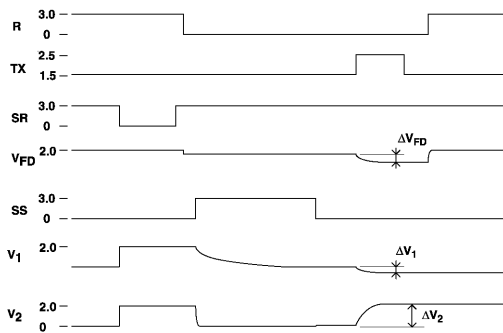
【図1】



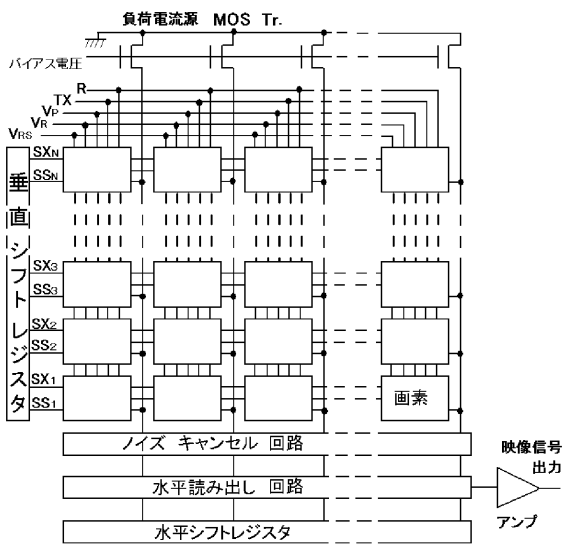
【図2】



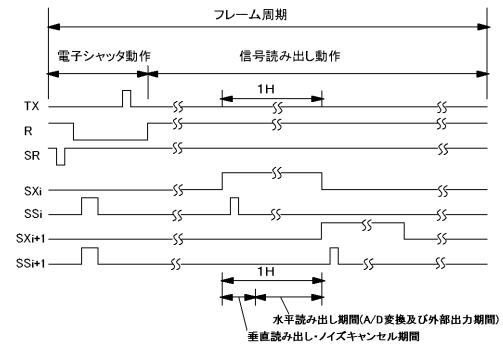
【図3】



【図4】

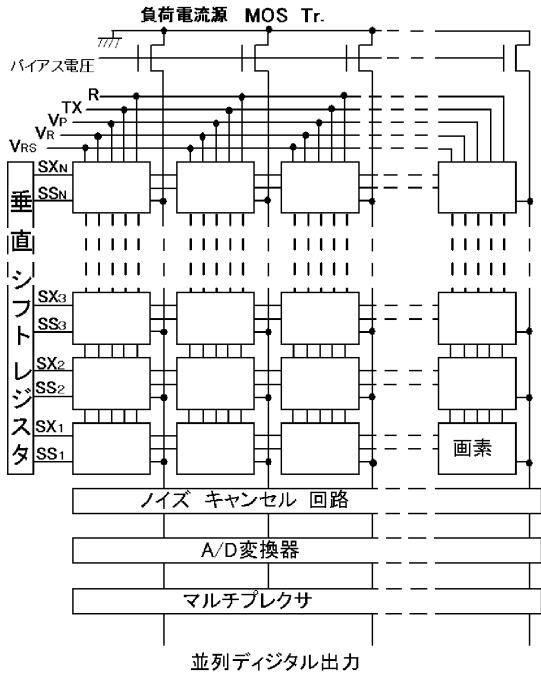


【図5】

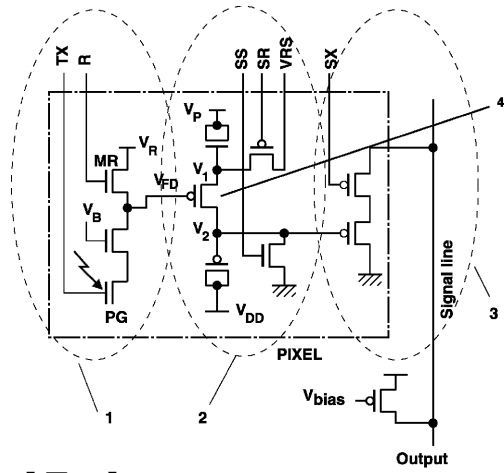




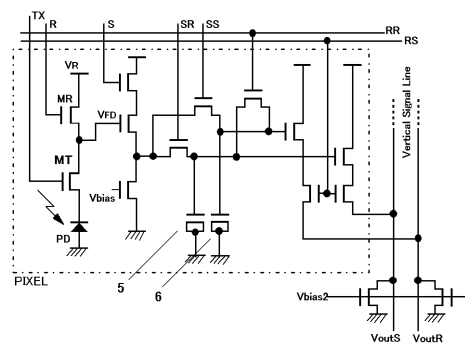
【図6】



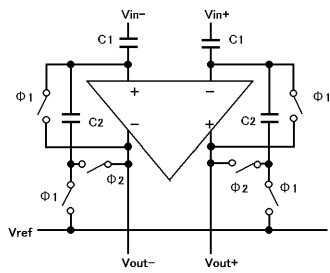
【図7】



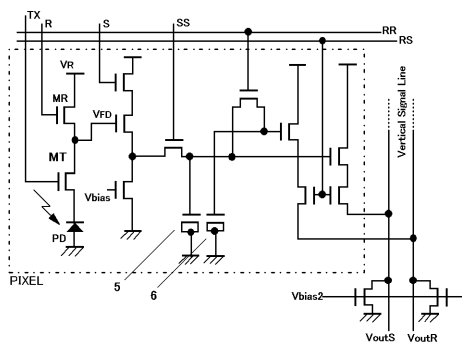
【図8】



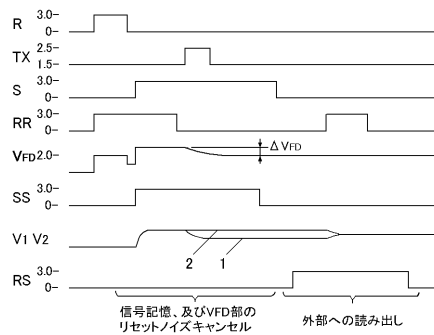
【図9】



【図10】



【図11】





---

フロントページの続き

- (56)参考文献 特開平 1 1 - 1 7 7 0 7 6 ( J P , A )  
特開平 1 0 - 3 2 2 5 9 9 ( J P , A )  
特開 2 0 0 0 - 0 2 3 0 4 1 ( J P , A )  
特開平 0 8 - 2 5 6 2 9 3 ( J P , A )  
特開平 0 7 - 1 4 2 6 9 2 ( J P , A )  
特開 2 0 0 4 - 3 5 6 6 9 9 ( J P , A )

(58)調査した分野(Int.Cl. , DB名)

H 0 4 N      5 / 3 3 5  
H 0 1 L      2 7 / 1 4 6