

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-311578

(P2005-311578A)

(43) 公開日 平成17年11月4日(2005.11.4)

(51) Int. Cl.<sup>7</sup>

H03K 3/354

H03K 3/03

F I

H03K 3/354

H03K 3/03

テーマコード(参考)

5J043

審査請求 未請求 請求項の数 2 O L (全 14 頁)

(21) 出願番号 特願2004-123980 (P2004-123980)

(22) 出願日 平成16年4月20日(2004.4.20)

(71) 出願人 503360115

独立行政法人科学技術振興機構

埼玉県川口市本町4丁目1番8号

(74) 代理人 100091306

弁理士 村上 友一

(74) 代理人 100086922

弁理士 大久保 操

(72) 発明者 井上 浩

秋田県秋田市桜ガ丘1-14-9

(72) 発明者 宮前 亨

秋田県秋田市手形字才の浜9-8ビリーブ

1-2号

Fターム(参考) 5J043 AA26 LL06

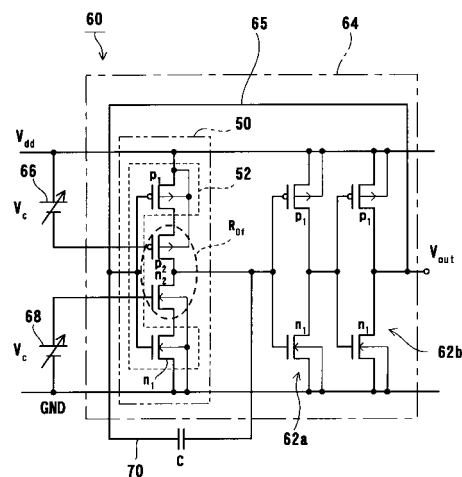
(54) 【発明の名称】 電圧制御発振器

(57) 【要約】

【課題】 制御電圧に応じて発振周波数を広範囲に線形に変化させる。

【解決手段】 電圧制御発振器60は、リング発振回路64を備えている。リング発振回路64は、インバータ50とインバータ62a、62bとがループ状に縦続接続してある。第1段目のインバータ50は、インバータ本体52と可変抵抗部 $R_{0f}$ とを有する。可変抵抗部 $R_{0f}$ は、インバータ本体52の出力部となる部分に設けてあって、P型トランジスタ $p_2$ とN型トランジスタ $n_2$ とからなるCMOSによって形成され、制御電圧 $V_c$ に応じて抵抗値が変化する。可変抵抗部 $R_{0f}$ と第2段目のインバータ62aの入力端子との間と、第1段目のインバータ50の入力端子との間に、コンデンサCを有する第2帰還ループ70が形成してある。コンデンサCは、可変抵抗部 $R_{0f}$ とともにCR微分回路を形成する。

【選択図】 図5



## 【特許請求の範囲】

## 【請求項 1】

奇数個の反転素子をループ状に縦続接続したリング発振器回路と、  
前記リング発振回路を構成する第 1 段目の前記反転素子の出力側に設けられて、制御電圧に応じて抵抗値が変化する可変抵抗部と、  
第 2 段目の前記反転素子の入力端子と前記可変抵抗部との間と、前記第 1 段目の反転素子の入力端子とを接続した帰還ループに設けたコンデンサと、  
有することを特徴とする電圧制御発振器。

## 【請求項 2】

請求項 1 に記載の電圧制御発振器において、前記可変抵抗部は、CMOS からなることを特徴とする電圧制御発振器。 10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、印加する電圧に応じて発振周波数を変えることができる電圧制御発振器に係り、特にインバータなどの反転素子の奇数個をループ状に接続したリング発振回路を有する電圧制御発振器に関する。

## 【背景技術】

## 【0002】

図 11 は、従来のリング発振回路を示したものである。リング発振回路 10 は、反転素子であるインバータ 12 (12a ~ 12n) の複数を縦続に接続し、最終段のインバータ 12n の出力を初段 (第 1 段目) のインバータ 12a の入力側に帰還させている。ただし、インバータ 12 の数 n は、2 以上の奇数である。 20

## 【0003】

このようなリング発振回路 10 は、例えば、第 1 段目のインバータ 12a の入力が 'H' であるとする、インバータ 12a の出力 (第 2 段目のインバータ 12b の入力) が 'L' となり、第 2 段目のインバータ 12b (図示せず) の出力 (第 3 段目のインバータの入力) が 'H' となる。そして、リング発振回路 10 は、インバータ 12 が奇数個縦続接続してあるため、最終段のインバータ 12n の出力が 'L' となる。最終段のインバータ 12n の出力は、第 1 段目のインバータ 12a の入力側に帰還され、インバータ 12a に外部から入力するパルスの 'L' と位相が同期する。このため、リング発振回路 10 は、インバータ 12 が 'H' と 'L' とを交互に繰り返して出力し、発振が持続される。このリング発振回路 10 は、発振周波数  $f_0$  が各インバータ 12 の遅延時間の和によって決定される。発振周波数  $f_0$  は、インバータ 12 の総数を n、各インバータ 12 の遅延時間を  $D_{del}$  とすると、次の数式 1 によって求めることができる。 30

## 【数 1】

$$f_0 = \frac{1}{nD_{del}}$$

40

## 【0004】

各インバータ 12 が図 12 に示したように、P 型トランジスタ 14 と N 型トランジスタ 16 とを対称形に接続した CMOS によって構成してある場合、インバータ 12 の遅延時間  $D_{del}$  は、図 13 (1)、(2) に示したように、インバータ 12 の出力の静電容量 (浮遊容量 + 次段のインバータ 12 の入力容量) を  $C_{out}$ 、P 型トランジスタ 14 を流れる充電電流を  $I_{char}$ 、N 型トランジスタ 16 を流れる放電電流を  $I_{disch}$  とすると、

【数 2】

$$\begin{aligned}
 D_{del} &= D_{char} + D_{disch} \\
 &= \frac{C_{out}}{I_{char}} + \frac{C_{out}}{I_{disch}} \\
 &= C_{out} \left( \frac{1}{I_{char}} + \frac{1}{I_{disch}} \right)
 \end{aligned}$$

と表すことができる。

10

【0005】

ここで、 $I = I_{char} = I_{disch}$  であるとすると、遅延時間  $D_{del}$  は、

【数 3】

$$D_{del} = \frac{2C_{out}}{I}$$

となる。そこで、数式 3 を数式 1 に代入すると、

20

【数 4】

$$f_0 = \frac{I}{2nC_{out}}$$

となる。

【0006】

すなわち、リング発振回路 10 は、発振周波数  $f_0$  がインバータ 12 を流れる電流  $I$  に依存しており、電流  $I$  を制御することによって、発振周波数  $f_0$  を制御することができる。このため、リング発振回路を用いた従来の電圧制御発振器 (Voltage Controlled Oscillator: VCO) は、一般に制御電圧  $V_c$  を電流  $I$  に変換して発振周波数  $f_0$  を制御するようにしている。図 14 は、リング発振回路を用いた従来の電圧制御発振器 (VCO) の一例を示したものである。

30

【0007】

図 14 において、電圧制御発振器 20 は、2 以上の奇数である  $n$  個のインバータ 12 (12a ~ 12n) を有している。そして、これらのインバータ 12 は、縦続接続されていて、最終段である  $n$  段目のインバータ 12n の出力側が、第 1 段目のインバータ 12a の入力側に接続されてループを形成しており、インバータ 12n の出力がインバータ 12a

40

【0008】

各インバータ 12 は、同じに形成してあって、一对の P 型トランジスタ  $P_1$ 、 $P_2$ 、と一对の N 型トランジスタ  $N_1$ 、 $N_2$  を有していて、これらが対称形に接続してある。すなわち、インバータ 12 は、P 型トランジスタ  $P_1$  のソースが電源線  $V_{dd}$  に接続してあって、P 型トランジスタ  $P_1$  のドレインに P 型トランジスタ  $P_2$  のソースが接続してある。そして、P 型トランジスタ  $P_2$  のドレインには、N 型トランジスタ  $N_1$  のドレインが接続してあり、N 型トランジスタ  $N_1$  のソースに N 型トランジスタ  $N_2$  のドレインが接続してある。N 型トランジスタ  $N_2$  のソースは、GND 線を介して接地してある。

【0009】

50

各 P 型トランジスタ  $P_1$  のゲートは、電源線  $V_{dd}$  との間に設けた可変直流電源 2 2 のマイナス側に接続してあって、制御電圧  $V_c$  が印加される。また、各 N 型トランジスタ  $N_2$  のゲートは、GND 線との間に設けた可変直流電源 2 4 のプラス側に接続してあって、制御電圧  $V_c$  が印加される。P 型トランジスタ  $P_2$  と N 型トランジスタ  $N_1$  とは、インバータ本体である CMOS インバータ（反転素子）を構成していて、両者のゲートが相互に接続してある。また、両者の相互に接続したドレインが出力端子となっていて、次段の P 型トランジスタ  $P_2$  と N 型トランジスタ  $N_1$  とのゲートに接続してある。そして、最終段の P 型トランジスタ  $P_2$  と N 型トランジスタ  $N_1$  とのドレインが第 1 段目の P 型トランジスタ  $P_2$  と N 型トランジスタ  $N_1$  とのゲートに接続してある。なお、P 型トランジスタ  $P_1$  のゲートに印加される制御電圧  $V_c$  は、N 型トランジスタ  $N_2$  のゲートに印加される制御電圧  $V_c$  のアナログ反転電圧である。

10

#### 【0010】

このようになっている従来の電圧制御発振器 2 0 は、数式 4 に示したように、発振周波数  $f_0$  がインバータ 1 2 を流れる電流  $I$  に応じて変化する。そして、電圧制御発振器 2 0 は、所定の発振周波数  $f_0$  を得る場合、各インバータ 1 2 の電流  $I$  を制御しているため、理論上は発振周波数  $f_0$  を充分広範囲に変化させることができる。しかし、実際は、電流  $I$  を小さくしすぎると、各インバータ 1 2 が電源から浮いた状態となり、インバータとしての動作を行なわせることができなくなる。図 1 5 は、図 1 4 に示した電圧制御発振器 2 0 において、インバータ 1 2 が 3 段 ( $n = 3$ ) の場合における制御電圧  $V_c$  に対する発振周波数  $f_0$  の特性のシミュレーション結果を示したものである。

20

#### 【0011】

図 1 5 の横軸は  $V$  を単位とした制御電圧  $V_c$  を示し、縦軸は MHz を単位とした発振周波数  $f_0$  を示している。図 1 5 に示されているように、上記の電圧制御発振器 2 0 は、制御電圧  $V_c$  が 2 . 8 V 以下になると電流  $I$  が小さいため、P 型トランジスタ  $P_1$ 、N 型トランジスタ  $N_2$  がまだ飽和領域であるにもかかわらず発振しなくなる。そこで、特許文献 1 には、制御電圧  $V_c$  によって制御される各段の N 型トランジスタ  $N_2$  のソース - ドレイン間と並列に N 型トランジスタを接続し、この接続した N 型トランジスタのゲート電圧をソース電圧より高くして、常時オンにすることにより、制御電圧  $V_c$  が低い低周波数においても発振できるようにした電圧制御発振器が提案されている。

30

【特許文献 1】特開平 5 - 1 9 1 2 2 1 号公報

【発明の開示】

【発明が解決しようとする課題】

#### 【0012】

しかし、上記特許文献 1 に記載の電圧制御発振器は、制御電圧  $V_c$  によって制御される N 型トランジスタと並列に接続した N 型トランジスタが常時オンとなるようにして、単に制御電圧の低い領域でも発振が止まらないようにしているだけである。このため、特許文献 1 に記載の電圧制御発振器は、発振周波数の制御できる範囲が従来と変わらないか、それ以下となってしまうと考えられる。また、特許文献 1 に記載の電圧制御発振器は、特許文献 1 の図 3 に示されているように、制御電圧の低い領域においては、制御電圧による発振を行わせることができない。

40

#### 【0013】

本発明は、前記従来技術の欠点を解決するためになされたもので、制御電圧に応じて発振周波数を広範囲に線形に変化させることができるようにすることを目的としている。

【課題を解決するための手段】

#### 【0014】

上記の目的を達成するために、本発明に係る電圧制御発振器は、奇数個の反転素子をループ状に縦続接続したリング発振器回路と、前記リング発振器回路を構成する第 1 段目の前記反転素子の出力側に設けられて、制御電圧に応じて抵抗値が変化する可変抵抗部と、第 2 段目の前記反転素子の入力端子と前記可変抵抗部との間と、前記第 1 段目の反転素子の入力端子とを接続した帰還ループに設けたコンデンサと、を有することを特徴としている

50

。前記可変抵抗部は、電圧によって抵抗値が変えられるものであればよく、バイポーラトランジスタや電界効果トランジスタ（FET）などの増幅素子であってよく、CMOSによって構成することができる。

【発明の効果】

【0015】

上記のようになっている本発明は、第1段目の反転素子の出力側に設けた可変抵抗部と、帰還ループに設けたコンデンサとによってCR微分回路が形成される。このため、第1段目の反転素子の入力側に矩形波の電圧が入力すると、第2段目の入力側にCR微分回路の出力電圧が印加される。そして、CR微分回路の出力電圧が減衰して第2段目の反転素子の出力が反転する閾値電圧まで低下（または上昇）すると、第2段目の反転素子の出力が反転し、この反転した出力に基づいて最終段の反転素子の反転した出力が第1段目の反転素子の入力側に帰還させる。

10

【0016】

例えば、第1段目の反転素子の入力側が‘H’である場合、CR微分回路の出力電圧が‘H’となって、第2段目の反転素子の入力側に‘H’が印加され、第2段目の反転素子の出力が‘L’となる。そして、CR微分回路の出力電圧が第2段目の反転素子の閾値以下に低下すると、第2段目の反転素子の出力が‘H’となり、最終段の反転素子の出力が‘L’となって第1段目の反転素子の入力側に帰還される。このため、CR微分回路の出力電圧が‘L’となり、これが減衰（上昇）して第2段目の反転素子の閾値電圧以上になると第2段目の出力が‘L’に変化して最終段の出力が‘H’に変化する。以下同様にして発振が行なわれる。そして、可変抵抗部の抵抗値が変化すると、CR微分回路の時定数CRが変化する。このため、制御電圧に応じて可変抵抗部の抵抗値を変えることにより、CR微分回路の出力電圧の減衰状態が変化するため、リング発振回路の発振周波数を変えることができる。しかも、制御電圧によって反転素子を通る電流を制御するものではないため、制御電圧の低い領域においても発振させることができ、制御電圧に応じて発振周波数を広範囲に線形に変化させることができる。

20

【0017】

可変抵抗部をCMOSによって形成すると、CMOSのゲートに印加する電圧に応じて、CMOSの出力抵抗の値を容易に、精度よく変えることができ、発振周波数の制御を高精度に行なうことができる。

30

【発明を実施するための最良の形態】

【0018】

本発明に係る電圧制御発振器の好ましい実施の形態を、添付図面に基づいて詳細に説明する。

図1は、本発明の原理を説明するリング発振回路の回路図であって、3つのインバータをループ状に縦続接続して形成した例を示している。図1において、リング発振回路30は、3つの反転素子であるインバータ32（32a～32c）を有している。リング発振回路30は、第1段目のインバータ32aの出力側に抵抗Rが設けてあって、インバータ32aの出力が抵抗Rを介して第2段目のインバータ32bに入力するようになっている。また、第2段目のインバータ32bの出力端子には、最終段となる第3段目のインバータ32cの入力端子が接続してある。最終段のインバータ32cの出力端子と第1段目のインバータ32aの入力端子とは、第1帰還ループ34によって接続してある。すなわち、リング発振回路30は、3つのインバータ32がループを形成するように縦続接続されていて、インバータ32cの出力が第1段目のインバータ32aの入力側に帰還されるようになっている。

40

【0019】

第2段目のインバータ32bの入力端子と抵抗Rとの間と、第1段目のインバータ32aの入力端子との間には、第2帰還ループ36が形成してあって、この第2帰還ループ36にコンデンサCが設けてある。このコンデンサCは、抵抗RとともにCR微分回路（単に微分回路ということがある）38を構成している。

50

## 【 0 0 2 0 】

図 2 は、上記のようになっているリング発振回路 3 0 の A 点と B 点、すなわち第 2 段目のインバータ 3 2 b の入力端子と第 1 段目のインバータ 3 2 a の入力端子における電圧波形の一例を示したものである。図 2 の横軸は、時間を示しており、単位が  $\mu s$  である。また、縦軸は電圧であって、単位が V である。そして、図中の一点鎖線は、A 点における C R 微分回路 3 8 の出力電圧波形、実線は B 点における電圧波形、すなわちインバータ 3 2 c の出力波形である。

## 【 0 0 2 1 】

図 2 の実線に示したように、時刻  $t_1$  において B 点にインバータ 3 2 c の出力した矩形状の ' H ' (電圧  $V_{dd}$ ) が入力したとすると、インバータ 3 2 a の出力は ' L ' になり、A 点は抵抗 R、インバータ 3 2 a を介して接地される。このため、コンデンサ C と抵抗 R とは C R 微分回路 3 8 を形成し、A 点の電圧波形が  $V_{th} + V_{dd}$  をピーク値とする一点鎖線のようになる。このため、第 2 段目のインバータ 3 2 b には ' H ' が入力する。したがって、インバータ 3 2 b の出力が ' L ' となり、インバータ 3 2 c の出力が ' H ' となる。なお、 $V_{th}$  はインバータ 3 2 が反転動作をする閾値電圧であり、 $V_{dd}$  は電源電圧である。

10

## 【 0 0 2 2 】

A 点の電圧は、抵抗 R、インバータ 3 2 a を介する放電によって一点鎖線のように減衰し、時刻  $t_2$  において閾値電圧  $V_{th}$  以下になると、インバータ 3 2 b の出力が反転して ' H ' となる。このため、インバータ 3 2 c の出力が ' L ' に変わり、B 点の電圧が ' L ' になって、A 点における微分回路 3 8 の出力電圧が  $V_{th} - V_{dd}$  となる。この微分回路 3 8 の出力電圧は、抵抗 R、インバータ 3 2 a を構成している P 型トランジスタを介して放電され、電圧が一点鎖線に示したように減衰 (上昇) する。そして、時刻  $t_3$  においてインバータ 3 2 b の入力端子の電圧が閾値電圧  $V_{th}$  以上に上昇すると、インバータ 3 2 b の入力が ' H ' となって出力が ' L ' に反転し、インバータ 3 2 c が ' H ' を出力する。以下、同様にしてリング発振回路 3 0 は、インバータ 3 2 c が ' H ' と ' L ' とを交互に出力して発振する。このリング発振回路 3 0 の発振周期 T は、図 2 に示したように、インバータ 3 2 b の出力が ' L ' から ' H ' に反転する時間  $T_1$  と、' H ' から ' L ' に反転する時間  $T_2$  との和であって、C R 微分回路 3 8 の時定数 C R によって定まる。

20

## 【 0 0 2 3 】

図 3 ( 1 ) に示したような一般的な C R 微分回路 4 0 は、入力電圧  $V_i$  が同図 ( 2 ) に示したように矩形状のパルスである場合、出力電圧  $V_o$  が同図 ( 3 ) のように変化する。この出力電圧  $V_o$  は、周知のように、

30

## 【 数 5 】

$$V_o = V_i e^{-t/CR}$$

と表される。したがって、ピーク電圧が  $V_{th} + V_{dd}$  である図 2 に示した微分回路 3 8 の出力電圧が、閾値電圧  $V_{th}$  まで低下する時間  $T_1$ 、すなわちインバータ 3 2 b の入力電圧が  $V_{th}$  以下となる時間  $T_1$  は、第 1 段目のインバータ 3 2 a の出力抵抗を  $R_0$ 、インバータ 3 2 a の出力側に接続した抵抗を R とすると、

40

## 【 数 6 】

$$V_{th} = (V_{th} + V_{dd}) e^{-\frac{T_1}{C(R+R_0)}}$$

50

【数 7】

$$\therefore T_1 = -C(R + R_0) \ln \left( \frac{V_{th}}{V_{th} + V_{dd}} \right)$$

となる。

【0024】

また、微分回路 38 の出力電圧のピークが  $V_{th} - V_{dd}$  である場合、インバータ 32 b の 10  
入力電圧が  $V_{th}$  以上になる時間  $T_2$  は、

【数 8】

$$V_{th} = V_{dd} - \{V_{dd} - (V_{th} - V_{dd})\} e^{-\frac{T_2}{C(R+R_0)}}$$

【数 9】

20

$$\therefore T_2 = -C(R + R_0) \ln \left( \frac{V_{dd} - V_{th}}{2V_{dd} - V_{th}} \right)$$

となる。ここで、 $R = 0$ 、 $V_{th} = V_{dd} / 2$  となるように設定すると、周期  $T$  は、

【数 10】

$$T = T_1 + T_2 = 2.196CR_0 \approx 2.2CR_0$$

30

として求められる。したがって、発振周波数  $f_0$  は、

【数 11】

$$f_0 = \frac{1}{2 \cdot 2CR_0}$$

40

となる。

【0025】

すなわち、数式 11 においてインバータの出力抵抗  $R_0$  を可変にして抵抗値を変化させると、発振周波数  $f_0$  を変えることができる。そこで、本発明は、リング発振回路 30 の第 1 段目インバータの出力抵抗  $R_0$  を、制御電圧  $V_c$  によって変えられるように構成して電圧制御発振器を形成した。そして、本願発明者等は、図 4 に示したような、MOS の静特性の飽和領域を利用することにより、制御電圧  $V_c$  によって出力抵抗  $R_0$  を可変できるインバータを提案し、そのインバータを用いて電圧制御発振器を形成した。

【0026】

50

図4(1)は、可変抵抗部を有するインバータの回路図であり、(2)、(3)はその動作の説明図である。インバータ50は、インバータ本体52がP型トランジスタ $p_1$ とN型トランジスタ $n_1$ とによって構成してある。P型トランジスタ $p_1$ は、ソースが電源線 $V_{dd}$ に接続してある。また、N型トランジスタ $n_1$ は、ソースがGND線に接続してある。そして、P型トランジスタ $p_1$ のゲートとN型トランジスタ $n_1$ のゲートとは、入力端子に接続してあって、入力電圧 $V_i$ が入力するようになっている。

【0027】

インバータ本体52の出力部となるP型トランジスタ $p_1$ のドレインと、N型トランジスタ $n_1$ のドレインとの間には、可変抵抗部 $R_0$ が設けてある。可変抵抗部 $R_0$ は、実施形態の場合、P型トランジスタ $p_2$ とN型トランジスタ $n_2$ を対称形に接続したCMOSによって構成してある。そして、可変抵抗部 $R_0$ のP型トランジスタ $p_2$ は、ソースがインバータ本体52を構成しているP型トランジスタ $p_1$ のドレインに接続してあり、ドレインが可変抵抗部 $R_0$ のN型トランジスタ $n_2$ のドレインに接続してある。N型トランジスタ $n_2$ のソースは、インバータ本体52を構成しているN型トランジスタ $n_1$ のドレインに接続してある。そして、P型トランジスタ $p_2$ とN型トランジスタ $n_2$ との接続部が出力端子となり、出力電圧 $V_o$ を出力する。

10

【0028】

このようになっているインバータ50は、可変抵抗部 $R_0$ に制御電圧 $V_c$ が印加されている状態において、入力電圧 $V_i$ が‘L’である場合、P型トランジスタ $p_1$ がオンし、N型トランジスタ $n_1$ がオフとなる。このため、インバータ50は、出力端子が可変抵抗部 $R_0$ のP型トランジスタ $p_2$ とインバータ本体52のP型トランジスタ $p_1$ とを介して電源線 $V_{dd}$ に接続され、出力電圧 $V_o$ が‘H’となる。したがって、インバータ50の出力抵抗は、図4(2)に示したように、P型トランジスタ $p_1$ の抵抗 $R_p$ と、P型トランジスタ $p_2$ の抵抗 $R_{f-p}$ との和となる。

20

【0029】

一方、入力電圧 $V_i$ が‘H’である場合、インバータ本体52のP型トランジスタ $p_1$ がオフとなり、N型トランジスタ $n_1$ がオンする。このため、インバータ50の出力端子は、可変抵抗部 $R_0$ のN型トランジスタ $n_2$ 、インバータ本体52のN型トランジスタ $n_1$ を介してGND線に接続され、出力電圧 $V_o$ が‘L’となる。したがって、インバータ50の出力抵抗は、図4(3)に示したように、N型トランジスタ $n_1$ の抵抗 $R_n$ と、N型トランジスタ $n_2$ の抵抗 $R_{f-n}$ との和となる。そこで、 $R_p$ 、 $R_{f-p}$ 、 $R_n$ 、 $R_{f-n}$ 、 $R_{of} = R_{f-p} = R_{f-n}$ となるように設計する。

30

【0030】

このような特性を有するインバータ50を用いて形成した電圧制御発振器の例を図5に示す。図5に示した電圧制御発振器60は、インバータ50とインバータ62a、62bとを有しており、これらがループ状に接続されてリング発振回路64を形成している。インバータ50は、電圧制御発振器60の第1段目を構成していて、出力端子となる可変抵抗部 $R_{of}$ のP型トランジスタ $p_2$ のドレインと、N型トランジスタ $n_2$ のドレインとが2段目のインバータ62aの入力端子に接続してある。第2段目と第3段目(最終段)のインバータ62(62a、62b)は、それぞれP型トランジスタ $p_1$ とN型トランジスタ $n_1$ とを対称形に接続したCMOSによって構成してある。

40

【0031】

各インバータ50、62は、P型トランジスタ $p_1$ のソースが電源線 $V_{dd}$ に接続してあり、N型トランジスタ $n_1$ のソースがGND線に接続してある。そして、最終段のインバータ62bの出力が第1帰還ループ65を介して第1段目のインバータ50のインバータ本体52の入力側に帰還されるようになっている。また、インバータ50は、可変抵抗部 $R_{of}$ のP型トランジスタ $p_2$ のゲートが電源線 $V_{dd}$ との間に設けた可変直流電源66に接続してあって、制御電圧 $V_c$ が印加され、N型トランジスタ $n_2$ のゲートがGND線との間に設けた可変直流電源68に接続してあって、制御電圧 $V_c$ が印加される。

【0032】

50



第1段目のインバータ50の出力端子となる可変抵抗部 $R_{of}$ と第2段目のインバータ62aの入力端子との間と、第1段目のインバータ50の入力端子、すなわちインバータ本体52を形成しているMOSトランジスタのゲートとの間に、第2帰還ループ70が形成してある。この第2帰還ループ70には、コンデンサCが設けてある。このコンデンサCは、インバータ50の可変抵抗部 $R_{of}$ とともにCR微分回路を形成する。

【0033】

このように構成した電圧制御発振器60における発振周波数 $f_0$ の理論式は、上記と同様にして求められ、

【数12】

$$f_0 = \frac{1}{2 \cdot 2CR_{of}}$$

10

となる。

【0034】

図6は、電圧制御発振器60の周波数制御特性を示したものである。図6は、横軸がVを単位とした制御電圧 $V_c$ であって、縦軸がMHzを単位とした発振周波数 $f_0$ である。そして、図中の は図6に示した実施の形態（実施例）の周波数制御特性であり、 が図14に示した従来例の周波数制御特性である。図6から明らかなように、実施例の電圧制御発振器60は、回路の構成上、発振周波数の低い範囲でもインバータが電源から浮くことがないため、発振周波数 $f_0$ を従来例に比較して、制御電圧に応じて広範囲にわたって可変することができる。しかも、発振周波数 $f_0$ は、制御電圧 $V_c$ の変化に対してほぼ直線的（線形）に変化する。

20

【0035】

図7は、実施形態の電圧制御発振器の具体的構成例を示したものである。図7において、電圧制御発振器80は、バイアス回路部82とリング発振回路部84とから構成してある。バイアス回路部82は、詳細を後述するように、制御電圧 $V_c$ に応じた電圧を発生してリング発振回路部84に与える。

30

【0036】

リング発振回路部84は、発振回路本体部86を有している。この発振回路本体部86は、図5に示したリング発振回路64と同様に構成してある。すなわち、発振回路本体部86は、インバータ50とインバータ62a、62bとがループを形成するように縦続接続してある。そして、第1段目のインバータ50の出力端子と第2段目のインバータ62aの入力端子との間と、第1段目のインバータ50の入力端子との間に、コンデンサCを有する第2帰還ループ70が形成してある。コンデンサCは、インバータ50の可変抵抗部 $R_{of}$ とともにCR微分回路を構成する。また、リング発振回路部84は、発振回路本体部86の出力側にP型トランジスタ $p_3$ と、N型トランジスタ $n_3$ とからなるCMOSインバータ88が接続してある。そして、電圧制御発振器80は、このCMOSインバータ88の出力電圧 $V_{out}$ が出力となる。

40

【0037】

バイアス回路部82は、並列接続した2つのN型トランジスタ $n_4$ 、 $n_5$ を有している。N型トランジスタ $n_4$ は、ドレインが電源線 $V_{dd}$ に接続してあり、ソースが抵抗 $R_1$ を介してGND線に接続してある。一方、N型トランジスタ $n_5$ は、ドレインが抵抗 $R_2$ を介して電源線 $V_{dd}$ に接続してあり、ソースがGND線に接続してある。そして、N型トランジスタ $n_4$ 、 $n_5$ のゲートは、制御電圧 $V_c$ が印加されるようになっている。

【0038】

N型トランジスタ $n_4$ は、ソースが第1段目のインバータ50の可変抵抗部 $R_{of}$ を構成しているN型トランジスタ $n_2$ のゲートに接続してある。したがって、N型トランジスタ

50

$n_4$  は、ゲートに制御電圧  $V_c$  が入力すると、電源電圧  $V_{dd}$  の、N型トランジスタ  $n_4$  の出力抵抗と抵抗  $R_1$  とによって分割した電圧をN形トランジスタ  $n_2$  のゲートに制御電圧として与える。また、N型トランジスタ  $n_5$  は、ドレインが可変抵抗部  $R_{of}$  を構成しているP型トランジスタ  $p_2$  のゲートに接続してある。したがって、N型トランジスタ  $n_5$  は、ゲートに制御電圧  $V_c$  が印加されると、電源電圧  $V_{dd}$  の、抵抗  $R_2$  とN型トランジスタ  $n_5$  の出力抵抗とによって分割した電圧をP型トランジスタ  $p_2$  のゲートに制御電圧として与える。

#### 【0039】

図8は、バイアス回路部82に接続した可変抵抗部  $R_{of}$  のP型トランジスタ  $p_2$  とN型トランジスタ  $n_2$  の静特性を示したものである。図8の横軸はこれらのトランジスタ  $p_2$ 、 $n_2$  のゲートに印加されるゲート電圧  $V_{gs}$  (単位: V) であり、縦軸はドレイン電流  $I_d$  (単位: mA) である。また、図9は、トランジスタ  $p_2$ 、 $n_2$  の制御電圧  $V_c$  に対するゲート電圧  $V_{gs}$  の変化を示しており、横軸が制御電圧  $V_c$  (単位: V)、縦軸がトランジスタのゲート電圧  $V_{gs}$  (単位: V) である。

10

#### 【0040】

図7に示した電圧制御発振器80は、P型トランジスタ  $p_2$  とN型トランジスタ  $n_2$  との静特性が対称となっている範囲、(図8においては、ゲート電圧  $V_{gs}$  が1~4V) で動作する。このため、制御電圧  $V_c$  の範囲は、図9より2.2~5.0Vとなる。制御電圧  $V_c$  を2.2~5.0Vとの間で変化させたときの、発振周波数  $f_0$  の変化を図10に示した。図に示されているように、制御電圧  $V_c$  に対して発振周波数  $f_0$  が広範囲にわたって線形に変化している。

20

#### 【図面の簡単な説明】

#### 【0041】

【図1】本発明の原理を説明するリング発振回路の回路図である。

【図2】図1のA点とB点とにおける電圧波形図である。

【図3】一般的なCR微分回路図と入出力の電圧波形図である。

【図4】実施の形態に係るインバータの説明図である。

【図5】実施の形態に係る電圧制御発振器の回路図である。

【図6】実施の形態に係る電圧制御発振器の周波数制御特性を示す図である。

【図7】実施の形態に係る電圧制御発振器の具体的構成の一例を示す回路図である。

30

【図8】実施の形態に係る可変抵抗部を構成しているP型トランジスタとN型トランジスタとの静特性を示す図である。

【図9】実施の形態に係る可変抵抗部を構成しているP型トランジスタとN型トランジスタとの制御電圧とゲート電圧との関係を示す図である。

【図10】図7に示した電圧制御発振器の周波数制御特性を示す図である。

【図11】従来のリング発振回路の説明図である。

【図12】CMOSインバータの説明図である。

【図13】CMOSインバータの遅延時間の説明図である。

【図14】リング発振回路を用いた従来の電圧制御発振器の一例を示す回路図である。

【図15】図14に示した電圧制御発振器の周波数制御特性を示す図である。

40

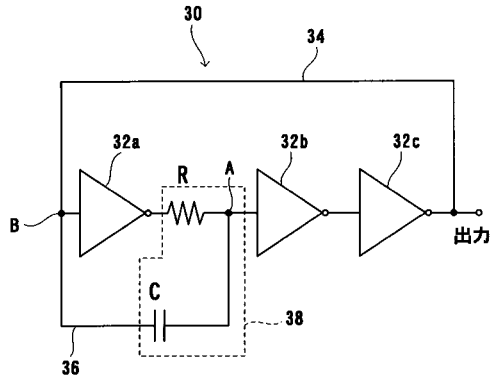
#### 【符号の説明】

#### 【0042】

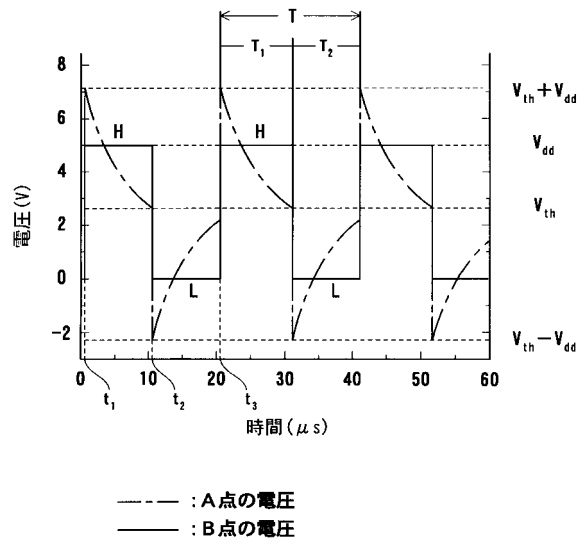
30 ..... リング発振回路、32a~32c ..... インバータ、34、65 ..... 第1帰還ループ、36、70 ..... 第2帰還ループ、38 ..... CR微分回路、50 ..... 第1段目のインバータ、52 ..... インバータ本体、60、80 ..... 電圧制御発振器、62a ..... 第2段目のインバータ、62b ..... 最終段のインバータ(第3段目のインバータ)、82 ..... バイアス回路部、84 ..... リング発振回路部、86 ..... 発振回路本体部、C ..... コンデンサ、 $n_1 \sim n_5$  ..... N型トランジスタ、 $p_1$ 、 $p_2$  ..... P型トランジスタ、R、 $R_1$ 、 $R_2$  ..... 抵抗、 $R_0$ 、 $R_{of}$  ..... 可変抵抗部。

50

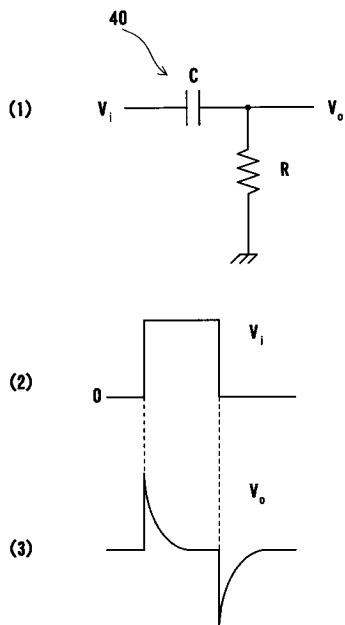
【 図 1 】



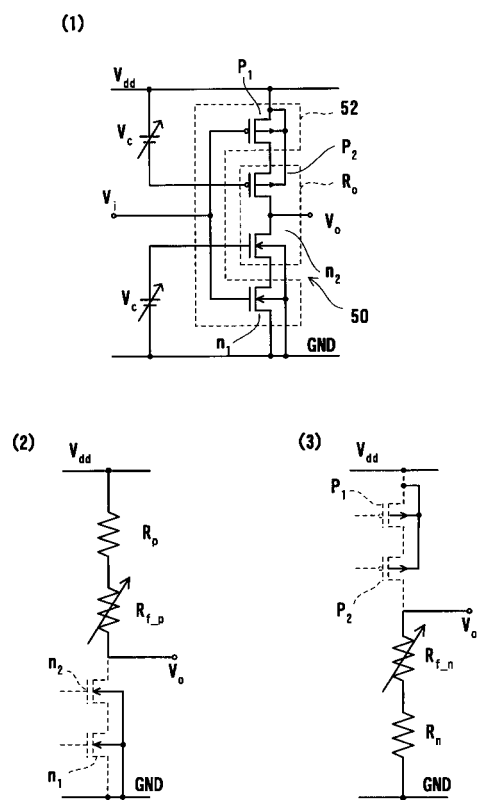
【 図 2 】



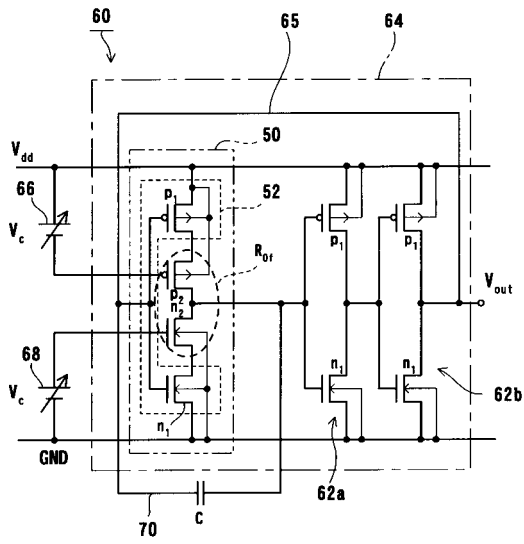
【 図 3 】



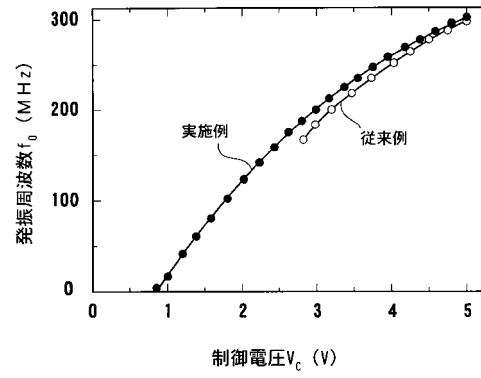
【 図 4 】



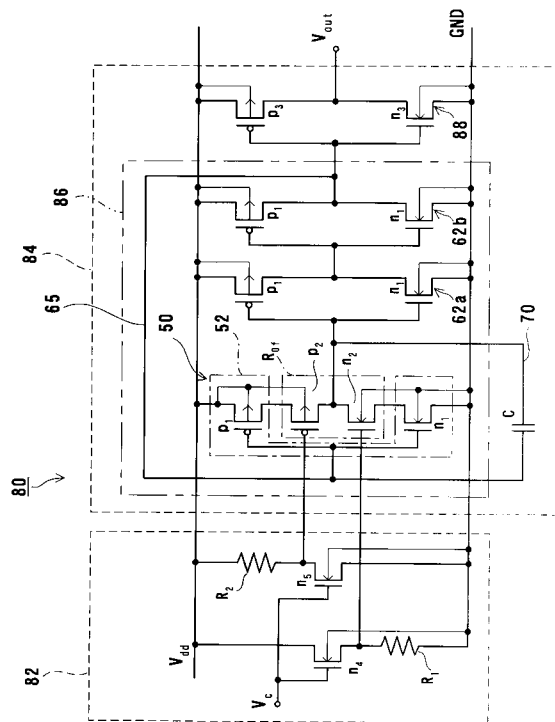
【図5】



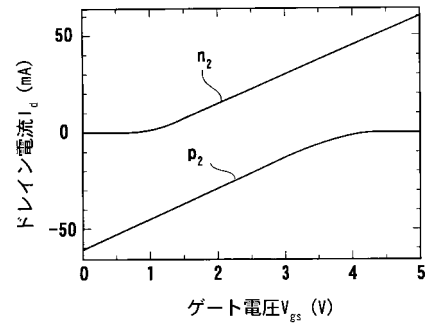
【図6】



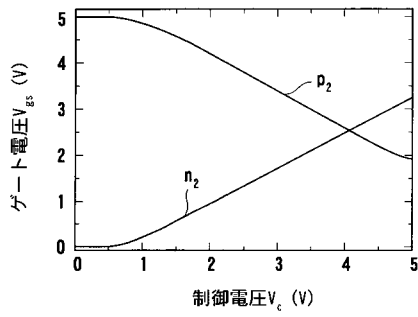
【図7】



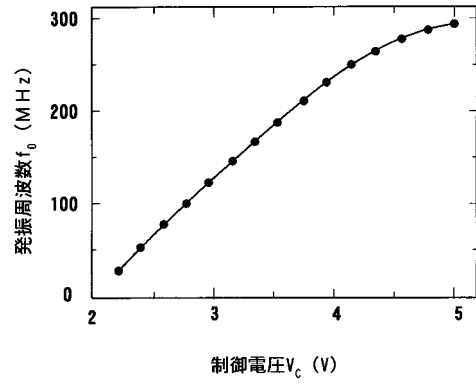
【図8】



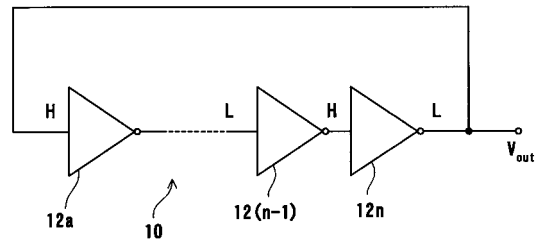
【図 9】



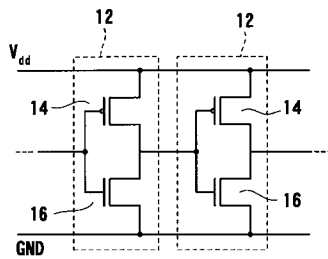
【図 10】



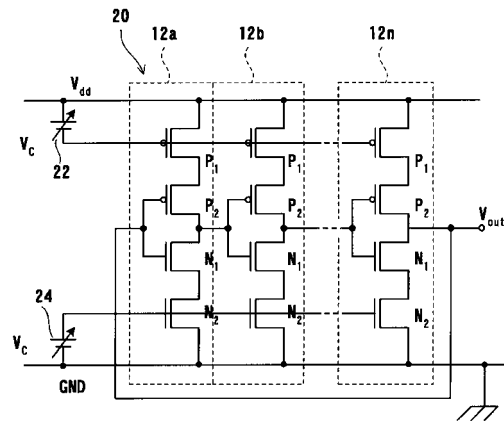
【図 11】



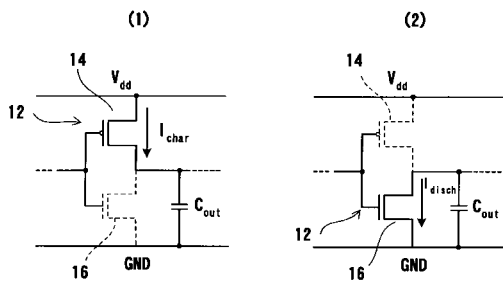
【図 12】



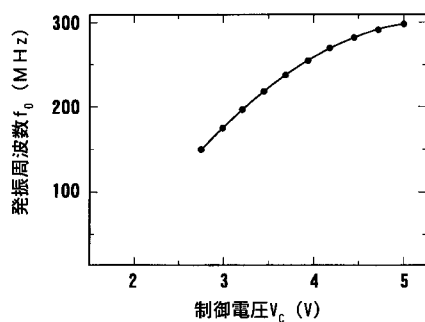
【図 14】



【図 13】



【 図 1 5 】



## 【 手続補正書 】

【 提出日 】 平成16年5月13日 (2004.5.13)

## 【 手続補正 1 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 0 0 1 2

【 補正方法 】 変更

## 【 補正の内容 】

## 【 0 0 1 2 】

しかし、上記特許文献1に記載の電圧制御発振器は、制御電圧  $V_c$  によって制御される N 型トランジスタと並列に接続した N 型トランジスタが常時オンとなるようにして、単に制御電圧の低い領域でも発振が止まらないようにしているだけである。このため、特許文献1に記載の電圧制御発振器は、制御電圧の低い領域においては制御電圧の大きさに関係なく発振するため、発振周波数の制御できる範囲が従来と変わらないか、それ以下となってしまうと考えられる。すなわち、特許文献1に記載の電圧制御発振器は、特許文献1の図3に示されているように、制御電圧の低い領域において、制御電圧による発振周波数の制御をすることができず、制御電圧によって変化する発振周波数の線形性が失われ、制御電圧に対して線形に変化させうる発振周波数の範囲が狭くなる。