

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-41760
(P2006-41760A)

(43) 公開日 平成18年2月9日(2006.2.9)

(51) Int. Cl.	F I			テーマコード (参考)	
H03K 3/356 (2006.01)	H03K 3/356		D	5J034	
H03K 3/037 (2006.01)	H03K 3/037		Z	5J043	

審査請求 未請求 請求項の数 6 O L (全 14 頁)

(21) 出願番号	特願2004-216528 (P2004-216528)	(71) 出願人	503360115 独立行政法人科学技術振興機構 埼玉県川口市本町4丁目1番8号
(22) 出願日	平成16年7月23日(2004.7.23)	(71) 出願人	504174135 国立大学法人九州工業大学 福岡県北九州市戸畑区仙水町1番1号
		(74) 代理人	100121371 弁理士 石田 和人
		(72) 発明者	渡邊 実 福岡県飯塚市大字伊岐須1-4-4-403
		(72) 発明者	小林 史典 福岡県宗像市大谷2-1-1
		Fターム(参考)	5J034 AB05 CB01 DB08 5J043 AA05 EE00 HH01 JJ10 KK01

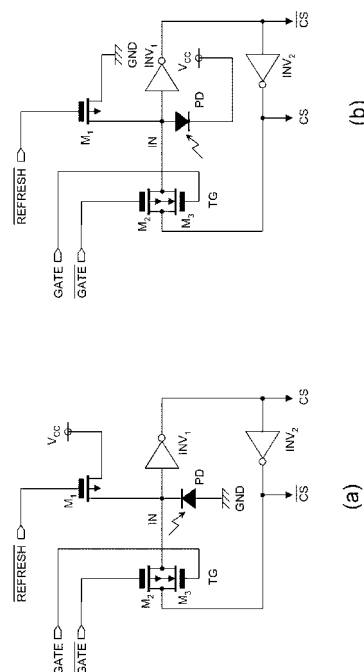
(54) 【発明の名称】 光信号ラッチ回路及び光信号ラッチアレイ

(57) 【要約】

【課題】 実装面積を大幅に小さくすることが可能な光信号ラッチ回路及びそれを使用した光信号ラッチアレイを提供する。

【解決手段】 2個のインバータ INV_1 , INV_2 がループ状に接続されたラッチ回路内の1つのインバータ(入力部インバータ) INV_1 の入力側に、ラッチ回路のループの接断を行う入力受付用スイッチング素子 TG を設ける。入力受付用スイッチング素子 TG と入力部インバータ INV_1 との接続ノード(入力ノード) IN にフォトダイオード PD を逆バイアス接続する。フォトダイオード PD に印加する逆バイアスのリフレッシュ電圧 V_{cc} の入切を行うリフレッシュ・スイッチング素子 M_1 を設ける。フォトダイオード PD の入力ノード IN の電圧を、バッファを介さず直接入力部インバータ INV_1 に入力するため、実装面積を大幅に小さくすることが可能となる。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

偶数個のインバータがループ状に接続されたラッチ回路と、

前記ラッチ回路内の 1 つのインバータ（以下、「入力部インバータ」という。）の入力側に設けられ、前記ラッチ回路のループの接断を行う入力受付用スイッチング素子と、

前記入力部インバータと前記入力受付用スイッチング素子との接続ノード（以下、「入力ノード」という。）に逆バイアス接続されたフォトダイオードと、

前記フォトダイオードに印加する逆バイアス方向のリフレッシュ電圧のオンオフを行うリフレッシュ・スイッチング素子と、

を備えていることを特徴とする光信号ラッチ回路。

10

【請求項 2】

前記ラッチ回路は、2 つのインバータがループ状に接続されたものであることを特徴とする請求項 1 記載の光信号ラッチ回路。

【請求項 3】

前記ラッチ回路内のインバータのうち出力側に前記入力受付用スイッチング素子が接続されたものに代えて 1 個の M I S トランジスタを備えており、

前記 M I S トランジスタは、

ゲート端子がその前段インバータの出力端子に接続され、

ドレイン端子が前記入力受付用スイッチング素子を介して前記入力部インバータの入力端子に接続され、

20

ソース端子には前記フォトダイオードの両端子間に前記リフレッシュ電圧が印加されているときの前記入力ノードの論理値と同じ論理値に相当する電圧が印加され、

前記フォトダイオードの両端子間に前記リフレッシュ電圧が印加されているときにオン状態となるものであること

を特徴とする請求項 1 又は 2 記載の光信号ラッチ回路。

【請求項 4】

偶数個のインバータがループ状に接続されたラッチ回路と、

前記ラッチ回路内の 1 つのインバータ（以下、「入力部インバータ」という。）の入力側に設けられ、前記ラッチ回路のループの接断を行う入力受付用スイッチング素子と、

前記入力部インバータと前記入力受付用スイッチング素子との接続ノード（以下、「入力ノード」という。）に逆バイアス接続されたフォトダイオードと、

30

前記フォトダイオードに印加する逆バイアス方向のリフレッシュ電圧のオンオフを行うリフレッシュ・スイッチング素子と、

を具備する光信号ラッチ回路を複数個備えるとともに、

スイッチング素子（以下、「ブロック・リフレッシュ・スイッチング素子」という。）と直列に逆バイアス接続されたフォトダイオード（以下、「リフレッシュ・フォトダイオード」という。）

及び、入力端子が前記リフレッシュ・フォトダイオードと前記ブロック・リフレッシュ・スイッチング素子との連結ノードに接続された出力バッファ回路

を具備するゲート開放信号生成回路を備え、

40

前記各光信号ラッチ回路の入力受付用スイッチング素子は、前記ゲート開放信号生成回路の出力バッファ回路の出力により開閉されることを特徴とする光信号ラッチアレイ。

【請求項 5】

前記ラッチ回路は、2 つのインバータがループ状に接続されたものであることを特徴とする請求項 4 記載の光信号ラッチアレイ。

【請求項 6】

前記前記ラッチ回路内のインバータのうち出力側に前記入力受付用スイッチング素子が接続されたものに代えて 1 個の M I S トランジスタを備えており、

前記 M I S トランジスタは、

ゲート端子がその前段インバータの出力端子に接続され、

50

ドレイン端子が前記入力受付用スイッチング素子を介して前記入力部インバータの入力端子に接続され、

ソース端子には前記フォトダイオードの両端子間に前記リフレッシュ電圧が印加されているときの前記入力ノードの論理値と同じ論理値に相当する電圧が印加され、

前記フォトダイオードの両端子間に前記リフレッシュ電圧が印加されているときにオン状態となるものであること

を特徴とする請求項 4 又は 5 記載の光信号ラッチアレイ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力される光信号を電気的なデジタル信号に変換するとともにその値をラッチする光信号ラッチ回路に関し、特に、小さい実装面積が要求される光再構成ゲートアレイ等への実装に適した光信号ラッチ回路に関する。

【背景技術】

【0002】

近年、回路の論理構造の再構成時間を飛躍的に短縮する技術として、光再構成型ゲートアレイ (Optically Programmable Gate Array : ORGA) の研究・開発が進められている (例えば、特許文献 1 ~ 4 参照)。光再構成型ゲートアレイは、回路の論理構造の情報を光信号パターンとして出力する光学部と、前記光信号パターンに従って回路の論理構造の構成を行う VLSI 部との二つの部分を有し、光学部からの光信号パターンにより VLSI 部の論理構造の再構成を並列的に実行するデバイスである。

【0003】

これらの光再構成型ゲートアレイにおいては、VLSI 部である論理回路が搭載されたチップ (論理回路チップ) 内の回路の各所に、フォトダイオードを備えた光信号ラッチ回路が設けられている。論理回路構成情報を含む光信号パターンは、光信号ラッチ回路のフォトダイオードによって電気的な信号に変換される。こうして入力された論理回路構成情報は、光信号ラッチ回路内に設けられたラッチ回路に保持される。そして、ラッチ回路に保持された論理回路構成情報に従った回路接続の切り替えを行うことによって、論理回路の再構成が行われる。

【0004】

ラッチ回路の構成としては、例えば、特許文献 5 ~ 7 に記載のものが公知であり、これらは種々の回路で広く使用されている。図 6 は、従来のラッチ回路を適用することによって構成された光信号ラッチ回路の回路構成を表す図である。光信号の書き込みを行う場合、まずリフレッシュ信号 (REFRESH) を 0 レベルとし、リフレッシュ用のトランジスタ M_1 をオン状態とする。これにより、フォトダイオード PD にはリフレッシュ電圧 V_{cc} が印加される。尚、本明細書において記号「 \neg 」が付された信号は負論理の信号を表すものとし、図面では信号名の上に上線を付して表示することとする。フォトダイオード PD は、逆バイアス接続されているため、フォトダイオード PD はキャパシタとして機能し、電荷が蓄積される。

【0005】

次に、リフレッシュ信号 (REFRESH) を 1 レベルとし、トランジスタ M_1 をオフ状態とする。このとき、フォトダイオード PD には、その容量によって電荷が保持され、カソード側のノード IN には 1 レベルの電圧が保持される。

【0006】

この状態で、フォトダイオード PD に対して光信号を入力する。光信号が 1 のときはフォトダイオード PD に光照射され、フォトダイオード PD が放電し、ノード IN の電圧は 0 レベルとなる。光信号が 0 のときはフォトダイオード PD には光照射されず、ノード IN の電圧は 1 レベルに維持される。従って、ノード IN の電圧は光信号の反転値となる。

【0007】

ノード IN の電圧はバッファ BUFF を介して、トランスミッション・ゲート TG に入

10

20

30

40

50

力される。トランスマッション・ゲートは、pMOSトランジスタ M_2 とnMOSトランジスタ M_3 とから構成されており、各トランジスタには、ゲート信号($\bar{\text{GATE}}$, GATE)が入力されている。また、トランスマッション・ゲートTGの出力側は、2つのインバータ INV_1 , INV_2 がループ状に結合してなるラッチのインバータ INV_1 の入力端子に接続されている。

【0008】

ノードINの電圧をラッチに保持する場合には、ゲート信号(GATE)が1レベルとする。このとき、トランスマッション・ゲートはオン状態となり、バッファBUFFの出力はインバータ INV_1 の入力端子に印加される。ここで、バッファBUFFの駆動能力はインバータ INV_1 , INV_2 の駆動能力よりも大きく構成されている。従って、インバータ INV_1 の入力電圧は強制的にバッファBUFFの出力電圧とされる。ラッチへの入力が終わると、ゲート信号(GATE)が0レベルとする。これにより、ノードINの電圧はラッチに保持される。

10

【0009】

ラッチに保持された電圧は、インバータ INV_1 の出力端子から保持信号CSとして取り出される。保持信号CSはノードINの電圧の反転値となるので、フォトダイオードPDに入力された光信号の値が保持信号CSとして出力される。

【0010】

このように、従来のラッチ回路を使用する場合、フォトダイオードPDの出力を一度バッファBUFFで受けてから、その出力を後段のトランスマッション・ゲートTGを介してラッチに入力する構成をとることになる。

20

【特許文献1】特開2002-353317号公報

【特許文献2】米国特許第5959747号明細書

【特許文献3】米国特許第6057703号明細書

【特許文献4】米国特許第6072608号明細書

【特許文献5】特開平8-37449号公報

【特許文献6】特開平5-26800号公報

【特許文献7】特開平11-97984号公報

【発明の開示】

【発明が解決しようとする課題】

30

【0011】

ところで、光再構成ゲートアレイ(特許文献1~4参照)のように、論理回路が搭載されたチップ内に多数の光信号ラッチ回路を設け、チップに光信号を照射し光信号を直接チップに入力するような素子においては、チップ内に極めて多くの光信号ラッチ回路を搭載する必要がある。従って、かかる素子においては、光信号ラッチ回路がチップ全体の実装面積の多くの部分を占めるため、ゲート密度を向上させる上で各光信号ラッチ回路の実装面積を可能な限り小さくすることが極めて重要な課題である。

【0012】

しかし、上記従来のラッチ回路を適用することによって構成された光信号ラッチ回路では、フォトトランジスタ自体はインバータを駆動するだけの駆動能力がないため、必ずフォトトランジスタの出力をラッチ回路に入力するバッファが必要となる。従って、バッファを実装するだけの余分な実装面積が必要とされ、光信号ラッチ回路全体の实装面積を縮小する際の妨げとなっていた。

40

【0013】

そこで、本発明の目的は、従来に比べて実装面積を大幅に小さくすることが可能な光信号ラッチ回路及びそれを使用した光信号ラッチアレイを提供することにある。

【課題を解決するための手段】

【0014】

本発明に係る光信号ラッチ回路の第1の構成は、偶数個のインバータがループ状に接続されたラッチ回路と、前記ラッチ回路内の1つのインバータ(以下、「入力部インバータ

50

」という。)の入力側に設けられ、前記ラッチ回路のループの接断を行う入力受付用スイッチング素子と、前記入力部インバータと前記入力受付用スイッチング素子との接続ノード(以下、「入力ノード」という。)に逆バイアス接続されたフォトダイオードと、前記フォトダイオードに印加する逆バイアス方向のリフレッシュ電圧のオンオフを行うリフレッシュ・スイッチング素子と、を備えていることを特徴とする。

【0015】

この構成によれば、光信号ラッチ回路に光信号の値をラッチする場合には、まず、入力受付用スイッチング素子をオフ状態として、ラッチ回路のループを切断状態とする。そして、リフレッシュ・トランジスタをオン状態としてフォトダイオードに逆バイアス方向のリフレッシュ電圧を印加する。これにより、フォトダイオードの両端子間の電圧はリフレッシュ電圧となり、フォトダイオードのキャパシタに電荷が蓄積される。 10

【0016】

この状態で、フォトダイオードに対して光信号を入力する。光信号が1の場合にはフォトダイオードに光照射がされ、フォトダイオードは放電する。これに伴い、フォトダイオードと前記リフレッシュ・スイッチング素子との連結ノード(以下、「入力ノード」という。)の論理レベルは反転する。一方、光信号が0の場合にはフォトダイオードに光照射がされないため、入力ノードの論理レベルは維持される。

【0017】

入力ノードの電圧は、入力部インバータに直接入力される。このとき、入力受付用スイッチング素子がオフ状態であり、ラッチ回路のループは切断状態にあるので、ラッチ回路内の各インバータはフォトダイオードの入力ノード電圧によって駆動され、論理レベルが確定する。 20

【0018】

各インバータの論理レベルが確定した後に、入力受付用スイッチング素子をオン状態として、ラッチ回路のループを接続状態とする。これにより、光信号の論理レベルがラッチ回路に安定的にラッチされる。

【0019】

このように、本発明ではフォトダイオードの入力ノード電圧を、バッファを介すことなく直接入力部インバータに入力するため、従来に比べて実装面積を大幅に小さくすることが可能となる。 30

【0020】

ここで、「入力受付用スイッチング素子」、「リフレッシュ・スイッチング素子」としては、トランسمッション・ゲート、MIS(Metal Insulator Semiconductor)スイッチ(MOS(Metal Oxide Semiconductor)スイッチを含む。)等を使用することができる。ラッチ回路を構成するインバータの数は偶数個であれば特に限定されないが、光信号ラッチ回路の実装面積を小さくする観点から、2個又は4個とすることが好ましい。インバータの回路構成についても特に限定するものではないが、論理値を確実に伝達できて実装面積も小さいCMIS(Complementary Metal Insulator Semiconductor)型インバータを使用することが好ましい。

【0021】

本発明に係る光信号ラッチ回路の第2の構成は、前記第1の構成において、前記ラッチ回路は、2つのインバータがループ状に接続されたものであることを特徴とする。 40

【0022】

特に、ラッチ回路として2個のインバータ・ループを使用することで、光信号ラッチ回路の実装面積を最小にすることができる。

【0023】

本発明に係る光信号ラッチ回路の第3の構成は、前記第1又は2の構成において、前記ラッチ回路内のインバータのうち出力側に前記入力受付用スイッチング素子が接続されたものに代えて1個のMISトランジスタを備えており、前記MISトランジスタは、ゲート端子がその前段インバータの出力端子に接続され、ドレイン端子が前記入力受付用スイ 50

ツチング素子を介して前記入力部インバータの入力端子に接続され、ソース端子には前記フォトダイオードの両端子間に前記リフレッシュ電圧が印加されているときの前記入力ノードの論理値と同じ論理値に相当する電圧が印加されるものであることを特徴とする。

【0024】

この構成により、出力側に前記入力受付用スイッチング素子が接続されたインバータを、1個のMISトランジスタ(MOSTランジスタを含む。)で置き換えたので、光信号ラッチ回路の実装面積をより小さくすることができる。

【0025】

尚、「フォトダイオードの両端子間にリフレッシュ電圧が印加されているときにオン状態となる」ことから、フォトダイオードの両端子間にリフレッシュ電圧が印加されているときの入力ノードの論理値が1の場合には、MISトランジスタにはp型が使用され、0の場合にはMISトランジスタにはn型が使用される。

10

【0026】

本発明に係る光信号ラッチアレイの第1の構成は、偶数個のインバータがループ状に接続されたラッチ回路と、前記ラッチ回路内の1つのインバータ(以下、「入力部インバータ」という。)の入力側に設けられ、前記ラッチ回路のループの接断を行う入力受付用スイッチング素子と、前記入力部インバータと前記入力受付用スイッチング素子との接続ノード(以下、「入力ノード」という。)に逆バイアス接続されたフォトダイオードと、前記フォトダイオードに印加する逆バイアス方向のリフレッシュ電圧のオンオフを行うリフレッシュ・スイッチング素子と、を具備する光信号ラッチ回路を複数個備えるとともに、

スイッチング素子(以下、「ブロック・リフレッシュ・スイッチング素子」という。)と直列に逆バイアス接続されたフォトダイオード(以下、「リフレッシュ・フォトダイオード」という。)、及び、入力端子が前記リフレッシュ・フォトダイオードと前記ブロック・リフレッシュ・スイッチング素子との連結ノードに接続された出力バッファ回路を具備するゲート開放信号生成回路を備え、前記各光信号ラッチ回路の入力受付用スイッチング素子は、前記ゲート開放信号生成回路の出力バッファ回路の出力により開閉されることを特徴とする。

20

【0027】

光再構成ゲートアレイなどでは、チップ全体に光信号を入力する場合もあるが、むしろチップの一部の回路ブロックのみに光信号を入力するような場合のほうが多い。このような場合、ゲート開放信号生成回路を用いて、光信号を入力する回路ブロックの光信号ラッチ回路の入力受付用スイッチング素子のみをオフ状態とすることで、必要な回路ブロックのみに光信号をラッチし、必要のない回路ブロックには照射光によりラッチされたデータが失われないようにマスクをすることが可能となる。また、どの回路ブロックの書き込みを行うかの選択も、リフレッシュ・フォトダイオードへの光信号入力によって行うことができる。

30

【0028】

本発明に係る光信号ラッチアレイの第2の構成は、前記第1の構成において、前記ラッチ回路は、2つのインバータがループ状に接続されたものであることを特徴とする。

【0029】

本発明に係る光信号ラッチアレイの第3の構成は、前記第1又は2の構成において、前記前記ラッチ回路内のインバータのうち出力側に前記入力受付用スイッチング素子が接続されたものに代えて1個のMISトランジスタを備えており、前記MISトランジスタは、ゲート端子がその前段インバータの出力端子に接続され、ドレイン端子が前記入力受付用スイッチング素子を介して前記入力部インバータの入力端子に接続され、ソース端子には前記フォトダイオードの両端子間に前記リフレッシュ電圧が印加されているときの前記入力ノードの論理値と同じ論理値に相当する電圧が印加され、前記フォトダイオードの両端子間に前記リフレッシュ電圧が印加されているときにオン状態となるものであることを特徴とする。

40

【発明の効果】

50

【0030】

以上のように、本発明に係る光信号ラッチ回路によれば、フォトダイオードの入力ノード電圧を、バッファを介することなく直接第1のインバータに入力するため、従来に比べて実装面積を大幅に小さくすることが可能となる。

【0031】

また、本発明に係る光信号ラッチアレイによれば、ゲート開放信号生成回路を用いることで、必要な回路ブロックのみに光信号をラッチし、必要のない回路ブロックには誤って回り込んだ光によりラッチされたデータが失われないようにマスクをすることが可能となる。

【0032】

また、光再構成ゲートアレイにおいてチップの全エリアに対して光信号の多重パターンを照射し、ある時点で再構成を行いたい回路ブロックのみ、その多重パターンのうちの当該回路ブロックに属する光信号のみをラッチし、それ以外の回路ブロックについては光信号をラッチしないといった用途に使用することができる。これにより、1つの多重パターンを複数のタイミングにおける複数の回路ブロックの回路再構成情報として使用することができ、光メモリの有効利用を行うことができる。

【発明を実施するための最良の形態】

【0033】

以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。

【実施例1】

【0034】

図1は、本発明の実施例1に係る光信号ラッチ回路の回路構成を表す図である。図1(a)は反転入力型の構成、図1(b)は非反転入力型の構成を表している。

【0035】

図1において、本実施例に係る光信号ラッチ回路は、2個のインバータ INV_1 、 INV_2 、入力受付用スイッチング素子であるトランSMission・ゲートTG、フォトダイオードPD、及びリフレッシュ・スイッチング素子であるpMOS型のトランジスタ M_1 を備えている。また、トランSMission・ゲートTGは、pMOS型のトランジスタ M_2 とnMOS型のトランジスタ M_3 とから構成されている。

【0036】

インバータ(入力部インバータ) INV_1 の出力側はインバータ INV_2 の入力側に接続され、インバータ INV_2 の出力側がトランSMission・ゲートTGを介してインバータ INV_1 の入力側に接続され、これらのインバータ INV_1 、 INV_2 及びトランSMission・ゲートTGによってループ状のラッチ回路を構成している。

【0037】

フォトダイオードPDは、インバータ INV_1 の入力側に逆バイアス接続されている。また、インバータ INV_1 の入力側には、フォトダイオードPDに印加する逆バイアス方向のリフレッシュ電圧のオンオフを行うリフレッシュ・スイッチング素子(トランジスタ M_1)が接続されている。以下では、フォトダイオードPDとトランジスタ M_1 が接続されたインバータ INV_1 の入力側のノードを「入力ノード」といい、記号「IN」で表す。

【0038】

反転入力型(図1(a))の場合には、フォトダイオードPDのアノードが接地され、カソードが入力ノードINに接続される。また、入力ノードINにトランジスタ M_1 のドレインが接続され、トランジスタ M_1 のソースは電源電圧に接続される。

【0039】

一方、非反転入力型(図1(b))の場合には、フォトダイオードPDのカソードが電源電圧に接続され、アノードが入力ノードINに接続される。また、入力ノードINにトランジスタ M_1 のソースが接続され、トランジスタ M_1 のドレインは接地される。

【0040】

10

20

30

40

50

トランジスタ M_1 のゲートには、リフレッシュ信号 (\neg REFRESH) が入力される。また、トランсмисシオン・ゲート T G の各トランジスタ M_2 , M_3 には、ゲート信号 (\neg GATE, GATE) が入力されている。

【0041】

ラッチ回路の出力は、インバータ INV_1 又は INV_2 の出力側から取り出される。反転入力型 (図1(a)) の場合、インバータ INV_1 の出力側から非反転出力 (CS) を、インバータ INV_2 の出力側から反転出力 (\neg CS) を取り出すことができる。一方、非反転入力型 (図1(b)) の場合、インバータ INV_2 の出力側から非反転出力 (CS) を、インバータ INV_1 の出力側から反転出力 (\neg CS) を取り出すことができる。

【0042】

図2は、図1(a) に示した反転入力型の光信号ラッチ回路の動作を表すタイミングチャートである。尚、非反転入力型の光信号ラッチ回路の動作も反転入力型の光信号ラッチ回路と同様であるため、ここでは代表として反転入力型の光信号ラッチ回路の動作のみを説明する。

10

【0043】

初期状態として、ゲート信号 (GATE) は1レベル (\neg GATEは0レベル)、リフレッシュ信号 (\neg REFRESH) は1レベルとし、光信号はOFF状態であるとする。

【0044】

光信号を入力する前に、時刻 t_1 において、まずゲート信号 (GATE) は0レベルとする。このとき、トランсмисシオン・ゲート T G はオフ状態となり、インバータ INV_1 , INV_2 のループは切断される。

20

【0045】

次に、時刻 t_2 において、リフレッシュ信号 (\neg REFRESH) を0レベルとする。これにより、トランジスタ M_1 はオン状態となり、入力ノード IN の電圧は電源電圧 V_{cc} (すなわち1レベル) となる。それに伴い、非反転出力 (CS) は0、反転出力 (\neg CS) は1となる。

【0046】

次に、時刻 t_3 において、リフレッシュ信号 (\neg REFRESH) を再び1レベルに戻す。これにより、フォトダイオード PD への電源電圧 V_{cc} の入力が終わるが、フォトダイオード PD のキャパシタに蓄えられた電荷によって、フォトダイオード PD の両端電圧は V_{cc} に保たれる。

30

【0047】

そして、フォトダイオードに対して光信号が入力される。図2の例では、時刻 t_3 から光信号として1が入力されている。これにより、フォトダイオード PD は導通状態となり、蓄えられた電荷が放電されて入力ノード IN の電圧は0レベルとなる。それに伴い、非反転出力 (CS) は1、反転出力 (\neg CS) は0となる。

【0048】

反転出力 (CS) が1、反転出力 (\neg CS) が0に確定した後に、時刻 t_4 においてゲート信号を1レベルとする。これにより、トランсмисシオン・ゲート T G はオン状態となり、インバータ INV_1 , INV_2 のループは接続される。インバータ INV_1 , INV_2 のループが接続されると、このループがラッチ回路として機能し、光信号の入力値が安定的に保持される。

40

【0049】

以上のように、本実施例の光信号ラッチ回路によれば、フォトダイオード PD の入力ノード電圧を、バッファを介することなく直接インバータ INV_1 に入力するため、従来に比べて実装面積を大幅に小さくすることが可能となる。

【0050】

尚、図1の例では、入力受付用スイッチング素子としてトランсмисシオン・ゲート T G を使用したが、入力受付用スイッチング素子としては図3(a) 又は図3(b) に示したように MOS スイッチ M_2 を使用してもよい。また、インバータ INV_2 の代わりに、

50

図3又は図3(b)に示したスイッチング素子(MOSトランジスタ M_6)を使用することもできる。これにより、更に光信号ラッチ回路の実装面積を小さくすることが可能となる。

【0051】

尚、図3に示した光信号ラッチ回路の場合、MOSトランジスタ M_6 は、その前段のインバータ(入力部インバータ) INV_1 の出力論理値の反転を完全に伝達するものではない。

【0052】

すなわち、フォトダイオードPDの両端子間にリフレッシュ電圧 V_{cc} が印加されているときには、インバータ INV_1 の出力論理値は、入力ノードINの論理値の反転である。この場合、MOSトランジスタ M_6 はオン状態となって、そのドレイン端子からは入力ノードINの論理値と同じ論理値に相当する電圧が出力されインバータとして機能する。一方、フォトダイオードPDが放電した状態にあるときは、MOSトランジスタ M_6 はオフ状態となって、そのドレイン端子は高インピーダンス状態となる。従って、この場合、インバータ INV_1 の出力論理値の反転は伝達されない。

10

【0053】

しかしながら、リフレッシュ信号(\neg REFRESH)によりリフレッシュがされたときには、フォトダイオードPDの両端子間には必ずリフレッシュ電圧 V_{cc} が印加されるので、MOSトランジスタ M_6 のドレイン端子の論理値は、入力ノードINの論理値と同じ論理値となる。そして、フォトダイオードPDに入力される光信号の値が0(未照射)であれば、MOSトランジスタ M_6 のドレイン端子の論理値は維持される。従って、この状態でMOSスイッチ M_2 をオン(導通状態)とすれば、ラッチ回路のループがつながり、データは安定的にラッチされた状態となる。一方、フォトダイオードPDに入力される光信号の値が1(照射)の場合、フォトダイオードPDは放電し、MOSトランジスタ M_6 のドレイン端子は高インピーダンス状態となる。この場合、MOSトランジスタ M_6 とMOSスイッチ M_2 との間の配線の浮遊容量により、MOSトランジスタ M_6 のドレイン端子はリフレッシュ時の論理値に保たれる。しかし、この浮遊容量はフォトダイオードPDの有するキャパシタに比べて遙かに小さいので、MOSスイッチ M_2 をオン(導通状態)とすれば論理値は反転する。この場合、MOSトランジスタ M_6 の部分でラッチ回路のループは切断された状態となるが、フォトダイオードPDの両端子間の電位差は0であるため、この状態は安定的に維持される。

20

30

【0054】

従って、図3(a)又は図3(b)のような回路によっても、光信号を安定的にラッチすることが可能である。

【実施例2】

【0055】

図4は、本発明の実施例2に係る光信号ラッチアレイの回路構成を表す図である。本実施例の光信号ラッチアレイは、図1(a)に示した光信号ラッチ回路と同様の n 個($n \geq 2$)の光信号ラッチ回路LATCH1~LATCH n を備えている。

【0056】

更に、リフレッシュ・フォトダイオードRPD、ブロック・リフレッシュ・スイッチング素子であるpMOS型のトランジスタ M_4 、リセット用に使われるnMOS型のトランジスタ M_5 、インバータ INV_3 、 INV_4 、及び反転論理積ゲートNANDを有するゲート開放信号生成回路GOSC備えている。

40

【0057】

リフレッシュ・フォトダイオードRPDは、トランジスタ M_4 と直列に逆バイアス接続されている。リフレッシュ・フォトダイオードRPDのアノードは接地されており、カソードがトランジスタ M_4 のドレインに接続されている。また、トランジスタ M_4 のソースは、電源電圧に接続されている。以下、リフレッシュ・フォトダイオードRPDとトランジスタ M_4 との接続点を「連結ノードGIN」という。トランジスタ M_4 のゲート端子に

50

は、ブロック・リフレッシュ信号 (Block REFRESH) が入力される。

【0058】

リセット用のトランジスタ M_5 は、リフレッシュ・フォトダイオード RPD に並列に、連結ノード GIN 及び接地端子の間に接続されている。リセット用のトランジスタ M_5 のゲート端子には、リセット信号 (RESET) が入力される。尚、リセット用のトランジスタ M_5 は、すべての光信号ラッチ回路 LATCH1 ~ LATCHn のデータを電氣的にクリアする場合に使用されるものであり、本発明において必ず必要とされるものではない。

【0059】

連結ノード GIN には、インバータ INV₃ の入力端子が接続され、インバータ INV₃ の出力端子にはインバータ INV₄ の入力端子が接続されている。このインバータ INV₃ 及びインバータ INV₄ によって出力バッファ回路が構成されている。

10

【0060】

インバータ INV₃ 及びインバータ INV₄ の出力信号 (それぞれ、ゲート信号 \neg GATE, GATE) は、各光信号ラッチ回路 LATCH1 ~ LATCHn のトランスミッション・ゲート TG の各トランジスタ M_2 , M_3 (図1(a)参照) に接続されている。従って、各光信号ラッチ回路 LATCH1 ~ LATCHn のトランスミッション・ゲート TG は、ゲート開放信号生成回路 GOSC の出力信号 (ゲート信号 \neg GATE, GATE) によって開閉される。

【0061】

また、反転論理積ゲート NAND は2つの入力端子を有しており、一方はインバータ INV₃ の出力端子に接続され、他方にはリフレッシュ信号 (REFRESH) が入力される。

20

【0062】

以上のように構成された本実施例の光信号ラッチアレイについて、以下その動作を説明する。

【0063】

初期状態では、ブロック・リフレッシュ信号 (Block REFRESH) は1、リフレッシュ信号 (REFRESH) は0とし、光信号は入力されていないものとする。

【0064】

まず、時刻 $t_1 \sim t_2$ の間だけリセット信号 (RESET) を1とするとともに、リフレッシュ信号 (REFRESH) を1レベルとする (以下、これを「電氣的リセット動作」という)。リセット信号 (RESET) が1の間、トランジスタ M_5 が導通状態となる。この間に、リフレッシュ・フォトダイオード RPD に蓄積された電荷が放電される。従って、連結ノード GIN の電位は0レベル、ゲート信号 GATE は0レベル、ゲート信号 \neg GATE は1レベルとなる。また、各光信号ラッチ回路 LATCH1 ~ LATCHn のトランスミッション・ゲート TG は、非導通状態となる。また、リフレッシュ信号 (REFRESH) が1の間、各光信号ラッチ回路 LATCH1 ~ LATCHn のトランジスタ M_1 (図1(a)参照) が導通状態となる。このとき、トランスミッション・ゲート TG は非導通状態であり、フォトダイオード PD には逆バイアス方向に電源電圧 V_{cc} が印加される。これによりフォトダイオード PD が充電されて、入力ノード IN_i ($i = 0 \sim n - 1$) は1レベルにリセットされる。同時に、非反転出力 (CS) は0に、反転出力 (\neg CS) は1にリセットされる。時刻 t_2 でリセット信号 (RESET) 及びリフレッシュ信号 (REFRESH) が0とされる。これにより、トランジスタ M_1 , M_5 が非導通状態となる。

30

40

【0065】

尚、電氣的リセット動作は、すべての光信号ラッチ回路 LATCH1 ~ LATCHn に対して電氣的にリセットを行う場合に実行される。この電氣的リセット動作は、光再構成データアレイにおいては、デバイスの初期化時に必要となる。しかしながら、電源起動時に同期して光信号を照射してチップ内のすべての光信号ラッチ回路に強制的にデータを入力するようなシステム構成とすれば、この電氣的リセット動作は必ずしも必要ではない。従って、かかる場合、リセット用のトランジスタ M_5 は省略することもできる。

【0066】

50

次に、時刻 $t_3 \sim t_4$ の間だけブロック・リフレッシュ信号 (\neg Block REFRESH) を 0 レベルとする。これにより、トランジスタ M_4 が導通状態となり、リフレッシュ・フォトダイオード RPD に逆バイアス方向に電源電圧 V_{cc} が印加される。これにより、リフレッシュ・フォトダイオード RPD に電荷が蓄積される。また、連結ノード GIN の電位は 1 レベル、ゲート信号 GATE は 1 レベル、ゲート信号 \neg GATE は 0 レベルとなる。また、各光信号ラッチ回路 LATCH1 ~ LATCHn のトランスミッション・ゲート TG は、導通状態となる。時刻 t_4 でブロック・リフレッシュ信号 (\neg Block REFRESH) が 1 レベルとされる。

【0067】

次に、時刻 $t_4 \sim t_6$ の間、リフレッシュ・フォトダイオード RPD に対して光信号が入力される。光信号が 1 の場合にはリフレッシュ・フォトダイオード RPD に光照射がされ、光信号が 0 の場合にはリフレッシュ・フォトダイオード RPD には光照射がされないものとする。ここでは、光信号として 1 が入力され、リフレッシュ・フォトダイオード RPD に光照射がされるものとする。リフレッシュ・フォトダイオード RPD に光照射がされると、リフレッシュ・フォトダイオード RPD は放電し、連結ノード GIN の電位は 0 レベル、ゲート信号 GATE は 0 レベル、ゲート信号 \neg GATE は 1 レベルとなる。また、各光信号ラッチ回路 LATCH1 ~ LATCHn のトランスミッション・ゲート TG は、非導通状態となる。これにより、各光信号ラッチ回路 LATCH1 ~ LATCHn の光信号による書き込みが可能となる。

【0068】

次に、時刻 $t_7 \sim t_8$ の間だけ、リフレッシュ信号 (REFRESH) を 1 レベルとする。これにより、反転論理積ゲート NAND の出力は時刻 $t_7 \sim t_8$ の間だけ 0 となり各光信号ラッチ回路 LATCH1 ~ LATCHn のトランジスタ M_1 が導通状態となりフォトダイオード PD が充電される。

【0069】

そして、時刻 $t_7 \sim t_8$ の間、各光信号ラッチ回路 LATCH1 ~ LATCHn のフォトダイオード PD に対して光信号が入力される。これにより、各光信号ラッチ回路 LATCH1 ~ LATCHn の入力ノード IN_i ($i = 0 \sim n - 1$) は光信号に応じたレベルとなる。すなわち、光信号が 1 のときはフォトダイオード PD が放電して 0 レベルとなり、光信号が 0 のときは 1 レベルに保持される。図 5 の例では、光信号として 1 が入力されているため、入力ノード IN_i の電位は 0 レベルとなっている。従って、非反転出力 (CS) は 1 となる。最後に、時刻 t_{10} において、ブロック・リフレッシュ信号 (\neg Block REFRESH) を 0 レベルとする。これにより、トランスミッション・ゲート TG は、導通状態となり、各光信号ラッチ回路 LATCH1 ~ LATCHn のラッチループが導通する。従って、光信号により書き込まれたデータは安定的に保持される。

【0070】

ここで、もし時刻 $t_4 \sim t_6$ でリフレッシュ・フォトダイオード RPD に光照射がされなければ、連結ノード GIN の電位は 1 レベルに保持され、各光信号ラッチ回路 LATCH1 ~ LATCHn のラッチループは導通状態に保たれる。また、反転論理積ゲート NAND の一方の入力端子にはゲート信号 (\neg GATE) として 0 が入力され続けるため、リフレッシュ信号 (REFRESH) が 1 レベルとなっても、反転論理積ゲート NAND の出力は 1 レベルを保ち続ける。従って、各光信号ラッチ回路 LATCH1 ~ LATCHn のフォトダイオード PD はリフレッシュされることはなく、光信号による書き込みもできない状態となる。すなわち、書き込みがマスクされた状態となる。

【0071】

このように、本実施例の光信号ラッチアレイによれば、リフレッシュ・フォトダイオード RPD に対する光信号により、各光信号ラッチ回路 LATCH1 ~ LATCHn の書き込みをマスクしたりマスク解除したりすることができる。故に、書き込みを行いたい回路ブロックの光信号ラッチ回路のみをマスク解除して各光信号ラッチ回路への光信号の書き込みを行うことが可能となる。

10

20

30

40

50

【 0 0 7 2 】

尚、本実施例では光信号ラッチ回路 L A T C H 1 ~ L A T C H n として図 1 (a) の回路を使用した例を説明したが、光信号ラッチ回路 L A T C H 1 ~ L A T C H n としては、図 1 (b) の回路や、図 3 (a) , (b) の回路を使用することもできる。

【 図面の簡単な説明 】

【 0 0 7 3 】

【 図 1 】 本発明の実施例 1 に係る光信号ラッチ回路の回路構成を表す図である。

【 図 2 】 図 1 (a) に示した反転入力型の光信号ラッチ回路の動作を表すタイミングチャートである。

【 図 3 】 本発明の実施例 1 に係る光信号ラッチ回路の他の回路構成を表す図である。 10

【 図 4 】 本発明の実施例 2 に係る光信号ラッチアレイの回路構成を表す図である。

【 図 5 】 図 4 に示した光信号ラッチアレイの動作を表すタイミングチャートである。

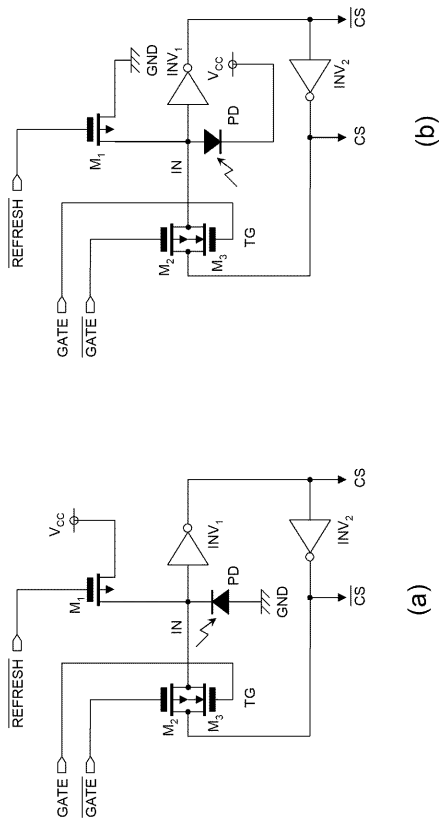
【 図 6 】 従来ラッチ回路を適用することによって構成された光信号ラッチ回路の回路構成を表す図である。

【 符号の説明 】

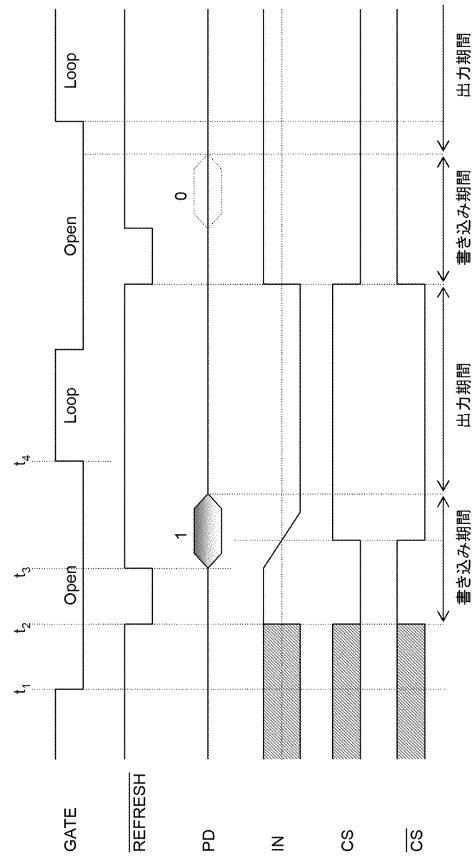
【 0 0 7 4 】

P D フォトダイオード
 R P D リフレッシュ・フォトダイオード
 M ₁ ~ M ₅ スイッチング素子 (トランジスタ)
 T G トランスミッション・ゲート
 I N V ₁ ~ I N V ₄ インバータ
 B U F F バッファ
 I N 入力ノード
 N A N D 反転論理積ゲート
 L A T C H 1 ~ L A T C H n 光信号ラッチ回路
 G O S C ゲート開放信号生成回路

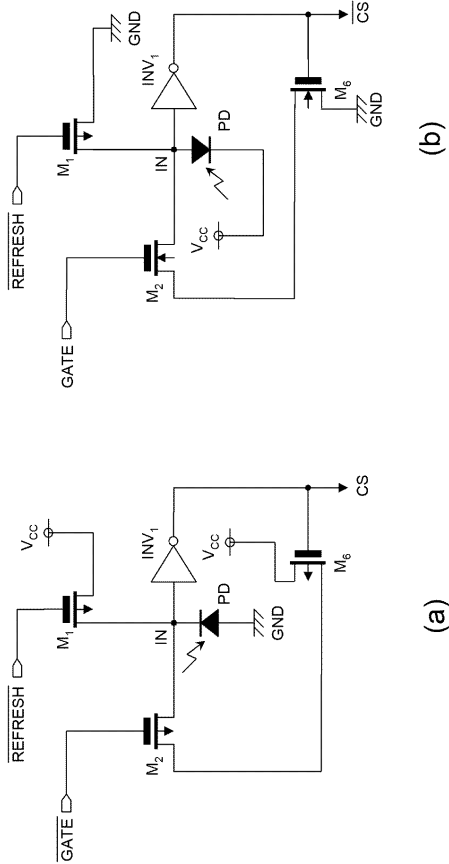
【 図 1 】



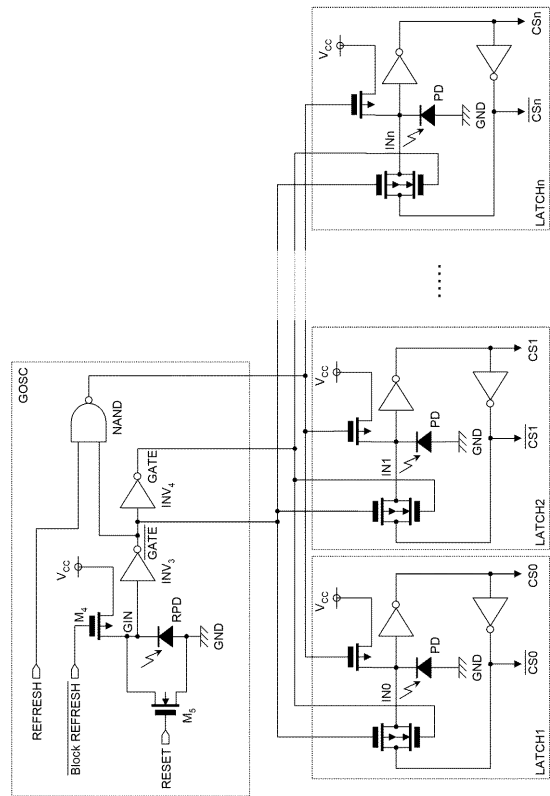
【 図 2 】



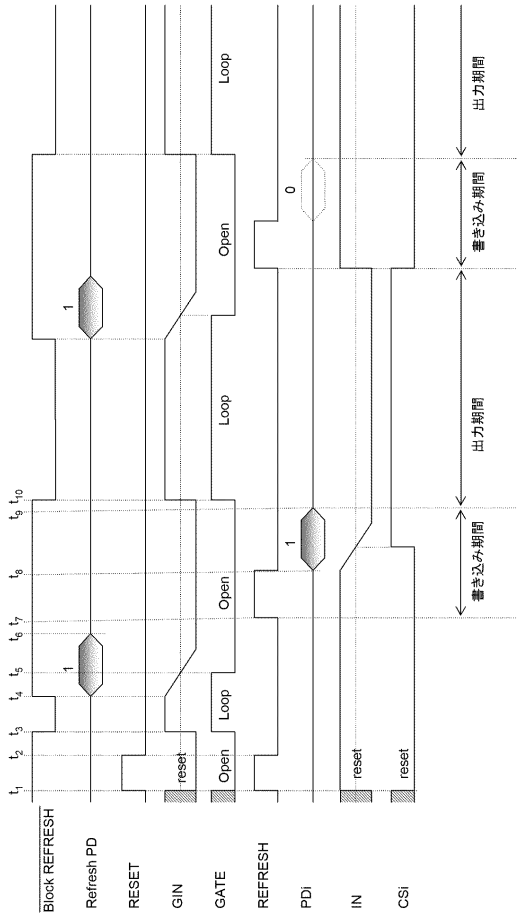
【 図 3 】



【 図 4 】



【 図 5 】



【 図 6 】

