

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-79674

(P2004-79674A)

(43) 公開日 平成16年3月11日(2004.3.11)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/06	HO 1 L 29/06	5 F 1 0 2
B 8 2 B 1/00	B 8 2 B 1/00	5 F 1 1 0
HO 1 L 29/786	HO 1 L 29/80	Z N M A
HO 1 L 29/80	HO 1 L 29/78	6 2 2

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21) 出願番号 特願2002-235840 (P2002-235840)
 (22) 出願日 平成14年8月13日 (2002. 8. 13)

(71) 出願人 301021533
 独立行政法人産業技術総合研究所
 東京都千代田区霞が関1-3-1
 (71) 出願人 396020800
 科学技術振興事業団
 埼玉県川口市本町4丁目1番8号
 (74) 代理人 100082876
 弁理士 平山 一幸
 (74) 代理人 100069958
 弁理士 海津 保三
 (72) 発明者 松川 貴
 茨城県つくば市東1-1-1 独立行政法人産業技術総合研究所つくばセンター内

最終頁に続く

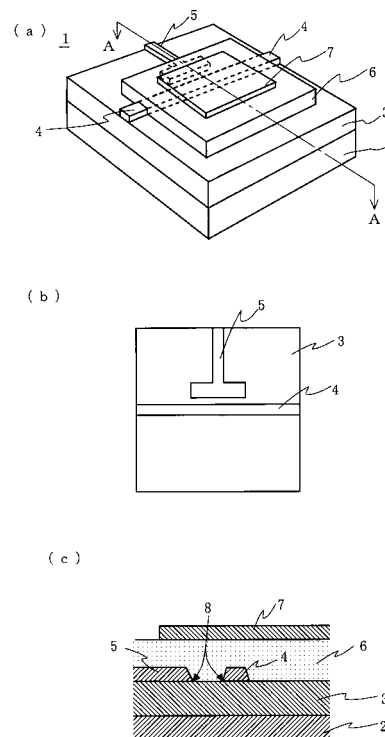
(54) 【発明の名称】 可塑特性細線素子、それを用いた相補型可塑特性細線素子及びそれを用いた共鳴特性素子

(57) 【要約】

【課題】単なるスイッチ機能しか有さない従来の素子に代えて、ナノ領域において発現する物性を利用した高機能素子を提供する。

【解決手段】単位長さ当たりに含まれるドーパントの数が単位長さ当たりの表面準位数以下であるp型またはn型半導体でなる細線4と、細線4の側面に近接して設けたサイドゲート5と、細線4の上部に絶縁膜6を介して配置した読み出しゲート7とで成る。サイドゲート5または読み出しゲート7の電圧により、細線4を流れる電流を独立に制御でき、種々の素子特性を実現できる。p型及びn型可塑特性細線素子を組み合わせさせた相補型可塑特性細線素子は、本素子1個で、共鳴電圧または共鳴幅が任意に選択可能な共鳴特性素子として機能する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

単位長さあたりに含まれるドーパントの数が、単位長さ当たりの表面準位数以下である半導体でなる細線と、この細線の側面に近接して配置されたサイドゲートと、上記細線と上記サイドゲートの上部または下部に絶縁膜を介して配置された読み出しゲートと、からなることを特徴とする、可塑性細線素子。

【請求項 2】

前記細線は p 型または n 型半導体で構成することを特徴とする、請求項 1 に記載の可塑性細線素子。

【請求項 3】

前記細線の側面及び前記サイドゲートの側面のいずれかまたは両方の側面が、曲率半径の小さい角を有することを特徴とする、請求項 1 または 2 に記載の可塑性細線素子。

【請求項 4】

前記細線の表面が、電子を捕獲する絶縁膜で覆われていることを特徴とする、請求項 1 ~ 3 のいずれかに記載の可塑性細線素子。

【請求項 5】

請求項 1 ~ 4 のいずれかに記載の可塑性細線素子において、細線が p 型半導体でなる p 型可塑性細線素子と、細線が n 型半導体でなる n 型可塑性細線素子のそれぞれの細線が互いに並列に接続され、上記 p 型可塑性細線素子の読み出しゲートと上記 n 型可塑性細線素子の読み出しゲートが互いに並列に接続され、

この並列に接続された共通の読み出しゲート、上記 p 型可塑性細線素子のサイドゲート及び上記 n 型可塑性細線素子のサイドゲートを、それぞれ信号の入力端子とし、上記並列に接続された細線を通る電流を制御することを特徴とする、相補型可塑性細線素子。

【請求項 6】

請求項 5 に記載の相補型可塑性細線素子を用い、n 型及び p 型可塑性細線素子のサイドゲートへ、同極性信号電圧を印加して共鳴電圧を制御し、逆極性電圧を印加して共鳴幅を制御することを特徴とする、共鳴型特性素子。

【請求項 7】

請求項 1 ~ 6 のいずれかに記載の素子を用いたことを特徴とする、集積回路。

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

この発明は、パターン認識等の高度な情報処理をつかさどる集積回路の要素素子に関する。

【0002】**【従来の技術】**

従来、LSI（集積回路）の高機能化は、トランジスタのサイズを縮小し、より多数のトランジスタを集積する、すなわち高集積化により果たしてきている。現在、高集積化は、MOS トランジスタの場合、MOS トランジスタのチャンネル長が数十ナノメートルを下まわるナノ領域に突入しようとしている。しかしながら、チャンネル長がこの領域に至ると、所謂短チャンネル効果が顕著になり、トランジスタとして動作しなくなるという動作原理上の限界、すなわち、微細化限界に直面している。また、高集積化に伴うトランジスタ数の増加による、LSI の消費電力の増加も、無視できない課題となっている。

このため、従来の LSI の高機能化は、微細加工技術の進歩に比例して達成されてきたが、現時点で、重大な暗礁に乗り上げ、停滞を見せている。

【0003】

ところで、近年の高機能 LSI には、信号処理技術（Digital Signal Processing）を用いた、各種の認識用 LSI、例えば、パターン認識処理 LSI といったものがある。パターン認識処理 LSI は、ある一定の参照値に対する入力に対してのみ出力値が発生する、いわば、共鳴機能を有する基本ブロックを多数組み合わせる実

10

20

30

40

50

現される。しかしながら、入力の on、off に対して、出力が on, off するという単純なスイッチ機能しか有していないトランジスタを組み合わせで実現しているため、1個の共鳴機能基本ブロックを構成するために極めて多くのトランジスタを必要とし、高機能LSIは必然的に高集積化を必要としている。

【0004】

【発明が解決しようとする課題】

しかしながら、共鳴機能を、1個の素子で実現できれば、すなわち共鳴機能素子を実現できれば、大幅に素子数を減らすことができ、従って、現在、高機能LSIが直面している、微細化限界の課題、消費電力増大の課題を克服できる。

【0005】

上記課題に鑑み本発明は、単なるスイッチ機能しか有さない従来の素子に代えて、ナノ領域において発現する物性を利用した高機能素子を提供し、もって、LSIの飛躍的な高機能化に資することを目的とする。

【0006】

【課題を解決するための手段】

上記課題を解決するために、本発明の可塑性細線素子は、単位長さ当たりに含まれるドーパントの数が単位長さ当たりの表面準位数以下である半導体からなる細線と、細線の側面に近接して設けたサイドゲートと、細線及びサイドゲートの上部または下部に絶縁膜を介して配置された読み出しゲートと、から成ることを特徴とする。

上記構成において、細線は、n型半導体を使用したn型細線でも良く、p型半導体を用いたp型細線でも良い。

【0007】

細線の単位長さ当たりのドーパント数と表面準位数は、それぞれ、細線の単位長さ当たりの体積と表面積に比例するから、細線の断面積を小さくすれば、細線の単位長さ当たりに含まれるドーパントの数を単位長さ当たりの表面準位数以下にすることができる。

【0008】

この構成によれば、細線とサイドゲートの間に印加する電圧によって電子が細線とサイドゲート間をトンネリングし、細線表面の表面準位に捕獲され、細線表面が帯電する。細線表面の帯電によって細線中のキャリア密度が制御される。例えば、細線の表面に電子を供給すれば、細線表面が負に帯電し、細線がn型半導体の場合には伝導電子であるキャリアが減少し、p型半導体の場合には、ホールであるキャリアが増える。逆に、細線の表面準位から電子を取りせば、細線表面が正に帯電し、細線がn型半導体の場合には伝導電子であるキャリアが増加し、p型半導体の場合には、ホールであるキャリアが減少する。細線の単位長さ当たりに含まれるドーパントの数が細線の単位長さ当たりの表面準位数以下であるので、細線全体のキャリア密度を蓄積状態から空乏状態まで制御でき、従って、サイドゲート電圧によって、細線を流れる電流が導通から非導通まで変化するという、サイドゲート電圧・細線トランジスタ特性が得られる。

【0009】

さらに、読み出しゲートへの電圧印加によって、細線中のポテンシャルを変化させることができ、ポテンシャル変化に応じて細線中のキャリア密度が増減するので、読み出しゲートへの電圧印加によっても、細線の導電性が変化する。即ち、読み出しゲート電圧によって細線を流れる電流が変化するという、読み出しゲート電圧・細線トランジスタ特性が得られる。

読み出しゲート電圧・細線トランジスタ特性は、サイドゲート電圧によってシフトすることができる。例えば、細線の表面準位に存在する電子を取り出した場合には、空になった表面準位が正に帯電する。細線中のキャリア密度は正の表面帯電の影響を受け、読み出しゲート電圧・細線トランジスタ特性を負方向にシフトさせる。細線の表面準位に電子を供給した場合には、細線の表面が負に帯電する。細線中のキャリア密度は負の表面帯電の影響を受け、読み出しゲート電圧・細線トランジスタ特性を正方向にシフトさせる。

このように、本発明の素子を用いれば、細線を流れる電流を、サイドゲート、または読み

10

20

30

40

50

出しゲートの電圧で独立に制御できるので、高機能である。

【0010】

さらに本可塑特性細線素子は、上記構造において、細線の側面またはサイドゲートの側面に、または、細線及びサイドゲートの側面の両方に、曲率半径の小さい凸形状の角を有する。この構造により、サイドゲートと細線間に電圧を印加した際、電界集中効果により、細線とサイドゲート間を電子が、より低い電圧でトンネリングし、細線の表面準位から電子を取り出し、または、細線の表面準位に電子を供給・捕獲させることができる。

【0011】

さらに、細線の表面が、電子を捕獲する絶縁膜で覆われている場合には、トンネリングにより供給される電子、または、トンネリングにより取り出される電子は、絶縁膜中のトラップ準位に対して行われ、絶縁膜中のトラップ準位は活性化エネルギーが大きいので、絶縁膜中のトラップ準位に電子がトラップされた状態またはトラップ準位から電子が取り出された状態は、しばらくその状態が保持される。従って、一度、細線とサイドゲートとの間に電圧を印加して、トンネリングにより電子を供給または引き出してやれば、その後、細線とサイドゲートとの間に電圧を印加しなくとも、その状態は維持される。

10

さらにまた、細線表面またはサイドゲート表面、または、細線表面及びサイドゲート表面の限定した部分を適切なトラップ準位密度を持つ絶縁膜で覆うことにより、上記の電子供給および取り出しによる細線の帯電箇所を制御性良く限定させることが可能である。

【0012】

本発明の相補型可塑特性細線素子は、請求項1～4のいずれかに記載の可塑特性細線素子において、細線にp型半導体を用いたp型可塑特性細線素子と、細線にn型半導体を用いたn型可塑特性細線素子とを用い、この両方の細線が互いに並列に接続され、p型可塑特性細線素子の読み出しゲートと、n型可塑特性細線素子の読み出しゲートが互いに並列に接続され、並列に接続された共通の読み出しゲート、p型可塑特性細線素子のサイドゲート及びn型可塑特性細線素子のサイドゲートをそれぞれ信号の入力端子とし、並列に接続された細線を流れる電流を制御することを特徴とする。

20

【0013】

この構成によれば、n型およびp型細線がともに非導通となる読み出しゲート電圧（共鳴電圧と呼ぶ）に対して、n型およびp型細線がともに非導通となる。共鳴電圧以外の読み出しゲート電圧に対しては、n型またはp型細線のどちらかが導通状態となる。従って、並列に接続した細線を流れる電流を検出すれば、読み出しゲートに印加された電圧が共鳴電圧かあるいはそれ以外の電圧であるか識別できる。この機能を用いれば、比較回路として使用できる。

30

従来信号処理技術による比較回路は、単純なスイッチの役割しか果たさないトランジスタを用いて構成するため、極めて多くのトランジスタを必要とする。一方、本発明の相補型可塑特性細線素子を用いれば、1個ですみ、従って、格段に少ない素子数で、各種の比較回路を使用する集積回路、例えば、パターン認識集積回路を構成することが可能である。

【0014】

本発明の共鳴特性素子は、請求項5に記載の相補型特性細線素子を用い、n型及びp型可塑特性細線素子のサイドゲート、すなわち、n型細線のサイドゲート及びp型細線のサイドゲートへ、同極性信号電圧を印加して共鳴電圧を制御し、逆極性電圧を印加して共鳴幅、すなわち共鳴特性の選択性・許容度を制御することを特徴とする。相補型可塑特性細線素子において、サイドゲート入力端子は2種類の機能を果たす。

40

【0015】

第1には、サイドゲートに同極性の適切な電圧を印加することによって、共鳴電圧を任意に設定することができる。すなわち、n型及びp型細線のサイドゲートに対し、同極性の電圧を印加すると、n型及びp型細線の読み出しゲート電圧・細線トランジスタ特性は同じ方向にシフトする。この結果、両細線が同時に非導通となる共鳴電圧の値も同じ方向に変化することになる。すなわち、n型細線及びp型細線のサイドゲートへ同極性信号電圧

50

印加により、共鳴電圧を任意に設定可能である。

【0016】

第2には、サイドゲートに逆極性の適切な電圧を印加することによって、共鳴する電圧範囲を任意に設定することができる。すなわち、n型細線及びp型細線のサイドゲートに対し、逆極性の電圧を印加すると、n型およびp型細線の読み出しゲート電圧・細線トランジスタの特性も、互いに逆方向にシフトする。n型細線の読み出しゲート電圧・トランジスタの特性を負方向、p型細線の読み出しゲート電圧・細線トランジスタの特性を正方向にシフトさせた場合、両細線が同時に非導通となる読み出しゲート電圧の範囲は狭くなる。逆に、n型細線の読み出しゲート電圧・トランジスタの特性を正方向、p型細線の読み出しゲート電圧・細線トランジスタの特性を負方向にシフトさせた場合、両細線が同時に非導通となる読み出しゲート電圧の範囲が広がる。すなわち、逆極性電圧を適切に選択して両サイドゲートに入力することにより、共鳴特性の選択性・許容度を任意に設定可能である。

10

このように、本発明の相補型可塑特性素子を用いた共鳴特性素子は、共鳴特性素子一個で、共鳴電圧、または、共鳴幅を任意に設定可能である。

従来 of 信号処理技術による共鳴電圧値、及び共鳴幅が可変な比較回路は、単純なスイッチの役割しか果たさないトランジスタを用いて構成するため、さらに多くのトランジスタを必要とする。一方、本発明の共鳴特性素子相を用いれば、1個ですみ、従って、格段に少ない素子数で、各種の比較回路を用いる集積回路、例えば、パターン認識集積回路を構成することが可能である。

20

【0017】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実質的に同一の部材には、同一の符号を付して説明する。

初めに、本発明の可塑特性細線素子の実施の形態を説明する。

図1は、本発明の可塑特性細線素子の構成を示す図であり、図1(a)は斜め上方より見た等視図、(b)は上部構造を除いて図示した細線とサイドゲートの位置関係を示す平面図、(c)は(a)のAA要部断面を示す図である。

図に示すように、本発明の可塑特性細線素子1は、基板2と、基板2上に積層した絶縁層3と、絶縁層3上に配設した、細線4と細線4の側壁に近接させて配設したサイドゲート5と、細線4とサイドゲート5の一部を覆って配設した絶縁膜6と、絶縁膜6上に細線4とサイドゲート5の一部を覆って配設した読み出しゲート7とからなる。細線の単位長さ当たりのドーパント数、すなわち、キャリア数は細線の単位長さ当たりの体積に比例し、細線の単位長さ当たりの表面準位数は細線の単位長さ当たりの表面積に比例するから、細線を細くすれば、細線の単位長さあたりに含まれるドーパントの数を細線の単位長さ当たりの表面準位数以下にすることができる。細線4は、細線4の単位長さあたりに含まれるドーパントの数が、単位長さ当たりの表面準位数以下であるn型、またはp型半導体から構成されている。

30

【0018】

サイドゲート5及び読み出しゲート7は導電性を有する媒体であれば良く、金属、または、導電性半導体である。細線4及びサイドゲート5との間隔は、電子がトンネリングし易いように、できるだけ狭く形成する。また、細線4及びサイドゲート5は、その表面に、薄い絶縁膜を有していても良く、また、図1(c)に示すように、互いに向かい合った面に、曲率半径の小さい角8を有していても良い。

40

【0019】

図2は、本発明の可塑特性細線素子の他の構成を示す図であり、図2(a)は斜め上方より見た等視図、図2(b)は図2(a)のA-A線沿いの要部断面を示す図である。図に示すように、本発明の可塑特性細線素子21は、基板2と、基板2上に積層した絶縁層3と、絶縁層3上に配設した読み出しゲート7と、読み出しゲート7の一部を覆って配設した絶縁膜6と、絶縁膜6上に配設した細線4と細線4の側壁に近接させて配設したサイド

50

ゲート 5 とから構成される。

本発明の可塑特性細線素子 2 1 は、図 1 に示した本発明の可塑特性細線素子 1 と比べて、絶縁膜 6 及び読み出しゲート 7 を細線 4 及びサイドゲート 5 の下部に配設したことが異なるが、他の構成は同様である。

【0020】

次に、本可塑特性細線素子の作用を説明する。

図 3 は、本可塑特性細線素子の電氣的接続及び動作を説明する図である。なおこの図においては、説明をわかりやすくするため、絶縁膜 6 を省略し、かつ、読み出しゲート 7 を点線で示し、読み出しゲート 7 が細線 4 及びサイドゲート 5 の上部または下部にある場合の両方を示すものとする。

図 3 において、細線 4 に印加する電圧を V_{sd} 、細線 4 に流れる電流を I_d 、サイドゲート 5 に印加する電圧を V_{sg} 、読み出しゲート 7 に印加する電圧を V_{tg} とする。サイドゲート電圧 V_{sg} を負にすることによって、電子がサイドゲート 5 から細線 4 にトンネリングし、電子が細線 4 の表面の表面準位に供給・捕獲され、または、サイドゲート電圧 V_{sg} を正にすることによって、細線 4 の表面準位から電子が取り出され、細線 4 の表面が負または正に帯電する。細線 4 の表面の帯電量によって細線 4 中のキャリア密度が制御される。例えば、細線 4 の表面に電子を供給すれば、細線 4 の表面が負に帯電し、細線 4 が n 型半導体の場合には伝導電子であるキャリアが減少し、p 型半導体の場合には、ホールであるキャリアが増える。逆に、細線 4 の表面準位から電子を取り出せば、細線 4 の表面が正に帯電し、細線 4 が n 型半導体の場合には伝導電子であるキャリアが増加し、p 型半導体の場合にはホールであるキャリアが減少する。細線 4 の単位長さ当たりに含まれるドーパントの数が細線 4 の単位長さ当たりの表面準位数以下であるので、細線 4 全体のキャリア密度を蓄積状態から空乏状態まで制御でき、従って、サイドゲート電圧 V_{sg} によって、細線 4 を流れる電流 I_d が導通から非導通まで変化する、すなわち、サイドゲート電圧 - 細線電流特性が得られる。

さらに、読み出しゲート 7 への印加電圧 V_{tg} によって、細線 4 中のポテンシャルが変化するので、ポテンシャル変化に応じて細線 4 中のキャリア密度が増減し、読み出しゲート印加電圧 V_{tg} によっても細線 4 を流れる電流が変化する、すなわち、読み出しゲート電圧 - 細線電流特性が得られる。

このように、細線 4 を流れる電流は、サイドゲート電圧 V_{sg} 及び読み出しゲート電圧 V_{tg} によって制御できるので、読み出しゲート電圧 - 細線電流特性をサイドゲート電圧 V_{sg} によってシフトすることができる。

【0021】

図 4 は、p 型可塑特性細線素子の読み出しゲート電圧・細線電流特性の負のサイドゲート電圧 V_{sg} によるシフトを説明する図である。図 4 (a) はサイドゲートに負の V_{sg} を印加した場合の、サイドゲートから細線への電子のトンネリングを模式的に示しており、図 4 (b) は、サイドゲート電圧 V_{sg} が零、及び $V_{sg} < 0$ の場合の、読み出しゲート電圧 - 細線電流特性を示しており、縦軸は I_d 、横軸は V_{tg} を示している。

ここで用いる p 型細線は、室温における導電度が無視できるレベルのドーパント濃度を有するものとする。図 4 (b) の $V_{sg} = 0$ のグラフに示しているように、 $V_{sg} = 0$ の場合には、読み出しゲート電圧 $V_{tg} > 0$ の領域においては、p 型細線のホールが熱平衡状態のホール濃度よりも減少するので、 I_d は零であり、 $V_{tg} < 0$ の領域では、p 型細線中のホール濃度が熱平衡状態のホール濃度よりも V_{tg} の絶対値の大きさに応じて指数関数的に増加するので、 I_d は V_{tg} が負方向に増大するに従って指数関数的に増大する。

【0022】

図 4 (a) に示すように、サイドゲート 5 に負のサイドゲート電圧 V_{sg} を印加した場合には、トンネリングによって電子 9 がサイドゲート 5 から細線 4 の表面に供給される。この細線 4 の表面の負の帯電によって、細線 4 中のホール密度が増加し I_d が増加する。従って、図 4 (b) の矢印で示したように、 $V_{sg} < 0$ の場合には、 $V_{sg} = 0$ の読み出しゲート電圧 - 細線電流特性が正電圧方向へシフトする。

10

20

30

40

50

【0023】

図5は、p型可塑性細線素子の読み出しゲート電圧・細線トランジスタ特性の正のサイドゲート電圧印加によるシフトを説明する図である。図5(a)はサイドゲートに正の V_{sg} を印加した場合の、細線からサイドゲートへの電子のトンネリングを模式的に示しており、図5(b)は、サイドゲート電圧 V_{sg} が零、及び $V_{sg} > 0$ の場合の、読み出しゲート電圧 - 細線電流特性を示しており、縦軸は I_d 、横軸は V_{tg} を示している。

図5(a)に示すように、サイドゲート4に正の V_{sg} を印加した場合には、トンネリングによって電子9が細線4の表面から取り去られ、細線4の表面が正に帯電する。この正の帯電によって、細線4中のホール濃度が減少し、 I_d が減少する。従って、図5(b)の矢印で示すように、 $V_{sg} > 0$ の場合には、 $V_{sg} = 0$ の読み出しゲート電圧 - 細線電流特性が負電圧方向へシフトする。

10

このように、p型可塑性細線素子の読み出しゲート電圧 - 細線電流特性は、読み出しゲート電圧 V_{tg} の負方向の増大に応じて指数関数的に増大する特性を有するが、サイドゲート $V_{sg} < 0$ とすることによって、この特性が正電圧方向にシフトし、サイドゲート $V_{sg} > 0$ とすることによって、この特性が負電圧方向にシフトする。

【0024】

次に、n型可塑性細線素子の読み出しゲート電圧 - 細線電流特性について説明する。

図6は、n型可塑性細線素子の読み出しゲート電圧・細線トランジスタ特性のサイドゲート電圧 V_{sg} によるシフトを説明する図である。図6(a)はサイドゲートに負の V_{sg} を印加した場合の読み出しゲート電圧 - 細線電流特性を示し、図6(b)はサイドゲートに正の V_{sg} を印加した場合の読み出しゲート電圧 - 細線電流特性を示しており、縦軸は I_d 、横軸は V_{tg} を示している。なお、サイドゲート電圧 V_{sg} の正負による電子のトンネリング作用は図4、図5と同様であるので説明を省略する。

20

ここで用いるn型細線は、室温における導電度が無視できるレベルのドーパント濃度を有するものとする。図6(a)及び(b)の $V_{sg} = 0$ のグラフに示しているように、読み出しゲート電圧 $V_{tg} > 0$ の領域においては、n型細線の電子濃度が熱平衡状態の電子濃度よりも増大するので、 I_d は V_{tg} が増大するに従って指数関数的に増大する。 $V_{tg} < 0$ の領域では、n型細線中の電子濃度が熱平衡状態の電子濃度よりも減少するので零である。このように、n型細線の場合の I_d は、 V_{tg} の正方向の増大に応じて指数関数的に増加する。

30

【0025】

図6(a)に示すように、負のサイドゲート電圧 V_{sg} を印加した場合には、n型細線表面の負の帯電によって、n型細線中の電子濃度が減少し、 I_d が減少する。従って、右方向の矢印で示したように、 $V_{sg} < 0$ の場合には、 $V_{sg} = 0$ の読み出しゲート電圧 - 細線電流特性が正電圧方向へシフトする。

図6(b)に示すように、正のサイドゲート電圧 V_{sg} を印加した場合には、n型細線表面の正の帯電によって、n型細線中の電子濃度が増加し、 I_d が増加する。従って、左方向の矢印で示したように、 $V_{sg} > 0$ の場合には、 $V_{sg} = 0$ の読み出しゲート電圧 - 細線電流特性が負電圧方向へシフトする。

このように、本発明の素子を用いれば、サイドゲートまたは読み出しゲート電圧により細線を流れる電流を制御でき、所望の読み出しゲート電圧 - 細線電流特性を実現することができる。

40

【0026】

また、本可塑性細線素子は、図1の(c)に示したように、細線4またはサイドゲート5の端面に、または細線4及びサイドゲート5の端面の両方に、曲率半径の小さい角8、すなわち、鋭い角度の凸形状の角8を有する。この構造により、細線4とサイドゲート5との間に電圧を印加した際、電界集中効果により、細線4とサイドゲート5間を電子がより低い電圧でトンネリングし、細線4の表面準位から電子を取り出し、または、細線4の表面準位に電子を供給することができる。

【0027】

50

次に、本発明の可塑性細線素子の他の実施の形態である、細線表面に絶縁膜を有する構成について説明する。この実施の形態は、図1に示した本発明の可塑性細線素子1、及び図2に示した本発明の可塑性細線素子21の細線及びサイドゲート表面に酸化膜を設けた構成である。

図7は、本発明の可塑性細線素子の細線及びサイドゲート表面に絶縁膜を設けた構成を示す図であり、図7(a)は本発明の可塑性細線素子1の細線及びサイドゲート表面に絶縁膜を設けた構成を示す要部断面図、図7(b)は本発明の可塑性細線素子21の細線及びサイドゲート表面に絶縁膜を設けた構成を示す要部断面図である。

本素子においては、図に示すように、細線4の表面が電子を捕獲する絶縁膜10で覆われている。絶縁膜10は、例えば、ナノメートル・オーダーの厚さの SiO_2 、 Si_3N_4 でも良い。この構成によれば、トンネリングにより供給される電子、または、トンネリングにより取り出される電子は、絶縁膜10中のトラップ準位に対して行われ、絶縁膜10中のトラップ準位は活性化エネルギーが大きいので、絶縁膜10中のトラップ準位に電子がトラップされて負に帯電した状態またはトラップ準位から電子が取り出されて正に帯電した状態は、しばらくその状態が保持される。従って、一度、細線4とサイドゲート5との間に電圧を印加して、トンネリングにより電子を供給または取り出してやれば、その後、細線4とサイドゲート5との間に電圧を印加しなくとも、その状態は維持される。すなわち、可塑性を示すのでメモリー機能を有している。なお、図においては、サイドゲート5の表面も絶縁膜10で覆われている場合を示しているが、細線4表面のみでも、細線4とサイドゲート5の両方の表面が覆われていても良い。

さらにまた、細線4の表面またはサイドゲート5の表面、または、細線4の表面及びサイドゲート5の表面の限定した部分を適切なトラップ準位密度を持つ絶縁膜で覆うことにより、上記の電子供給および取り出しによる細線の帯電箇所を制御性良く限定し、他の機能を付加することも可能である。

【0028】

次に、本発明の相補型可塑性細線素子の実施の形態を説明する。

図8は、本発明の相補型可塑性細線素子の構成を示す図であり、図8(a)は斜視図で、図8(b)は読み出しゲート7及び絶縁膜6を取り除いて示した平面図、図8(c)は図8(a)の一点鎖線部分の要部断面図である。

本相補型可塑性細線素子31は、図1に示した構成の可塑性細線素子1において、細線にp型半導体を用いたp型可塑性細線素子11と、細線にn型半導体を用いたn型可塑性細線素子12とを絶縁層3上に並列に配置し、p型可塑性細線素子11とn型可塑性細線素子12上に絶縁膜6を配設し、絶縁膜6上に読み出しゲート7を配設して構成する。下記に説明するように、細線11a, 12aを互いに並列に接続して用いる。なお、作用を説明しやすくするため、電極パッドを設けた構成を示しているが、勿論、本素子をLSIの基本素子として使用する場合には、パッドは必要無い。この素子の構成は読み出しゲートを細線及びサイドゲートの上部に配置した構成である。

【0029】

次に、読み出しゲートを、細線及びサイドゲートの下部に配設した相補型可塑性細線素子の実施の形態を説明する。

図9は本発明の相補型可塑性細線素子の他の構成を示す図で、図9(a)は透過斜視図、図9(b)は図9(a)の一点鎖線部分の要部断面図である。本素子41は、絶縁層3上に読み出しゲート7を配設し、読み出しゲート7上に絶縁膜6を配設し、絶縁膜6上に、細線にp型半導体を用いたp型可塑性細線素子11と、細線にn型半導体を用いたn型可塑性細線素子12とを並列に配設して構成する。下記に説明するように、細線11a, 12aを互いに並列に接続して用いる。なお、作用を説明しやすくするため、電極パッドを設けた構成を示しているが、勿論、本素子をLSIの基本素子として使用する場合には、パッドは必要無い。この素子は、図7の素子と比べると、読み出しゲートを細線及びサイドゲートの上部に配置した点が異なり他は同様である。

【0030】

10

20

30

40

50

次に、本素子の作用を説明する。

図10は、本発明の相補型可塑特性細線素子の電氣的接続及び動作を説明する図である。本素子について、図8及び図9にて2つの構成を示したが、動作原理は同じであるので、同一の図10を用いて説明する。

図に示すように、細線にp型半導体を用いたp型可塑特性細線素子11の細線11aと、細線にn型半導体を用いたn型可塑特性細線素子12の細線12aの一端同士を電氣的に接続して電源 V_{sd} に抵抗を介して接続する。また、細線11a及び12aの他端同士を電氣的に接続して接地する。この並列接続した細線を流れる電流を I_d とする。細線にp型半導体を用いたp型可塑特性細線素子11のサイドゲート11b、及び細線にn型半導体を用いたn型可塑特性細線素子12のサイドゲート12bは、それぞれ、入力電圧 V_{sgp} 、 V_{sgn} を有する独立の入力端子として用いる。読み出しゲート7は、点線で示し、図8及び図9の素子の両方に対応するものとする。本素子の出力電圧 V_{out} は、図に示すように、電源 V_{sd} と細線の間接続した抵抗の細線側の電圧である。

10

【0031】

図11は、本発明の相補型可塑特性細線素子の動作特性を示す図であり、図11(a)の縦軸は並列に接続した細線を流れる電流 I_d を示し、横軸は共通の読み出しゲート電圧 V_{tg} を示し、 $I_d - V_{tg}$ 特性を示している。図11(b)の縦軸は出力電圧 V_{out} を示し、横軸は読み出しゲート電圧 V_{tg} を示し、 $V_{out} - V_{tg}$ 特性を示している。

p型およびn型細線11a, 12aがともに室温でその伝導度が無視できるレベルのドーパント濃度を有するものとする。 $V_{tg} = 0$ においては、図4、図5及び図6で説明したように、本発明の細線11a, 12aが共に非道通であるので、図11(a)に示すように I_d は零である。また、 $V_{tg} < 0$ の領域では、図4、図5及び図6で説明したように、 V_{tg} の負方向への増大に応じて、p型細線11aを流れる I_d が指数関数的に増大するが、n型細線12aには I_d が流れない。また、 $V_{tg} > 0$ の領域では、図4、図5及び図6で説明したように、 V_{tg} の正方向への増大に応じて、n型細線12aを流れる I_d が指数関数的に増大するが、p型細線11aには I_d が流れない。従って、本素子の、 $I_d - V_{tg}$ 特性は、図11(a)に示すように、 $V_{tg} = 0$ を中心として、 V_{tg} の正方向及び負方向への増大に対応して I_d が指数関数的に増大する特性を示す。このような $I_d - V_{tg}$ 特性を有するので、 $V_{out} - V_{tg}$ 特性は、図11(b)に示すように、 $V_{tg} = 0$ で V_{out} が共鳴的に大きく、 $V_{tg} = 0$ を中心として左右対称に減衰する特性を示す。

20

30

【0032】

このように、本発明の相補型可塑特性細線素子を用いれば、読み出しゲート電圧が0Voltのときに、共鳴的に大きな出力電圧 V_{out} が得られる。従って、本素子は、読み出しゲート電圧 V_{tg} を入力値とし、比較値を0Voltとした比較回路として使用することができる。

従来信号処理技術による比較回路は、単純なスイッチの役割しか果たさないトランジスタを用いて構成するため、極めて多くのトランジスタを必要とする。一方、本発明の相補型可塑特性細線素子を用いれば、1個ですみ、従って、格段に少ない素子数で、各種の比較回路を使用する集積回路、例えば、パターン認識集積回路を構成することが可能である。

40

【0033】

次に、本発明の共鳴特性素子の実施の形態を説明する。

本共鳴素子は、図8または図9に示した相補型可塑特性細線素子の2つのサイドゲートに印加する電圧により、共鳴電圧、共鳴幅(共鳴の選択性)が任意に設定可能な共鳴素子である。

図12は、本共鳴素子の共鳴電圧選択の動作原理を示す図であり、図12(a)は相補型可塑特性細線素子31または41の2つのサイドゲート11b, 12bに負の同極性の電圧を印加した場合の $I_d - V_{tg}$ 特性を示し、図12(b)は相補型可塑特性細線素子31または41の2つのサイドゲート11b, 12bに正の同極性の電圧を印加した場合の

50

$I_d - V_{tg}$ 特性を示し、縦軸は I_d 、横軸は V_{tg} を示している。図 12 (c) は、図 12 (a) 及び (b) の状態における $V_{out} - V_{tg}$ 特性を示し、縦軸は出力電圧 V_{out} 、横軸は共通の読み出しゲート電圧 V_{tg} を示す。

【0034】

図 4、図 5 及び図 6 で説明したように、p 型及び n 型可塑特性細線素子 11, 12 のサイドゲート 11b, 12b に同極性の電圧を印加すると、p 型及び n 型可塑特性細線素子 11, 12 の読み出しゲート電圧 - 細線電流特性、すなわち、 $I_d - V_{tg}$ 特性は同じ方向にシフトする。図 12 (a) において、点線のグラフは、サイドゲート 11b, 12b に印加する電圧 V_{sg} が 0 の場合の $I_d - V_{tg}$ 特性を示し、実線のグラフは負の同極性のサイドゲート電圧 ($V_{sg} < 0$) を印加した場合の $I_d - V_{tg}$ 特性を示している。矢印で示したように、p 型及び n 型可塑特性細線素子 11, 12 の $I_d - V_{tg}$ 特性は、 V_{sg} の絶対値の大きさに応じて、 V_{tg} の正方向に向かって同じだけシフトする (ただし、n 型及び p 型細線のドーパント量がほぼ等しいとする)。 $V_{sg} > 0$ を印加した場合には、図 12 (b) に示したように、n 型及び p 型可塑特性細線素子 11, 12 の $I_d - V_{tg}$ 特性は、 V_{sg} の絶対値の大きさに応じて、 V_{tg} の負方向に向かって同じだけシフトする。従って、図 12 (c) において黒矢印で示すように、負の同極性 V_{sg} を印加した場合には、 $V_{out} - V_{tg}$ 特性は V_{tg} の正方向にシフトし、白矢印で示すように、正の同極性 V_{sg} を印加した場合には、 $V_{out} - V_{tg}$ 特性は V_{tg} の負方向にシフトする。

10

このように、 I_d が 0 になる V_{tg} 、すなわち、共鳴電圧を同極性のサイドゲート電圧 V_{sg} によって任意に設定できる。

20

【0035】

図 13 は、本発明の共鳴素子の共鳴幅の選択の動作原理を示すもので、図 13 (a) は、相補型可塑特性細線素子の 2 つのサイドゲートに互いに逆極性の電圧を印加した場合の $I_d - V_{tg}$ 特性図で、縦軸は I_d 、横軸は V_{tg} を示している。図 13 (b) は出力電圧 $V_{out} - V_{tg}$ 特性図で、縦軸は V_{out} を示し、横軸はゲート電圧 V_{tg} を示す。

図 4、図 5 及び図 6 で説明したように、p 型及び n 型可塑特性細線素子 11, 12 のサイドゲート 11b, 12b に互いに逆極性の電圧を印加すると、n 型及び p 型可塑特性細線素子 11, 12 の読み出しゲート電圧・細線トランジスタ特性、すなわち、 $I_d - V_{tg}$ 特性は互いに逆方向にシフトする。図 13 (a) において、点線のグラフは、両サイドゲートに印加する電圧が 0 の場合の $I_d - V_{tg}$ 特性を示し、実線のグラフは、負のサイドゲート電圧 ($V_{sgp} < 0$) を p 型可塑特性細線素子 11 のサイドゲート 11b に印加し、正のサイドゲート電圧 ($V_{sgn} > 0$) を n 型可塑特性細線素子 12 のサイドゲート 12b に印加した場合の $I_d - V_{tg}$ 特性を示している。矢印で示したように、p 型可塑特性細線素子 11 の $I_d - V_{tg}$ 特性は V_{tg} の正方向にシフトし、n 型可塑特性細線素子 12 の $I_d - V_{tg}$ 特性は V_{tg} の負方向にシフトするので、 $V_{tg} = 0$ を中心とした $I_d - V_{tg}$ 特性の半値幅が狭まる。従って、図 13 (b) に示すように、 $V_{out} - V_{tg}$ 特性の半値幅、すなわち、共鳴幅が狭まる。

30

このように、p 型及び n 型可塑特性細線素子のサイドゲートに、逆極性の V_{sg} を印加することによって、任意に共鳴幅を選択することができる。

40

【0036】

このように、本発明の相補型可塑特性素子を用いた共鳴特性素子は、本素子一個で、共鳴電圧、または、共鳴の選択性 (共鳴幅) を任意に設定可能である。

従来の信号処理技術による共鳴電圧値、及び共鳴幅が可変な比較回路は、単純なスイッチの役割しか果たさないトランジスタを用いて構成するため、さらに多くのトランジスタを必要とする。一方、本発明の共鳴特性素子を用いれば、1 個ですみ、従って、格段に少ない素子数で、各種の比較回路を用いる集積回路、例えば、パターン認識集積回路を構成することが可能である。

【0037】

なお、本発明の素子は、周知の材料、例えば、Si 半導体を用いて形成することができる

50

。また、周知の半導体プロセス技術、例えば、半導体エピタキシャル成長技術、フォトリソグラフ、電子線リソグラフで製造可能である。

【0038】

【発明の効果】

上記説明から理解されるように、本発明の可塑性細線素子は細線を通る電流をサイドゲート及び読み出しゲートで独立に制御でき、また、メモリー機能を有するので、従来極めて多くのトランジスタを必要とした機能を、本素子1個で実現することができる。また、本素子は微細であるので高集積LSIの基本素子として最適である。

また、本発明の相補型可塑性細線素子は、素子1個で比較回路機能を実現できる。また、本発明の共鳴特性素子は、素子1個で比較回路機能を実現でき、かつ、共鳴電圧、また

10

は、共鳴幅を任意に選択することができる。

これらの機能素子は、LSIの飛躍的な高機能化に資することができる。

【図面の簡単な説明】

【図1】本発明の可塑性細線素子の構成を示す図であり、(a)は斜め上方より見た等視図、(b)は上部構造を除いて図示した細線とサイドゲートの位置関係を示す平面図、(c)は(a)のA-A線要部断面を示す図である。

【図2】本発明の可塑性細線素子の他の構成を示す図であり、(a)は斜め上方より見た等視図、(b)は(a)のA-A線要部断面を示す図である。

【図3】本素子の電氣的接続及び動作を説明する図である。

【図4】p型可塑性細線素子の読み出しゲート電圧・細線電流特性の負のサイドゲート電圧 V_{sg} によるシフトを説明する図であり、(a)はサイドゲートに負の V_{sg} を印加した場合の、サイドゲートから細線への電子のトンネリングを模式的に示しており、(b)は、サイドゲート電圧 V_{sg} が零、及び $V_{sg} < 0$ の場合の、読み出しゲート電圧・細線電流特性を示すもので、縦軸は I_d 、横軸は V_{tg} を示している。

20

【図5】p型可塑性細線素子の読み出しゲート電圧・細線トランジスタ特性の正のサイドゲート電圧印加によるシフトを説明する図であり、(a)はサイドゲートに正の V_{sg} を印加した場合の、細線からサイドゲートへの電子のトンネリングを模式的に示しており、(b)は、サイドゲート電圧 V_{sg} が零、及び $V_{sg} > 0$ の場合の、読み出しゲート電圧・細線電流特性を示すもので、縦軸は I_d 、横軸は V_{tg} を示している。

【図6】n型可塑性細線素子の読み出しゲート電圧・細線トランジスタ特性のサイドゲート電圧 V_{sg} によるシフトを説明するもので、(a)はサイドゲートに負の V_{sg} を印加した場合の読み出しゲート電圧・細線電流特性を示し、(b)はサイドゲートに正の V_{sg} を印加した場合の読み出しゲート電圧・細線電流特性を示すもので、縦軸は I_d 、横軸は V_{tg} を示している。

30

【図7】本発明の可塑性細線素子の細線及びサイドゲート表面に絶縁膜を設けた構成を示すもので、(a)は本発明の可塑性細線素子の細線及びサイドゲート表面に絶縁膜を設けた構成を示す要部断面図、(b)は本発明の可塑性細線素子の細線及びサイドゲート表面に絶縁膜を設けた構成を示す要部断面図である。

【図8】本発明の相補型可塑性細線素子の構成を示すもので、(a)は斜視図、(b)は読み出しゲート7及び絶縁膜6を取り除いて示した平面図、(c)は(a)の一点鎖線部分の要部断面図である。

40

【図9】本発明の相補型可塑性細線素子の他の構成を示すもので、(a)は透過斜視図、(b)は(a)の一点鎖線部分の要部断面図である。

【図10】本発明の相補型可塑性細線素子の電氣的接続及び動作を説明する図である。

【図11】本発明の相補型可塑性細線素子の動作特性を示すもので、(a)の縦軸は並列に接続した細線を通る電流 I_d を示し、横軸は共通の読み出しゲート電圧 V_{tg} を示し、 $I_d - V_{tg}$ 特性を示している。また、(b)の縦軸は出力電圧 V_{out} を示し、横軸は読み出しゲート電圧 V_{tg} を示し、 $V_{out} - V_{tg}$ 特性を示している。

【図12】本共鳴素子の共鳴電圧選択の動作原理を示すもので、(a)は相補型可塑性細線素子31または41の2つのサイドゲート11b, 12bに負の同極性の電圧を印加

50

した場合の $I_d - V_{tg}$ 特性を示し、(b) は相補型可塑特性細線素子 3 1 または 4 1 の 2 つのサイドゲート 1 1 b, 1 2 b に正の同極性の電圧を印加した場合の $I_d - V_{tg}$ 特性を示し、縦軸は I_d 、横軸は V_{tg} を示している。(c) は、(a) 及び (b) の状態における $V_{out} - V_{tg}$ 特性を示し、縦軸は出力電圧 V_{out} 、横軸は共通の読み出しゲート電圧 V_{tg} を示す。

【図 1 3】本発明の共鳴素子の共鳴幅の選択の動作原理を示すもので、(a) は、相補型可塑特性細線素子の 2 つのサイドゲートに互いに逆極性の電圧を印加した場合の $I_d - V_{tg}$ 特性を示し、縦軸は I_d 、横軸は V_{tg} を示しており、(b) は出力電圧 $V_{out} - V_{tg}$ 特性を示し、縦軸は V_{out} を示し、横軸はゲート電圧 V_{tg} を示している。

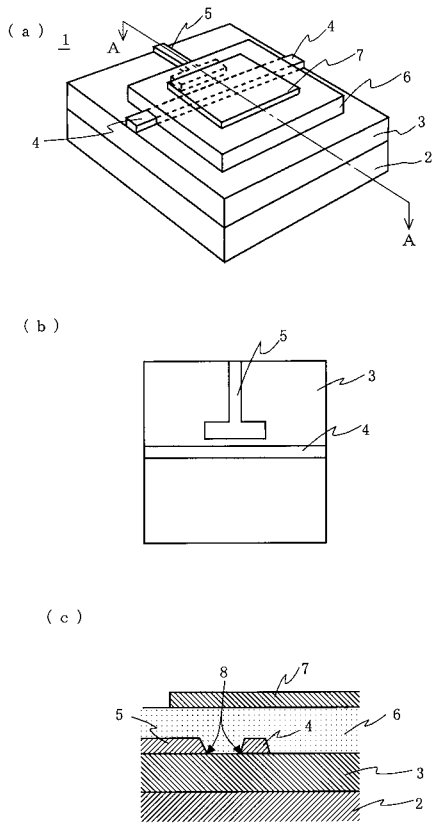
【符号の説明】

10

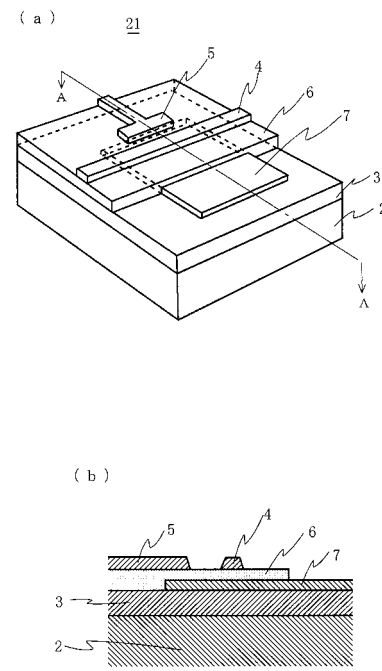
- 1 可塑特性細線素子
- 2 基板
- 3 絶縁層
- 4 細線
- 5 サイドゲート
- 6 絶縁膜
- 7 読み出しゲート
- 8 曲率の小さい角
- 9 電子
- 1 0 絶縁膜
- 1 1 p 型可塑特性細線素子
- 1 1 a p 型可塑特性細線素子の細線、p 型細線
- 1 1 b p 型可塑特性細線素子のサイドゲート
- 1 2 n 型可塑特性細線素子
- 1 2 a n 型可塑特性細線素子の細線、n 型細線
- 1 2 b n 型可塑特性細線素子のサイドゲート
- 2 1 可塑特性細線素子
- 3 1 相補型可塑特性細線素子
- 4 1 相補型可塑特性細線素子

20

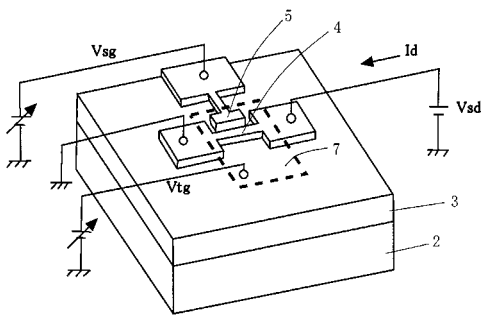
【 図 1 】



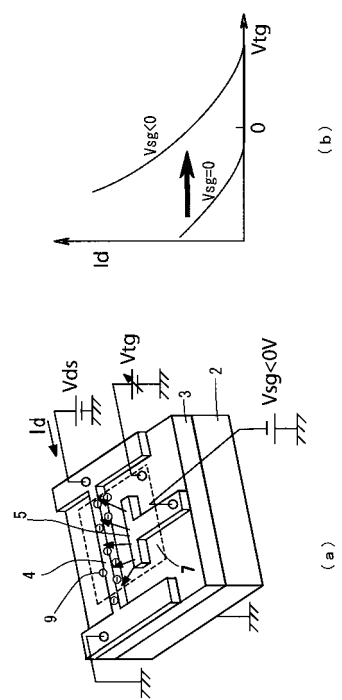
【 図 2 】



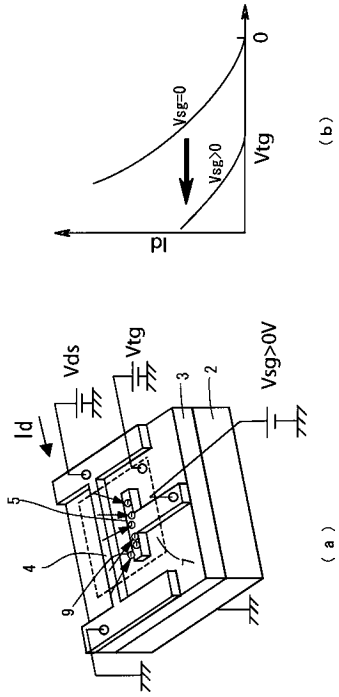
【 図 3 】



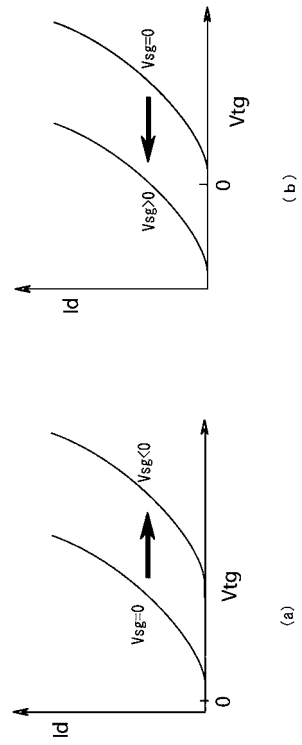
【 図 4 】



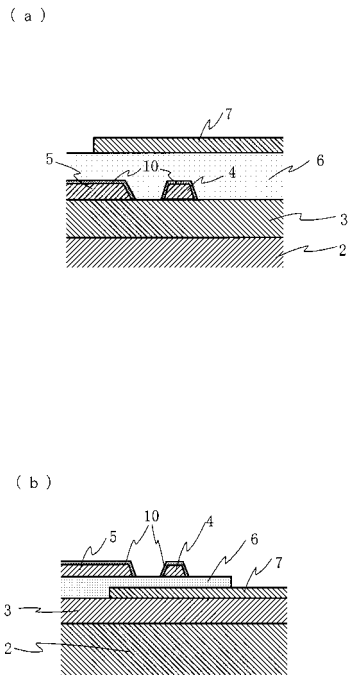
【 図 5 】



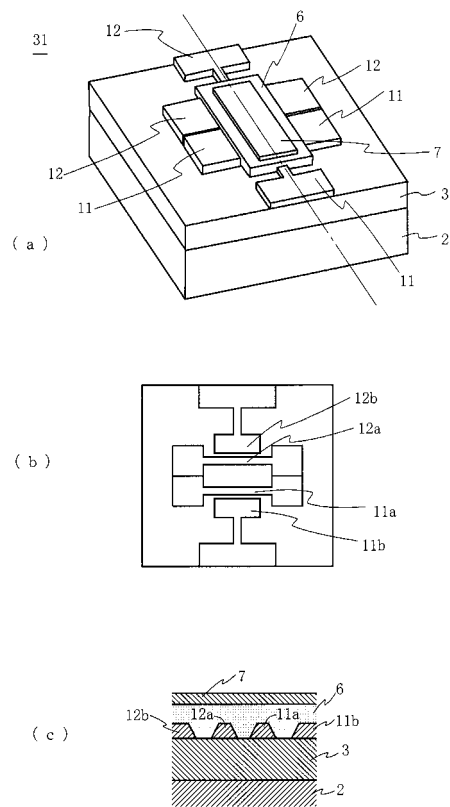
【 図 6 】



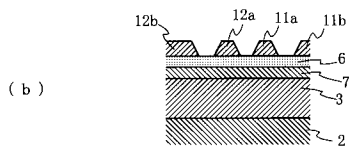
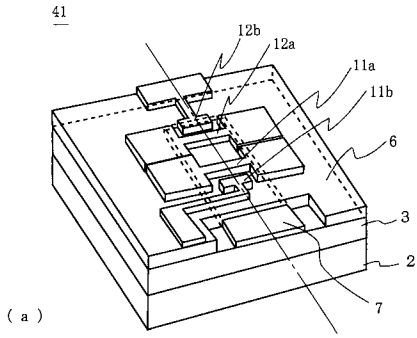
【 図 7 】



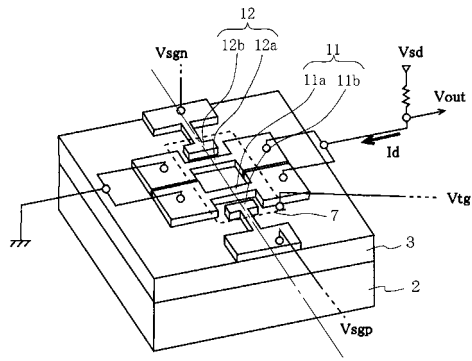
【 図 8 】



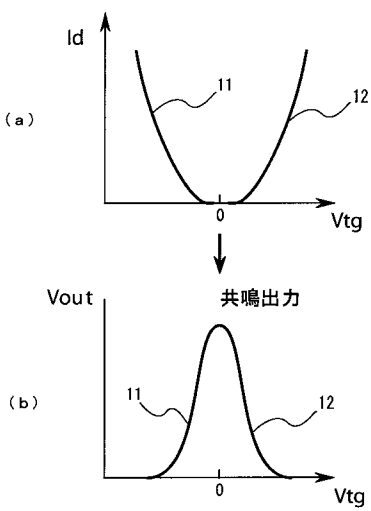
【 図 9 】



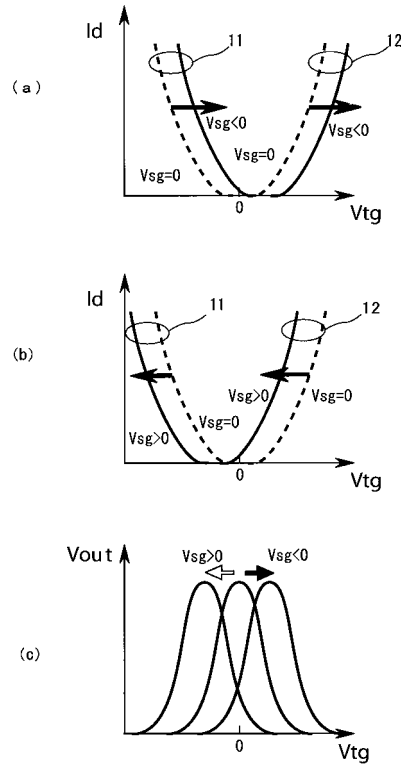
【 図 10 】



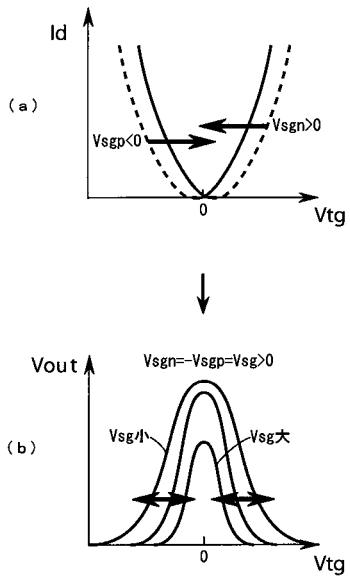
【 図 11 】



【 図 12 】



【 図 1 3 】



フロントページの続き

(72)発明者 金丸 正剛

茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

(72)発明者 昌原 明植

茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

(72)発明者 伊藤 順司

茨城県つくば市東 1 - 1 - 1 独立行政法人産業技術総合研究所つくばセンター内

F ターム(参考) 5F102 FB05 FB10

5F110 AA04 AA09 BB04 BB13 BB20 CC10 EE27 FF02 FF03 FF09

FF10 GG02 GG42