

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3845734号

(P3845734)

(45) 発行日 平成18年11月15日(2006.11.15)

(24) 登録日 平成18年9月1日(2006.9.1)

(51) Int. Cl.	F I
G 1 1 C 11/41 (2006.01)	G 1 1 C 11/34 W
G 1 1 C 11/412 (2006.01)	G 1 1 C 11/40 3 0 1
G 1 1 C 13/00 (2006.01)	G 1 1 C 13/00 A

請求項の数 5 (全 11 頁)

(21) 出願番号	特願2004-331688 (P2004-331688)	(73) 特許権者	504160781
(22) 出願日	平成16年11月16日(2004.11.16)		国立大学法人金沢大学
(65) 公開番号	特開2006-146983 (P2006-146983A)		石川県金沢市角間町ヌ7番地
(43) 公開日	平成18年6月8日(2006.6.8)	(74) 代理人	100105371
審査請求日	平成18年4月28日(2006.4.28)		弁理士 加古 進
早期審査対象出願		(72) 発明者	北川 章夫
			石川県金沢市角間町ヌ7番地 金沢大学内
		(72) 発明者	高田 雅史
			石川県金沢市角間町ヌ7番地 金沢大学内
		(72) 発明者	中山 和也
			石川県金沢市角間町ヌ7番地 金沢大学内
		審査官	加藤 俊哉
			最終頁に続く

(54) 【発明の名称】 不揮発性メモリ

(57) 【特許請求の範囲】

【請求項1】

抵抗変化により不揮発性記憶を行う抵抗変化メモリ素子を用いた不揮発性メモリであって、

第1の能動素子と第2の能動素子との入出力を互に接続したSRAM回路部と、
前記第1,第2の能動素子のそれぞれと、電源との間に直列に接続した第1,第2の抵抗変化メモリ素子と、

前記第2の能動素子と前記第2の抵抗変化メモリ素子との接続点とストア線との間に接続されたスイッチング素子であって、該スイッチング素子のスイッチングを制御する入力は、前記第1の能動素子の出力に接続されており、

前記スイッチング素子により、前記不揮発性メモリの電源をオフする直前に、前記SRAM回路部の記憶内容を、前記スイッチング素子から前記第2の抵抗変化メモリ素子に電流を流して抵抗変化を起こして記憶させ、前記不揮発性メモリの電源をオンしたとき、前記第2の抵抗変化メモリ素子の記憶内容を前記SRAM回路部に移し、

前記SRAM回路部に記憶データの書き込み、読み出しを行うことを特徴とする不揮発性メモリ。

【請求項2】

請求項1に記載の不揮発性メモリにおいて、

前記第1の抵抗変化メモリ素子は、前記第2の抵抗変化メモリ素子の記憶内容による抵抗値変化の中間値の抵抗値に設定されていることを特徴とする不揮発性メモリ。

10

20

【請求項3】

請求項2に記載の不揮発性メモリにおいて、

前記第2の抵抗変化メモリ素子は、前記電源をオンしたときに前記第2の抵抗変化メモリ素子の記憶内容を前記SRAM回路部に移した後、前記スイッチング素子を介して流す電流により、低抵抗値とされることを特徴とする不揮発性メモリ。

【請求項4】

請求項1～3に記載の不揮発性メモリにおいて、

前記第1,第2の抵抗変化メモリ素子は、相変化メモリであることを特徴とする不揮発性メモリ。

【請求項5】

請求項1～4に記載の不揮発性メモリにおいて、

前記SRAM回路部をCMOSで構成し、前記スイッチング素子をMOSトランジスタで構成することを特徴とする不揮発性メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電源を切っても記憶内容が失われない、相変化メモリなどの抵抗変化を起こすメモリ素子を用いた不揮発性メモリに関するものである。

【背景技術】

【0002】

CMOS製造技術が発達し、製造プロセスの微細化により、1チップにより多くのトランジスタが集積可能となってきている。これにより、既存システムと同様の構成を、以前に比べ、高性能・コンパクトにチップ上に収めることができるようになってきている。そして、チップ上の空いた部分に新しい回路を載せることで、さらに複雑な処理も行うことが可能となっている。しかし、実際は、機能を担うロジック部では、開発期間等の要因を含め、大幅な改良を行なったとしても、面積的には大幅に変化することはない。そこで、最も手軽にシステムの性能を上げるためには、空いた面積に大容量なメモリを搭載することが多い。最近、ロジック部とメモリ部の面積の割合は、メモリ部が70%程度にもなっている。今後、メモリ部の割合が増えることが予想される。しかし、この微細化は、性能の向上と同時に、トランジスタがオフの場合でも電流が漏れてしまう、リーク電流の増加を招いている。このため、動作を行っていない場合でも大きい消費電力を必要としてしまう。これは、回路規模が大きくなるほど顕著となる。

【0003】

そのため、不揮発性メモリの導入が考えられている。不揮発性メモリは、動作を行っていないときの保持電力が必要ないものである。これにより、動作を行っていないときには、メモリの消費電力をなくすことができる。電源を落としても状態を保持するためには、電源を落とすときに、メモリの内容を記憶状態が保持できるものに移す必要がある。これまでは、例えば強誘電体メモリを用いたものがある(非特許文献1参照)。しかしながら、この強誘電体には、CMOSによるメモリ製造技術との親和性が低く特別の製造ラインが必要である。

このため、CMOSによるメモリ製造技術との整合性が高い、抵抗変化による不揮発性のメモリ素子である相変化メモリ等を用いた不揮発性メモリが待たれていた。

【0004】

相変化メモリについて、図1,図2を用いて説明する。

図1に示すように、相変化メモリとは、結晶状態(低抵抗)と非晶質(アモルファス)状態(高抵抗)との間や結晶状態間,非晶質状態間で変化(相変化)する物質(例えば、カルコゲナイド半導体)を用いて、その変化した状態により抵抗値が変化して、記憶するメモリのことである。この変化は、この物質に例えば電流を流し、発熱等を電流により制御することでできる。非晶質状態から結晶状態とするときは、融点より低い結晶化温度となってから一定時間(結晶化するための時間)その温度を保つような電流を流し、結晶状

10

20

30

40

50

態から非晶質状態とするときは融点以上に熱して急冷するような電流を流すことで、相変化を起こすことができる。この2つの電流をそれぞれイニシャライズ電流、ストア電流と定義する。

【0005】

この2つの状態は、図2に示すように、発明者らを得た、カルコゲナイド半導体の場合の完全に結晶化したときの電気伝導率 $5.2 \times 10^{-1} \text{ cm}^{-1}$ と、非晶質化（アモルファス）状態のときの電気伝導率 $1.3 \times 10^{-3} \text{ cm}^{-1}$ の値をとる。結晶化状態と非晶質状態の伝導率は、2桁も異なっており、その差は大きい。これは、状態を検出することが容易になることを意味している。この電気伝導率の値は、素子へ印加する電流の大きさや時間により、結晶状態と非晶質状態との割合を変化させることで、変えることもでき

10

【0006】

【非特許文献1】二野宮鼓他「強誘電体メモリを利用した不揮発性SRAMとFFの設計と応用 - 読出し回数・書換え回数無制限の実現 - 」信学技報2003-12 pp. 51-56

【特許文献1】特願2003-365146号出願

【特許文献2】特願2003-335133号出願

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明の目的は、相変化メモリ等の、抵抗変化により不揮発性で記憶する素子を用いた不揮発性メモリを提供することである。

【課題を解決するための手段】

【0008】

上記発明の目的を達成するために、本発明は、抵抗変化により不揮発性記憶を行う抵抗変化メモリ素子を用いた不揮発性メモリであって、第1の能動素子と第2の能動素子との入出力を互に接続したSRAM回路部（フリップフロップ回路）と、前記第1、第2の能動素子のそれぞれと、電源との間に直列に接続した第1、第2の抵抗変化メモリ素子と、前記第2の能動素子と前記第2の抵抗変化メモリ素子との接続点とストア線との間に接続されたスイッチング素子であって、該スイッチング素子のスイッチングを制御する入力は、前記第1の能動素子の出力に接続されており、前記スイッチング素子により、前記不揮発性メモリの電源をオフする直前に、前記SRAM回路部の記憶内容を、前記スイッチング素子から前記第2の抵抗変化メモリ素子に電流を流して抵抗変化を起こして記憶させ、前記不揮発性メモリの電源をオンしたとき、前記第2の抵抗変化メモリ素子の記憶内容を前記SRAM回路部に移し、前記SRAM回路部に記憶データの書き込み、読み出しを行うことを特徴とする。

30

【0009】

前記第1の抵抗変化メモリ素子は、前記第2の抵抗変化メモリ素子の記憶内容による抵抗値変化の中間値の抵抗値に設定するとよく、前記第2の抵抗変化メモリ素子は、前記電源をオンしたときに前記第2の抵抗変化メモリ素子の記憶内容を前記SRAM回路部に移した後、前記スイッチング素子を介して流す電流により、低抵抗値とするとよい。

40

前記第1、第2の抵抗変化メモリ素子は、相変化メモリとしてもよく、前記SRAM回路部をCMOSで構成し、前記スイッチング素子をゲート・トランジスタとしてのMOSトランジスタで構成してもよい。相変化メモリ素子とMOSトランジスタを用いることで、CMOS回路の上に相変化メモリ素子を作成し、整合性がよい不揮発性メモリを作成することができる。

【発明の効果】

【0010】

上述した本発明の構成により、通常の動作はSRAMと同じように高速ででき、相変化メモリ等の抵抗変化メモリ素子への書き込み可能回数は有限ではあるが、この書き込み回

50

数を事実上無限大とすることができる。また、CMOSとの整合性が高い不揮発性メモリを実現することができる。このような不揮発性メモリを用いることで、待機電力を大幅に低減することが可能となる。

【発明を実施するための最良の形態】

【0011】

図を用いて、本発明の実施形態について説明する。

抵抗変化メモリ素子を用いて、不揮発性メモリを構成する場合、物質の状態を変えていくために、読み書きの動作が遅い、書き換え回数が有限である、書込み時の諸費電力が大きい等の不利益がある。このために、SRAMの回路構成を基礎として、電源を消すときのみSRAM回路の記憶内容を、抵抗変化メモリ素子に対してバックアップを行うための簡単な回路を付加した構成とした。この不揮発性メモリを、図1、図2で示した相変化メモリ素子とCMOSとを用いて、基本構成である1セル分(1ビット分)の回路とした構成例を図3に示す。

10

【0012】

図3において、直列に接続された、P型MOSトランジスタP0、N型MOSトランジスタN0とP型MOSトランジスタP1、N型MOSトランジスタN1は、各トランジスタのゲート(入力)と出力(S0、S1)とを互に接続して、通常のCMOSによるSRAMの1ビット分の回路(フリップフロップ回路)を構成している。これに相変化メモリ素子(この実施形態の場合、カルコゲナイド半導体で構成している)Rr、Rmをそれぞれ、P0、N0及びP1、部N1に直列に接続している。

20

この図3の回路で、Na0、Na1は、ワード線WLに接続されているゲート回路を構成しているN型MOSトランジスタであり、各SRAM回路部への入出力制御を行っている。PWRは電源線であり、電源がオンになると電圧がVDDとなる。

さて、相変化メモリ素子の一方(Rr)は参照(リファレンス)抵抗であり、他の一方の相変化メモリ(論理記憶抵抗Rm)が変化する高抵抗(論理値1)と低抵抗(論理値0)との間の抵抗値に予め設定されている。

論理記憶抵抗Rmは、電源線PWR、スイッチング素子(N型MOSトランジスタNs)、ストア線STRにより、相変化を起こす電流を印加される。

【0013】

読み出し書き込み時は、点線で示したSRAM回路部は通常のSRAMとして動作させている。この動作のときの論理記憶抵抗Rmは低抵抗値に設定されている。そして、電源が消える前に、ストア線STRの電圧を変化させ、トランジスタNsにより論理記憶抵抗Rmに電流を流すことで、SRAM回路部に記憶されている論理値を移す(ストア)。電源が入ると、相変化メモリ素子Rmに移された記憶内容を、SRAM回路部に戻す(リコール)。

30

このように電源がオフ(OFF)するときとオン(ON)するとき、相変化メモリの論理記憶抵抗RmとSRAM回路部とで記憶内容を移したり戻したりすることで、不揮発性メモリとして動作する。

【0014】

論理記憶抵抗Rmには、結晶化する(低抵抗とする)場合は上述のイニシャライズ電流として、結晶化温度としてから一定時間その温度を保つように、長パルス電流を印加する。非晶質とする(高抵抗とする)場合は、上述のストア電流として、融点以上に熱して急冷するように、短パルスで高出力の電流を論理記憶抵抗Rmに印加する(図1参照)。

40

論理記憶抵抗Rmに対するストア電流/イニシャライズ電流の伝達を制御しているトランジスタNsは、論理記憶抵抗Rmを相変化させて記憶値をストアするために、ストア電流として十分な電流を流すことができるサイズを有することが必要である。

以下に、図4～図9を用いて、図3に示した回路の動作を詳しく説明する。

【0015】

<参照抵抗初期化>

上述したように、図3の実施態様の回路では、参照抵抗Rrは予め論理記憶抵抗の中間

50

抵抗値に設定されている。これは、例えば、不揮発性メモリのチップを作成した後に、チップ全体に結晶化条件を満たす温度を所定時間印加して、全て参照抵抗 R_r の抵抗値を均一に初期化することで設定することができる。

なお、読み出し書き込み動作するときには、後で説明するように論理記憶抵抗 R_m が低抵抗となっているので、参照抵抗 R_r の抵抗値は、SRAMを構成する回路部分の動作になるべく影響がないように、中間値よりは低く設定することが望ましい。

【0016】

<リコール動作（電源オン時）>

電源がオン（ON）するときには、論理記憶抵抗 R_m に記憶されている論理値をSRAM回路部に移す。これをリコールといい、このリコール動作を図4、図5を用いて説明する。図4は論理記憶抵抗 R_m が高抵抗（論理値1）の場合、図5は論理記憶抵抗 R_m が低抵抗（論理値0）の場合である。このリコール動作は全セルに対して、同時に行うことができる。

10

【0017】

図4において、電源線PWRがオンすると、SRAMを構成する、トランジスタ P_0 、 N_0 と P_1 、 N_1 とに電流が流れ始める。ワード線WLは接地電圧（Low）のままであるので、 N_{a0} と N_{a1} は閉じている。また、ストア線STRは電源線PWRと同時にそれ以前にVDD（電源電圧：High）となる。論理記憶抵抗 R_m が参照抵抗 R_r より高抵抗であるので、 P_0 と P_1 とを比較すると P_0 に電流が大きく流れ、 S_0 と S_1 の電圧は、比較的 S_1 が低く（L）、 S_0 が高く（H）なる。このために、 P_0 ：オン、 N_1 ：オフ及び P_1 ：オフ、 N_0 ：オンの傾向となり、それが正のフィードバックされて、SRAM回路部の安定状態となる。そのために、この論理記憶抵抗の状態（高抵抗：論理値1）がSRAM回路部に記憶される（リコールされる）。

20

【0018】

図5では、論理記憶抵抗 R_m が参照抵抗 R_r より低抵抗なので、 P_1 に大きい電流が流れ、上述の動作の逆となり、 S_0 の電圧が低く（L）、 S_1 の電圧が高く（H）なって安定する。これで、この論理記憶抵抗 R_m の状態（低抵抗：論理値0）がSRAM回路部に記憶される（リコールされる）。

なお、ストア線STRは電源線PWRと同電位であるので、トランジスタ N_s が導通していてもいなくても、上述の動作に対しては影響がない。

30

【0019】

<論理記憶抵抗の初期化>

さて、論理記憶抵抗 R_m と参照記憶抵抗 R_r の抵抗値があまりにも異なっていると、SRAM回路部の読み出し書き込み動作に支障が生じる。このために、参照記憶抵抗 R_r の抵抗値をあまり高くなく設定しておき、論理記憶抵抗 R_m は、セルの読み出し書き込み動作のとき、低抵抗としておく（結晶化する）必要がある。

このため、論理記憶抵抗 R_m が高抵抗（論理値1）の場合は、低抵抗とする必要がある。これを「論理記憶抵抗の初期化」という。この動作を行うのは、上述のリコールを行った後であり、リコールを行った後に必ず行う必要がある。

この論理記憶抵抗の初期化動作の説明を、図6を用いて行う。

40

図6において、論理記憶抵抗 R_m は論理値1即ち高抵抗であって、リコールの動作が終了し、SRAM回路部は論理値1（ S_0 ：H、 S_1 ：L）となって安定している。この状態ではトランジスタ N_s のゲートに高い電圧が印加され、N型MOSトランジスタ N_s が導通しているので、ストア線STRを低電圧 V_{1ow} として、電源線PWRからイニシャライズ電流を論理記憶抵抗 R_m に印加する。ここで印加する電圧 V_{1ow} は、接地電圧（Low）までは至らない電圧で、結晶化を起こすためのイニシャライズ電流を流すための電圧である。このイニシャライズ電流は長パルス電流であり、結晶化を行う電流が一定時間論理記憶抵抗 R_m に流れ、相変化を起こし、結晶化される。

なお、論理記憶抵抗 R_m が論理値0即ち低抵抗の場合は、リコールの動作が終了すると、SRAM回路部が論理値0（ S_0 ：L、 S_1 ：H）となる。そのため、トランジスタ N

50

s は非導通であり、ストア線 S T R の変化は、論理記憶抵抗 R m に影響を与えない。

この論理記憶抵抗の初期化は、上述したように、論理記憶抵抗 R m が論理値 1 (高抵抗) の場合のみ低抵抗に変化するので、全セル同時に行うことができる。

【 0 0 2 0 】

< 読み出し / 書き込み動作 >

各セルへの読み出し / 書き込みは、論理記憶抵抗 R m の初期化を行った後に、図 7 に示すように、ストア線 S T R を電源線 P W R と同じ電圧 (V D D) として行う。

各セルへの読み出し / 書き込みは、上述のように、参照抵抗 R r と論理記憶抵抗 R m を S R A M 回路部の動作に影響がないような抵抗値に設定しているため、通常の S R A M と変わりなく行うことができる。

10

【 0 0 2 1 】

< ストア動作 >

電源をオフする前に、S R A M 回路部に記憶されている内容を論理記憶抵抗 R m に移して、電源をオフしているときでも、各セルの記憶内容を保持するようにする動作をストア動作と呼ぶ。この動作を、図 8 を用いて説明する。

図 8 は、S R A M 回路部に論理値 1 (S 0 : H , S 1 : L) が記憶されているときのストア動作を説明するための図である。ストア動作する前は、電源線 P W R は V D D であり、ストア線 S T R は V D D で、論理記憶抵抗 R m は低抵抗である。また、ワード線 W L はセルの選択を行っていない。このとき、S 0 の電圧が高いために、トランジスタ N s は導通状態である。

20

【 0 0 2 2 】

さて、論理記憶抵抗 R m に S R A M 回路部の論理値 1 を移すためには、相変化をして、論理記憶抵抗 R m を高抵抗とする (非晶質化する) 必要がある。このため、ストア線 S T R を 0 (接地電圧) として、電源線 P W R 論理記憶抵抗 R m トランジスタ N s ストア線 S T R にストア電流が流れるようにする。このストア電流は、短パルスで高出力の電流である。このために、S T R 線は接地電圧 (L o w) とする。これは、上述の初期化のときのストア線 S T R の電圧より低い。そして、ストア線 S T R の電圧を V D D (H i g h) に早く戻す。これで、短パルスで高出力の電流を論理記憶抵抗 R m に印加することができる。

S R A M 回路部に論理値 0 (S 0 : L , S 1 : H) が記憶されているときは、S 0 の電圧が低いために、トランジスタ N s は非導通状態である。このために、ストア線 S T R の電圧の変化は、論理記憶抵抗 R m に対して影響しない。このために、ストア線 S T R の電圧が変化しても、論理記憶抵抗 R m は低抵抗のままの状態を保つ。

30

【 0 0 2 3 】

このストア動作は、上述したように、S R A M 回路部に論理値 1 (S 0 : H , S 1 : L) が記憶されている場合のみ、論理記憶抵抗 R m が高抵抗に変化するので、全セル同時に行うことができる。

この後に、電源をオフとしても、論理記憶抵抗 R m に S R A M 回路部の記憶内容が保持されている。この論理記憶抵抗 R m に保持されている記憶内容は、電源をオンとしたときに S R A M 回路部に移される。

40

【 0 0 2 4 】

< 動作のまとめ >

図 9 に、各動作のときの電源線 P W R , 入出力線 B L 0 , B L 1 , ワード線 W L , ストア線 S T R の状態をまとめてある。各線の状態は、オン (O n) , オフ (O F F) , 電源電圧 (H i g h) , 低電圧 (V _{l o w}) , 接地電圧 (L o w) で示している。

図 3 に示したセルで構成された不揮発性メモリは、電源がオンとなると、リコール動作で、電源オフ前の状態を保持している論理記憶抵抗 R m の値を S R A M 回路部に移し、初期化動作で、論理値 1 の論理記憶抵抗 R m を低抵抗とする。そして、通常の S R A M と同様に、S R A M 回路部への読み出し書き込みを行う。

電源がオフとなる前にストア動作で、論理記憶抵抗 R m に S R A M 回路部の記憶内容が

50

保持される。この論理記憶抵抗 R_m に保持されている記憶内容は、電源をオンとしたときに、リコール動作により $SRAM$ 回路部に移される。

なお、ストア線 STR は、初期化のとき、低電圧 (V_{low}) で、結晶化温度とする電流が流れるような電源線との電圧差が得られるものである。また、電流を制御しているトランジスタ N_s は、ストア線 STR が接地電圧 (Low) としたとき、電源線 PWR から、論理記憶抵抗 R_m を融点以上にすることができる電流を流すことができる性能を有している。

【0025】

<ブロック化>

上述した不揮発性メモリでは、ストアと初期化のときに大きな電流が流れる。例えば、初期化に 1 bit あたり $50\ \mu\text{A}$ が必要とすると、 32 kbit のメモリブロック内の全セルを一度に初期化すると、 1.6 A という巨大な電流が流れる。しかしながら、 1 bit ずつストアや初期化していたのでは、長い時間がかかる。

これを解決するためには、図3に示した1ビット単位の不揮発性メモリを電流が大きくなり過ぎない程度の小さな単位のブロックにまとめて、ブロック単位でストアと初期化の動作を制御することが必要となる。

【0026】

<CMOS回路と相変化メモリとの関係>

図10(a)は、チップ100上にCMOSによりシステムを構成するとき、その一部に図3の回路構成の不揮発性メモリを作成する場合を示している。この場合、基本となる $SRAM$ 回路部の110の上に、相変化メモリ層120を設けて、図3の相変化メモリ素子 R_r , R_m を構成し、その上に電源等の配線層130を設けることを示している。

図10(b)は、図10(a)に示した構成で、図3の回路における相変化メモリ R_m と MOS トランジスタ N_s の部分のチップにおける模式図(断面)を示している。

図10(a), (b)に示すように、CMOS構造のチップ上に相変化メモリのための層を付加しているために、1ビット単位の面積が大きくなることもない。また、CMOS構造のチップに対して、相変化メモリを作成するための少ない工程を付加するだけで、CMOSの $SRAM$ を不揮発性とすることが、構造的に容易にできる。

その上、図10に示されているように、 MOS 構造のチップと相変化メモリの製造過程が分離されているために、相変化記録材料の組成を変えた場合でも、簡単に製造工程を変更することが可能である。

【0027】

<使用する素子について>

上述の図3に示した回路構成は、相変化メモリとCMOSで構成しているが、抵抗変化により不揮発性で記憶する他の素子と他の能動素子で構成してもよい。

【図面の簡単な説明】

【0028】

【図1】相変化メモリの動作を説明する図である。

【図2】相変化を起こしたときの抵抗値の変化を示す図である。

【図3】CMOSで構成した相変化メモリの回路を示す図である。

【図4】リコールの動作を説明する図である。

【図5】リコールの他の動作を説明する図である。

【図6】初期化の動作を説明する図である。

【図7】読み出し/書き込みの動作を説明する図である。

【図8】ストアの動作を説明する図である。

【図9】各動作における回路の状態を示す図である。

【図10a】CMOSで作成した場合のチップ構成を示す図である。

【図10b】CMOSで作成した場合のチップの具体的な構成を示す図である。

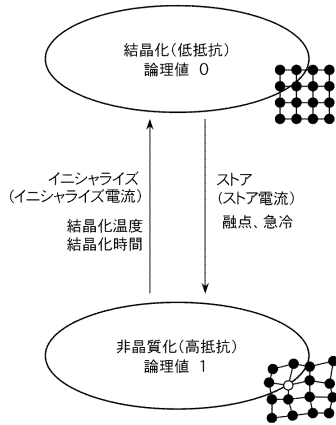
10

20

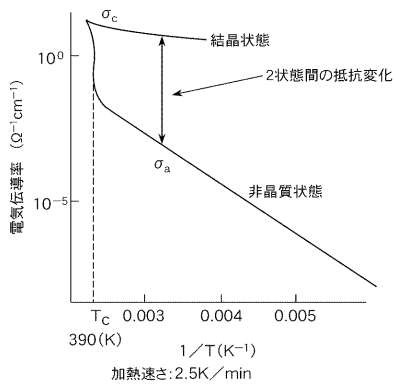
30

40

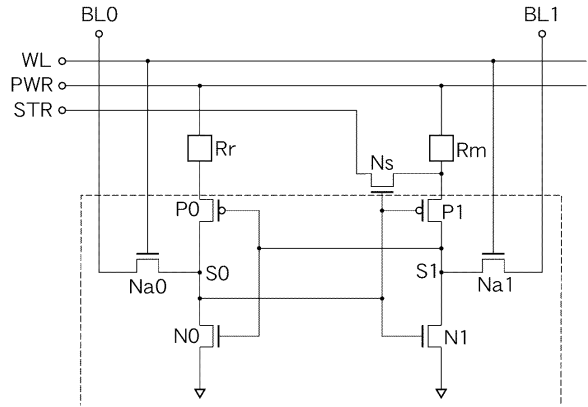
【 図 1 】



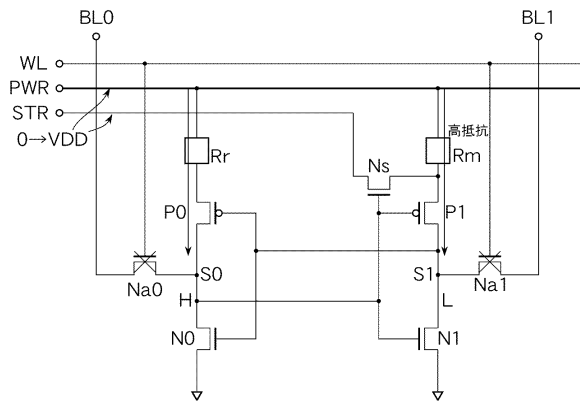
【 図 2 】



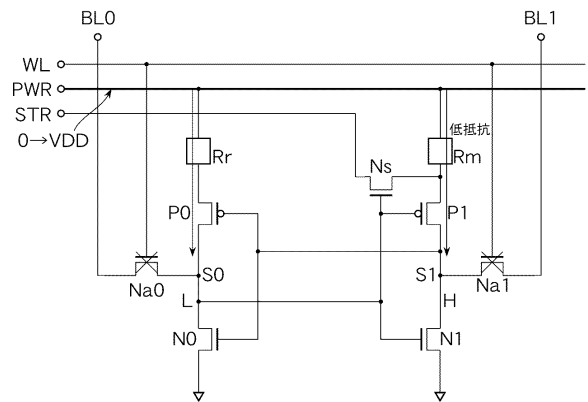
【 図 3 】



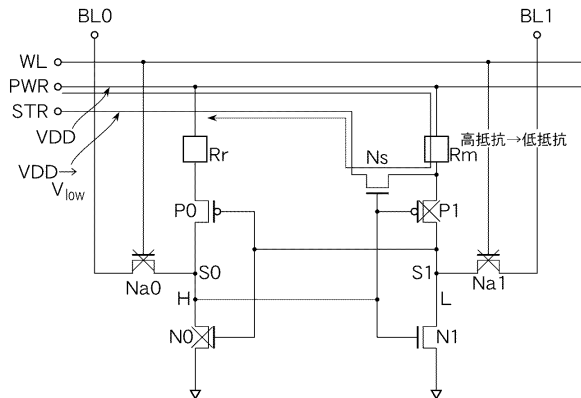
【 図 4 】



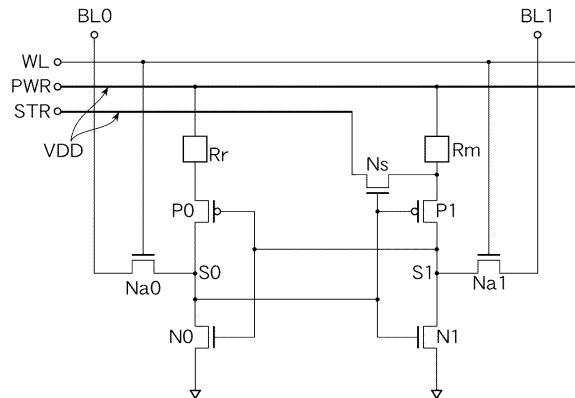
【 図 5 】



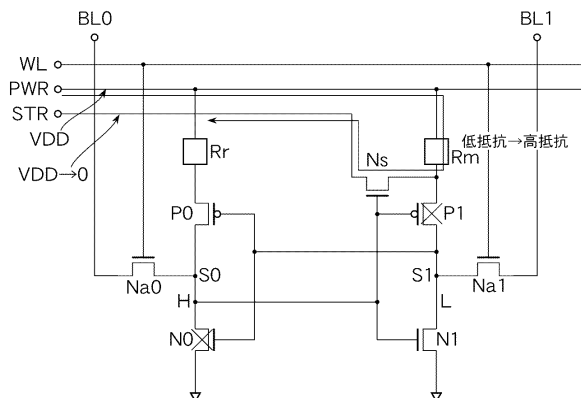
【図 6】



【図 7】



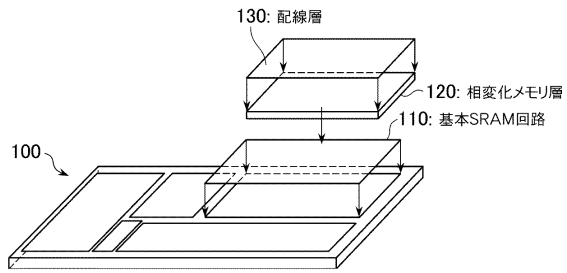
【図 8】



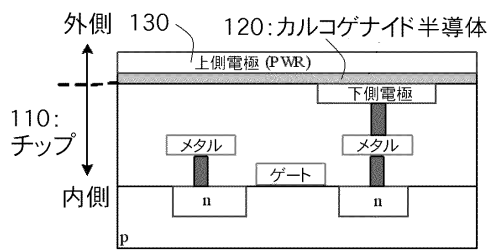
【図 9】

	PWR	BLO	BL1	WL	STR
リコール (電源オン)	OFF→On	プリチャージ		Low	High
初期化	On	プリチャージ		Low	High→ V _{low} → High
読み出し	On	読み出しデータ		High	High
書き込み	On	書き込みデータ		High	High
ストア	On	プリチャージ		Low	High→ Low→ High
電源オフ (スタンバイ)	On→OFF	Low		Low	High→ Low

【図10a】



【図10b】



フロントページの続き

(56)参考文献 国際公開第03/105156(WO,A1)
国際公開第2004/40582(WO,A1)

(58)調査した分野(Int.Cl.,DB名)
G11C 11/41
G11C 11/412
G11C 13/00