

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-278625  
(P2006-278625A)

(43) 公開日 平成18年10月12日(2006.10.12)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 21/316 (2006.01)	HO 1 L 21/316 B	5 F 0 4 1
HO 1 L 21/20 (2006.01)	HO 1 L 21/20	5 F 0 5 8
HO 1 L 33/00 (2006.01)	HO 1 L 33/00 A	5 F 0 8 3
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F 1 0 1
HO 1 L 29/792 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 5 2

審査請求 未請求 請求項の数 12 O L (全 13 頁) 最終頁に続く

(21) 出願番号 (22) 出願日	特願2005-94203 (P2005-94203) 平成17年3月29日 (2005.3.29)	(71) 出願人 504136568 国立大学法人広島大学 広島県東広島市鏡山1丁目3番2号 (74) 代理人 100121795 弁理士 鶴亀 國康 (72) 発明者 東 清一郎 広島県東広島市鏡山一丁目3番1号 広島 大学大学院先端物質科学研究科内 Fターム(参考) 5F041 CA02 CA33 CA83 5F058 BA20 BC02 BF07 BF12 BF17 BF23 BF29 BH16 BJ01 5F083 EP17 EP22 GA27 HA02 JA36 5F101 BA54 BB05 BD02 BD30
		最終頁に続く

(54) 【発明の名称】 微粒子分散絶縁膜の製造方法、これを用いたメモリ素子、発光素子の製造方法及びメモリ素子、発光素子

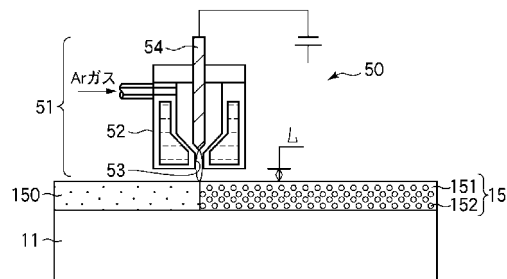
(57) 【要約】 (修正有)

【課題】 ガラス等の基板を含む種々の基板上に作製することができるとともに、電荷保持ノード又はキャリアの発光再結合中心として作用する微粒子分散絶縁膜中の半導体微粒子の面密度が高く、かつ、膜厚方向で広範囲にわたって均一な面密度を有する微粒子分散絶縁膜の製造方法、これを用いたメモリ素子、発光素子の製造方法及びメモリ素子、発光素子を提供する。

【解決手段】 微粒子分散絶縁膜 1 5 の製造方法は、基板 1 1 上に半導体成分を過剰に含む組成の絶縁膜 1 5 0 を形成する工程と、該絶縁膜 1 5 0 をプラズマジェット 5 0 を用いたアニールにより前記半導体成分を相分離させて分散半導体微粒子 1 5 2 を形成する工程と、からなる。

。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

基板上に半導体成分を過剰に含む組成の絶縁膜を形成する工程と、該絶縁膜をプラズマジェットを用いたアニールにより前記半導体成分を相分離させて半導体微粒子を形成する工程と、からなる微粒子分散絶縁膜の製造方法。

## 【請求項 2】

絶縁膜は、 $\text{SiO}_x$  :  $0 < x < 2$ 、または、 $\text{Si}_x\text{Ge}_y\text{O}_{1-(x+y)}$  :  $0 < x < 1$ 、 $0 < y < 1$ 及び $0 < x+y < 1$ であることを特徴とする請求項 1 に記載の微粒子分散絶縁膜の製造方法。

## 【請求項 3】

半導体微粒子は、Si、Geの結晶微粒子であることを特徴とする請求項 1 又は 2 に記載の微粒子分散絶縁膜の製造方法。 10

## 【請求項 4】

プラズマジェットは、その最大パワー密度が $60\text{kW}/\text{cm}^2$ 以上なる条件で用いられるものであることを特徴とする請求項 1 ~ 3 のいずれかに記載の微粒子分散絶縁膜の製造方法。

## 【請求項 5】

プラズマジェットは、それが噴射されるプラズマヘッドの先端部と加熱される絶縁膜との距離が $1 \sim 20\text{mm}$ の条件で用いられるものであることを特徴とする請求項 1 ~ 4 のいずれかに記載の微粒子分散絶縁膜の製造方法。

## 【請求項 6】

基板上に下地保護用絶縁膜を形成した後、半導体成分を過剰に含む組成の絶縁膜を形成することを特徴とする請求項 1 ~ 5 のいずれかに記載の微粒子分散絶縁膜の製造方法。 20

## 【請求項 7】

基板上に下地保護用絶縁膜を形成し、さらに該下地保護用絶縁膜上に半導体膜を形成した後、半導体成分を過剰に含む組成の絶縁膜を形成することを特徴とする請求項 1 ~ 6 のいずれかに記載の微粒子分散絶縁膜の製造方法。

## 【請求項 8】

基板上に半導体成分を過剰に含む組成の絶縁膜を形成する工程と、該絶縁膜をプラズマジェットを用いたアニールにより前記半導体成分を相分離させて半導体微粒子を形成させ、その後 $0.1\text{MPa}$ 以上かつ $100$ 以上の水蒸気雰囲気中で熱処理を行う工程と、からなる微粒子分散絶縁膜の製造方法 30

## 【請求項 9】

微粒子分散絶縁膜中の半導体微粒子を電荷保持ノードとして作用させるメモリ素子の製造方法において、前記微粒子分散絶縁膜を請求項 1 ~ 8 のいずれかに記載の微粒子分散絶縁膜の製造方法を用いて作製することを特徴とするメモリ素子の製造方法。

## 【請求項 10】

微粒子分散絶縁膜中の半導体微粒子をキャリアの発光再結合中心として作用させる発光素子の製造方法において、前記微粒子分散絶縁膜を請求項 1 ~ 8 のいずれかに記載の微粒子分散絶縁膜の製造方法を用いて作製することを特徴とする発光素子の製造方法。

## 【請求項 11】

微粒子分散絶縁膜中の半導体微粒子を電荷保持ノードとして作用させるメモリ素子において、前記半導体微粒子の面密度が $20\text{nm}$ 以上の膜厚の範囲にわたって $5 \times 10^{10} \sim 1 \times 10^{13} \text{ cm}^{-2}$ であることを特徴とするメモリ素子。 40

## 【請求項 12】

微粒子分散絶縁膜中の半導体微粒子をキャリアの発光再結合中心として作用させる発光素子において、前記半導体微粒子の面密度が $20\text{nm}$ 以上の膜厚の範囲にわたって $5 \times 10^{10} \sim 1 \times 10^{13} \text{ cm}^{-2}$ であることを特徴とする発光素子。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、微粒子分散絶縁膜の製造方法、これを用いたメモリ素子、発光素子の製造方 50

法及びメモリ素子、発光素子に係り、特にプラズマジェットを用いて微粒子分散絶縁膜を製造する方法、これを用いたメモリ素子、発光素子の製造方法及びメモリ素子、発光素子に関する。

【背景技術】

【0002】

メモリ素子や発光素子等の半導体素子、これを用いた集積回路等の製造方法においてより高い生産性、より安価な製造方法が求められている。そのような製造方法の中で、基板にシリコンよりも低融点のガラス又はプラスチック等を使用し、基板上に形成された半導体膜や絶縁膜をレーザやプラズマジェットを使用してアニールする高速熱処理法が注目されている。

10

【0003】

レーザやプラズマジェットを使用した高速熱処理法は種々提案されており、例えば、特許文献1又は2には、ガラス等の比較的高熱に弱い材料も基板として使用することができるプラズマジェットを使用した高速熱処理法が開示されている。

【0004】

一方、そのような高速熱処理法を使用して具体的な半導体素子を製造する方法を開示した文献は少ないが、例えば、特許文献3には、ガラスやプラスチックの基板上にその熱変形が生じない程度の温度で非晶質シリコン層を形成し、この非晶質シリコン層をXeClエキシマレーザで加熱して多結晶シリコン層とした後、その多結晶シリコン層の表面をプラズマ酸化法により酸化して $\text{SiO}_x$ 層 ( $x < 2$ ) を形成し、その $\text{SiO}_x$ 層にXeClエキシマレーザを150~300mJ/cm<sup>2</sup>程度照射することにより、 $\text{SiO}_x$ 層中の過剰なシリコンを析出させて多数の半導体微粒子を分散させたメモリ素子を製造する製造方法が開示されている。

20

【0005】

そして、上記非晶質シリコン層あるいは $\text{SiO}_x$ 層の高速熱処理において、多結晶シリコン層の表面粗さを所定値に抑え、欠陥の少ないメモリ素子を形成するため、所定のパワー密度に制御されたエキシマレーザが好ましいことが開示されている。

【0006】

【特許文献1】特開平11-145148号公報

【特許文献2】特表2003-514377号公報

【特許文献2】特開平11-274420号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、特許文献3に開示されたエキシマレーザを使用する高速熱処理法は、加熱時間が10ns程度しかないため熱拡散長が短く、膜厚方向に大きな温度勾配を生じ半導体微粒子のサイズが膜厚方向の深さ位置によって異なるという問題がある。このため、均一な大きさの半導体微粒子を広範囲に均一な密度で形成することが困難であり、また、レーザの出力は300W程度と小さいため工程スループットが低く、生産効率を向上させることが困難であるという問題がある。さらに、エキシマレーザ光に対して透明な絶縁膜をエキシマレーザを用いて加熱する場合には、光吸収層を形成する必要があり、また、エキシマレーザ装置は高価であるという問題がある。

40

【0008】

本発明は係る従来の問題点に鑑み、ガラス等の基板を含む種々の基板上に作製することができるとともに、電荷保持ノード又はキャリアの発光再結合中心として作用する微粒子分散絶縁膜中の半導体微粒子の面密度が高く、かつ、均一な大きさで膜厚方向で広範囲にわたって均一な面密度の半導体微粒子を有する微粒子分散絶縁膜の製造方法、これを用いたメモリ素子、発光素子の製造方法及びメモリ素子、発光素子を提供することを目的とする。なお、以下、アニールとは一般的な意義で用い主として結晶化熱処理の意味で用いる。相分離とは2種類の成分が空間的に分離した状態へと転移することの意味に用いる。

【課題を解決するための手段】

50

## 【0009】

本発明に係る微粒子分散絶縁膜の製造方法は、基板上に半導体成分を過剰に含む組成の絶縁膜を形成する工程と、該絶縁膜をプラズマジェットを用いたアニールにより前記半導体成分を相分離させて半導体微粒子を形成する工程と、からなる。

## 【0010】

上記微粒子分散絶縁膜の製造方法において、絶縁膜は、 $\text{SiO}_x$ ： $0 < x < 2$ 、または、 $\text{Si}_x\text{Ge}_y\text{O}_{1-(x+y)}$ ： $0 < x < 1$ 、 $0 < y < 1$ 及び $0 < x+y < 1$ であり、半導体微粒子は、Si、Geの結晶微粒子であるものがよい。

## 【0011】

また、プラズマジェットは、その最大パワー密度が $60\text{kW}/\text{cm}^2$ 以上なる条件で用いられ、また、それが噴射されるプラズマヘッドの先端部と加熱される絶縁膜との距離を $1\sim 20\text{mm}$ とする条件で用いられるものであるのがよい。

10

## 【0012】

上記基板上に半導体成分を過剰に含む組成の絶縁膜を形成する工程において、まず、基板上に下地保護用絶縁膜を形成した後、半導体成分を過剰に含む組成の絶縁膜を形成することができる。また、基板上に下地保護用絶縁膜を形成し、さらに該下地保護用絶縁膜上に半導体膜を形成した後、半導体成分を過剰に含む組成の絶縁膜を形成することができる。

## 【0013】

さらに、本発明に係る微粒子分散絶縁膜の製造方法は、基板上に半導体成分を過剰に含む組成の絶縁膜を形成する工程と、該絶縁膜をプラズマジェットを用いたアニールにより前記半導体成分を相分離させて半導体微粒子を形成させ、その後 $0.1\text{MPa}$ 以上かつ $100$ 以上の水蒸気雰囲気中で熱処理を行う工程と、からなるものとすることができる。

20

## 【0014】

上記微粒子分散絶縁膜の製造方法を用いたメモリ素子の製造方法は、微粒子分散絶縁膜中の半導体微粒子を電荷保持ノードとして作用させるメモリ素子を好適に製造することができる。また、上記微粒子分散絶縁膜の製造方法を用いた発光素子の製造方法は、微粒子分散絶縁膜中の半導体微粒子をキャリアの発光再結合中心として作用させる発光素子を好適に製造することができる。

## 【0015】

さらに、上記メモリ素子の製造方法を用いて、微粒子分散絶縁膜中の半導体微粒子を電荷保持ノードとして作用させるメモリ素子において、前記半導体微粒子の面密度が $20\text{nm}$ 以上の膜厚の範囲にわたって $5 \times 10^{10} \sim 1 \times 10^{13} \text{ cm}^{-2}$ であるメモリ素子を製造することができる。

30

## 【0016】

また、上記発光素子の製造方法を用いて、微粒子分散絶縁膜中の半導体微粒子をキャリアの発光再結合中心として作用させる発光素子において、前記半導体微粒子の面密度が $20\text{nm}$ 以上の膜厚の範囲にわたって $5 \times 10^{10} \sim 1 \times 10^{13} \text{ cm}^{-2}$ である発光素子を製造することができる。

## 【発明の効果】

40

## 【0017】

本発明に係る微粒子分散絶縁膜の製造方法は、微粒子分散絶縁膜中の半導体微粒子の面密度が高く、かつ、膜厚方向で広範囲にわたって均一な大きさ及び面密度を有する微粒子分散絶縁膜を作製することができる。このため、本製造方法を用いて、駆動電圧が低く、データ書き込みみや消去に要する時間が短く応答性の高いメモリ素子を製造することができる。また、発光波長幅が狭く、かつ高効率の発光素子を製造することができる。さらに短時間でアニール処理ができるので、メモリ素子又は発光素子の生産性を向上させることができる。

## 【発明を実施するための最良の形態】

## 【0018】

50

以下、本発明に係る微粒子分散絶縁膜の製造方法の実施形態について説明する。本発明に係る微粒子分散絶縁膜の製造方法は、まず、基板上に半導体成分を過剰に含む組成の絶縁膜を形成し、つぎに、その形成された絶縁膜をプラズマジェットを用いてアニールし、絶縁膜中に含まれる半導体成分を相分離させることによって半導体微粒子を形成する。なお、半導体成分を過剰に含むとは、絶縁膜中の半導体成分とその他の成分の組成比が、当該絶縁膜の熱平衡状態における化学量論組成を外れて半導体成分を過剰に含む状態になっていることをいう。

#### 【0019】

図1に、この微粒子分散絶縁膜の製造方法を模式的に示す。図1に示すように、基板11上に半導体成分を過剰に含む組成の絶縁膜150を形成し、プラズマ発生装置50によるプラズマジェットを用いて絶縁膜150をアニールし、絶縁膜中に含まれる半導体成分を相分離させることによって半導体微粒子152を形成する。これにより、絶縁膜150から絶縁体151中に結晶構造を有する半導体微粒子152が点在する微粒子分散絶縁膜15が形成される。

#### 【0020】

上記微粒子分散絶縁膜の製造方法において、基板11は種々の材質のものを使用することができる。例えば、シリコン、シリコンカーバイド(SiC)、ダイヤモンド(C)、アルミナ( $Al_2O_3$ )又は窒化アルミニウム(AlN)等のセラミック材料、熔融石英や無アルカリガラス等の透明または非透明の絶縁性物質、アルミニウム等の金属、シリコン、ゲルマニウムウエハ等の半導体物質、並びにそれを加工したLSL基板等を使用することができる。また、プラスチックからなる基板も使用することができる。

#### 【0021】

半導体成分を過剰に含む組成の絶縁膜150は、プラズマジェットを用いてアニールすることにより絶縁体151中に半導体微粒子152が点在する微粒子分散絶縁膜15が形成されるものであればよい。すなわち、絶縁膜150の組成は特に問わないが、Si又はGeを過剰に含む $SiO_x$ ： $0 < x < 2$ 、または、 $Si_xGe_yO_{1-(x+y)}$ ： $0 < x < 1$ 、 $0 < y < 1$ 及び $0 < x+y < 1$ なる組成の絶縁膜150がよい。このような組成の絶縁膜150から、電荷保持ノード密度の高い微粒子分散絶縁膜15又はキャリアの発光再結合中心密度の高い微粒子分散絶縁膜15を効率的に製造することができる。

#### 【0022】

絶縁膜150の膜厚は、例えばメモリ素子を製造する場合においては、10~100nmにするのがよい。これにより、Si又はGe微粒子からなる半導体微粒子152が薄い絶縁体151中に高密度で点在した微粒子分散絶縁膜15を形成することができ、駆動電圧が低く、データ書き込みや消去に要する時間が短く応答性の高いメモリ素子を製造することができる。

#### 【0023】

一方、発光素子を製造する場合においては、絶縁膜150の膜厚は20~1000nmにするのがよい。これにより、Si又はGe微粒子からなる半導体微粒子152が高い面密度で、かつ、膜厚方向に厚く積層された微粒子分散絶縁膜15を形成することができ、発光波長幅が狭く、かつ高効率の発光素子を製造することができる。

#### 【0024】

絶縁膜150が、例えば $SiO_x$ からなる絶縁膜150である場合の成膜方法は、特に問わないが、公知のスパッタリング法、真空蒸着法、イオン注入あるいはプラズマCVD法を使用することができる。なかでも、 $SiO_x$ ターゲットを用いたスパッタリング法、Siターゲットを用い酸素雰囲気中でスパッタリングする反応性スパッタリング法、 $SiH_4$ および $O_2$ を原料ガスとするプラズマCVD法等は、 $SiO_x$ 絶縁膜150の成膜方法として短時間で大面積に均一成膜できる点において好適である。

#### 【0025】

$Si_xGe_yO_{1-(x+y)}$ 絶縁膜150の成膜方法についても同様に、公知の方法を使用することができる。例えば、 $SiO_2$ 膜にGe元素をイオン注入することによって $Si_xGe_yO_{1-(x+y)}$ 絶縁膜150を形成することができる。なお、それらの絶縁膜150は目的とするメモリ素子又は発光素子の特性により、上記の $SiO_x$ 又は $Si_xGe_yO_{1-(x+y)}$ 絶縁膜150に限らず、 $SiO_2$ 膜にGe、C、P

、As、B元素がイオン注入された絶縁膜、または、 $\text{SiH}_4$ と $\text{GeH}_4$ 、 $\text{PH}_3$ 、 $\text{B}_2\text{H}_6$ 、 $\text{AsH}_3$ 、 $\text{O}_2$ 等を原料ガスとしたプラズマCVD法による成膜法により形成された絶縁膜であってもよい。

【0026】

上記絶縁膜150において、 $\text{SiO}_x$ あるいは $\text{Si}_x\text{Ge}_y\text{O}_{1-(x+y)}$ 等の半導体元素と酸素の化学量論組成は、微粒子分散絶縁膜15中の半導体微粒子152の所要の密度に応じて適宜調整される。例えば、 $\text{SiO}_x$ において $x=1$ とすると、Si半導体微粒子152の一層当たりの面密度を約 $3 \times 10^{11} \text{cm}^{-2}$ にすることができる。なお、この半導体元素と酸素の化学量論組成の調整は、成膜時の酸素分圧を変化させることによって行われる。

【0027】

本微粒子分散絶縁膜の製造方法は、上述のようにプラズマジェットを用いる。これにより短時間でかつ欠陥の少ない絶縁膜のアニール処理ができる。例えば、図1に示すような公知のArガス直流アーク放電式のプラズマ発生装置50を用い、プラズマジェットの基板11上における最大パワー密度を $60 \text{kW/cm}^2$ 以上の条件で $\text{SiO}_x$ 絶縁膜150を高速アニール処理するのがよい。このような条件において、 $\text{SiO}_x$ 絶縁膜150の温度は $1000 \text{K}$ 以上に達してアニールされ、微粒子分散絶縁膜15中に点在するSiの半導体微粒子152が形成される。なお、プラズマ発生装置50の種類は問わない。プラズマジェットの局所熱平衡条件（電子温度 $T_e$ 、イオン温度 $T_i$ 、中性ガス温度 $T_n$ ）が概ね $0.1$ 気圧から $10$ 気圧程度、最大パワー密度が $60 \text{kW/cm}^2$ 以上で加熱することができ、環境衛生上問題のないものであればよい。

【0028】

図2は、プラズマ発生装置50を用い、プラズマジェットの基板11上における最大パワー密度を $82 \text{kW/cm}^2$ とし、プラズマジェットの走査速度を $700 \text{mm/s}$ として、ガラス基板上に形成された膜厚 $400 \text{nm}$ の $\text{SiO}_x$ 絶縁膜150を高速熱処理したときの基板の温度変化を示すグラフである。横軸は加熱開始からの時間、縦軸は基板の表面から $0$ （表面）、 $0.1$ 、 $0.5$ 及び $0.7 \text{mm}$ の深さ位置における温度を示す。

【0029】

図2によると、基板11の表面（ $Z=0$ ）においては、 $1000 \text{K}$ 以上の温度が $5 \text{ms}$ 以上確保されていることが分かる。実際この条件で $\text{SiO}_x$ 絶縁膜150は全体にわたってアニールされ、Si半導体微粒子152が点在する微粒子分散絶縁膜15が形成されていた。これに対し、最大パワー密度を $55 \text{kW/cm}^2$ として同様の熱処理をした場合は、基板表面の温度を $1000 \text{K}$ 以上、 $3 \text{ms}$ 以上確保するのが困難であり、 $\text{SiO}_x$ 絶縁膜150のアニール処理は困難であった。すなわち、プラズマジェットの基板11上における最大パワー密度は $60 \text{kW/cm}^2$ と以上とするのがよい。なお、プラズマジェットの基板11上における最大パワー密度を $200 \text{kW/cm}^2$ にすると、基板11から $\text{SiO}_x$ 絶縁膜150が剥離しやすくなるので好ましくない。

【0030】

また、図2によると、基板11の表面の温度変化は加熱開始後急速に上昇し、プラズマジェットの走査（移動）により急速に温度が低下し、その後温度変化の少ない飽和状態になることが分かる。すなわち、基板表面の温度の変化状態のグラフは鋭いピークとこれに続く平坦な曲線を示すことがわかる。一般に最大パワー密度が高くなると、より高速走査であっても基板表面の温度は高くなるが基板内部の温度上昇の程度は低く抑えられる。一方、プラズマジェットの走査速度が遅くなると、基板表面温度と基板内部の温度差が小さくなるという傾向がある。

【0031】

図3は、プラズマジェットの最大パワー密度を $82 \text{kW/cm}^2$ とし、走査速度を種々変えて膜厚 $400 \text{nm}$ の $\text{SiO}_x$ 絶縁膜150を高速アニール処理した後、微粒子分散絶縁膜15の表面を原子間力顕微鏡（AFM）により観察した結果を示す。図3に示すように、当初の $\text{SiO}_x$ 絶縁膜150の表面は平坦で、最大でも $2 \text{nm}$ 程度の凹凸しかない（図3（a））。これに対して、プラズマジェットの走査速度が $700 \text{mm/s}$ （ $t=3.6 \text{ms}$ ）で熱処理したときの微粒子分散絶縁膜15の表面の凹凸は $6 \text{nm}$ （図3（b））、走査速度が $600 \text{mm/s}$ （ $t=4.2 \text{ms}$ ）で熱処理したときの凹凸は $13.5 \text{nm}$ （図3（c））、走査速度が $500 \text{mm/s}$ （ $t=5.0 \text{ms}$ ）で熱処理したときの凹凸は $132.4 \text{nm}$ （図3（d））であった。なお、上記において、 $t$ は基板上の1点における実効的熱処理時

10

20

30

40

50

間を示す。また、凹凸とは原子間力顕微鏡測定からもとめた最高点と最低点の高さの差を示す。

#### 【0032】

図3によると、プラズマジェットの走査速度が遅くなるほど微粒子分散絶縁膜15の表面の凹凸は急速に大きくなるのが分かる。この表面の凹凸は半導体微粒子のサイズを反映しており、走査速度の低下とともに半導体微粒子サイズが大きくなるのが分かる。この例では、量子閉じ込め効果が顕著になるナノ結晶を作製するためには、プラズマジェットの走査速度は700mm/sで熱処理するのがよい。すなわち、プラズマジェットの走査速度、言い換えると基板上の1点における実効的熱処理時間は、プラズマジェットの基板11上における最大パワー密度に適合する最適な値をそれぞれ選択する必要がある。なお、プラズマジェットの最大パワー密度が60kW/cm<sup>2</sup>である場合に、基板上の1点における実効的熱処理時間が20msを超えると、基板の温度が、ガラス基板が使用できない温度に達するので好ましくない。

10

#### 【0033】

また、プラズマジェットにより高速にアニール処理するには、Arガスの流量及び流速を高くすることが重要であるが、さらに、高速熱処理される絶縁膜150とプラズマ発生装置50のプラズマヘッド51の先端部との距離L(図1)の大きさを所定範囲にすることが重要である。距離Lは、1~20mmとするのがよい。距離Lは小さいほどプラズマジェットのパワー密度を高くすることができるが、距離Lが1mm未満になると、プラズマジェットを構成するガス流が絶縁膜150とプラズマヘッド51の間の空間内に閉じ込められて圧力が上昇し、却

20

#### 【0034】

また、プラズマジェットを噴出させる冷却噴出孔53の形状をどのようにするかが重要である。冷却噴出孔53は、プラズマヘッド51の水冷陽極52の中心部にあり、陰極54の先端前面部に設けられており、冷却噴出孔53の形状によりプラズマジェットの形状が左右されるからである。冷却噴出孔53の形状は長方形形状にするのがよい。プラズマジェットは、その中心部の高温部から周縁部の冷却噴出孔53に接する低温部まで非常に高い熱勾配を有しており、プラズマジェット自身の熱損失を低減させるために自発的に冷却噴出孔53の中心部に収束するという性質を有する。この性質により、プラズマジェットの形態を整形するとともに微小領域に絞り込むことができ、プラズマジェットのパワー密度を高めることができる。したがって、冷却噴出孔53の形状を長方形形状にすると、プラズマジェットを線状に整形収束させることができるので、基板11上に形成された絶縁膜150に照射されるプラズマジェットのパワー密度を高めつつ、基板11を線状のプラズマジェットの長軸に対して直交する方向に移動させることによって、基板11上の絶縁膜150の熱処理を効率的に行うことができる。

30

#### 【0035】

上記において、プラズマジェットを基板11に対し垂直方向に照射しながら、プラズマジェットの長軸方向と直交する方向に基板11を相対的に移動させ基板の一辺にわたる熱処理を行い、次に基板11を相対的にプラズマジェットの長軸と平行方向に移動して同様に基板の一辺にわたる熱処理を行うのがよい。この操作を繰り返すことにより、大面積基板上の絶縁膜150の熱処理を迅速に行うことができる。また、工程スループットを高めるために、複数のプラズマジェット源を同時に動作させて熱処理することも可能である。

40

#### 【0036】

このような微粒子分散絶縁膜の製造方法により形成された微粒子分散絶縁膜15のラマン散乱スペクトルを図4に示す。図4によると、520cm<sup>-1</sup>付近に結晶Si特有のTOフォノンピークがあり、Si半導体微粒子152が絶縁体151の中に析出していることが分かる。なお、図4は、Si基板11上に膜厚400nmのSiO<sub>x</sub>(x=1)絶縁膜150を形成し、プラズマジェットの最大パワー密度を82kW/cm<sup>2</sup>、走査速度を500、600、700mm/sとして熱処理を行ったときの結果である。横軸は、ラマン・シフトを示し、縦軸は、ラマン強度を示す。

#### 【0037】

50

このようにプラズマジェットを用いて絶縁膜150をアニール処理することにより、電荷保持ノード密度の高い微粒子分散絶縁膜15又はキャリアの発光再結合中心密度の高い微粒子分散絶縁膜15を効率的に製造することができる。さらに、高パワー密度のプラズマジェットを用いて短時間で絶縁膜150のアニール処理を行うことができるので、基板11の温度上昇を200~300程度に抑えることができる。このため、基板11にガラスやプラスチック製のものを使用することができる。

#### 【0038】

以上、本微粒子分散絶縁膜の製造方法について説明したが上記の実施例に限定されない。本微粒子分散絶縁膜の製造方法は、図5に示すように、基板11と絶縁膜150との間に下地保護膜12を設けることができる。この下地保護膜12は基板11の特性に応じて設けるのがよい。例えば、ガラス製の基板11を用いる場合、下地保護膜12を設けることによってガラス中に含まれているナトリウム(Na)、カリウム(K)等の可動イオンが半導体膜中に混入するのを防止することができる。また、金属材料等の導電性の基板11を用いる場合は、絶縁層として機能させることができる。下地保護膜12として、酸化珪素膜( $\text{SiO}_x: 0 < x < 2$ )や窒化珪素膜( $\text{Si}_3\text{N}_x: 0 < x < 4$ )等を使用することができる。

10

#### 【0039】

また、図5に示すように、上記下地保護膜12と絶縁膜150との間にさらに半導体膜13を設けることができる。この場合、例えば、下地保護膜12上にSi非晶質膜を形成し、このSi非晶質膜をプラズマジェットを用いて高速アニール処理することにより、結晶粒界部分の凹凸が極めて少なく表面の二乗平均粗さが0.2nm程度以下の多結晶シリコン半導体膜を形成することができる。その多結晶シリコン半導体膜上に上記微粒子分散絶縁膜の製造方法を用いて所要の微粒子分散絶縁膜15を形成することにより、欠陥の少ないメモリ素子又は発光素子を製造することができる。なお、Si非晶質膜は、例えば、基板11の温度を400程度から600程度とし、ジシラン( $\text{Si}_2\text{H}_6$ )を原料としてLPVD法により形成することができる。

20

#### 【0040】

半導体膜13は、上記のSi非晶質膜から多結晶シリコン半導体膜を形成したものに限られない。例えば以下のようなものであってもよい。すなわち、シリコン(Si)、ゲルマニウム(Ge)やダイヤモンド(C)等四族単体の半導体膜、シリコン・ゲルマニウム( $\text{Si}_x\text{Ge}_{1-x}: 0 < x < 1$ )やシリコン・カーバイド( $\text{Si}_x\text{C}_{1-x}: 0 < x < 1$ )やゲルマニウム・カーバイド( $\text{Ge}_x\text{C}_{1-x}: 0 < x < 1$ )等の四族元素複合体の半導体膜、ガリウム・ヒ素(GaAs)やインジウム・アンチモン(InSb)等の三族元素と五族元素との複合体化合物半導体膜、またはカドミウム・セレン(CdSe)等の二族元素と六族元素との複合体化合物半導体膜等であってもよい。また、シリコン・ゲルマニウム・ガリウム・ヒ素( $\text{SixGe}_y\text{Gaz}: x+y+z=1$ )等の複合化合物半導体膜やこれらの半導体膜にリン(P)、ヒ素(As)、アンチモン(Sb)等のドナー元素を添加したN型半導体膜、あるいはホウ素(B)、アルミニウム(Al)、ガリウム(Ga)、インジウム(In)等のアクセプター元素を添加したP型半導体膜であってもよい。

30

#### 【0041】

本発明に係る微粒子分散絶縁膜の製造方法は、基板11上に半導体成分を過剰に含む組成の絶縁膜150を形成し、プラズマジェット装置50によるプラズマジェットを用いて絶縁膜150を高速アニール処理後、さらに、その微粒子分散絶縁膜15を0.1MPa以上かつ100以上の水蒸気雰囲気中で熱処理をすることができる。これにより、半導体微粒子152の形成時に微粒子分散絶縁膜15中に生じた欠陥を減少させ、例えば、発光素子の発光効率を向上させることができる。

40

#### 【0042】

すなわち、絶縁膜150の高速アニール処理により半導体微粒子152が形成されるとき、微粒子分散絶縁膜15中の半導体微粒子152と絶縁膜151の界面に欠陥が多数形成される。この欠陥は、例えば発光素子の製造においては非発光再結合中心となるため、半導体微粒子152に注入されたキャリアのうち発光過程でなく非発光過程で再結合する割合が高くなり発

50



光効率が低下するようになる。そこで、この欠陥を減少させるため、粒子分散絶縁膜15を0.1MPa以上かつ100以上の水蒸気雰囲気中で熱処理を行う。なお、メモリ素子の製造においても上記と同様に行うことができる。

【0043】

図6は、絶縁膜150の高速アニール処理により半導体微粒子152が形成された後、微粒子分散絶縁膜15を260、1.3MPaの水蒸気雰囲気中において1時間ほど熱処理をしたものを温度300Kで波長が325nmの紫外レーザを照射したときのスペクトル図である。横軸は波長を、縦軸は任意強度のフォトルミネッセンス強度を示す。図6に示すように、700nm付近に発光ピークを示す赤色発光がみられ、本製造方法により発光効率がより向上した発光素子を得ることができていることが分かる。

10

【実施例1】

【0044】

本発明に係る微粒子分散絶縁膜の製造方法を用いてメモリ素子を製造した。その製造方法を模式的に図7に示す。図7(a)に示すように、まず、基板11として無アルカリガラスを用い、この基板11上に下地保護膜12として酸化珪素( $\text{SiO}_2$ )膜をプラズマCVD法により500nm形成した。次に半導体膜13をプラズマCVD法によりモノシラン( $\text{SiH}_4$ )と水素( $\text{H}_2$ )を原料として基板温度200で堆積した。堆積直後の膜は非晶質Siであるので、これにプラズマジェットを照射し、結晶化を行った。これにより形成された多結晶Si層をエッチングにより島状にパターニングした。その後、 $\text{SiH}_4$ および $\text{O}_2$ を原料ガスとするプラズマCVD法により $\text{SiO}_x$ 膜を20nm成膜し絶縁膜150を形成した。 $\text{SiO}_x$ 膜中のSiとOの組成比は、 $\text{SiH}_4$ ガスと $\text{O}_2$ ガス流量比を調整し、1:1とした。

20

【0045】

次に絶縁膜150にプラズマジェット照射を行った。プラズマジェットの最大パワー密度を $80\text{KW}/\text{cm}^2$ 、走査速度は $700\text{mm}/\text{s}$ とした。このプラズマジェットを用いたアニール処理により形成された微粒子分散絶縁膜15中のSiナノ結晶からなる半導体微粒子152の面密度は $1.2 \times 10^{12} \text{cm}^{-2}$ であった。しかるのち、コントロールゲート絶縁膜16としてプラズマCVD法により酸化珪素( $\text{SiO}_2$ )膜を10nm追加成膜した。その後スパッタリングによりAlを成膜し、これをパターニングしてゲート電極部17とした。その後、ゲート電極部17をマスクとしてソース部、ドレイン部にイオン注入法、あるいはイオンドーピング法により不純物を注入し自己整合的にソース13a、ドレイン13bを形成した。しかるのち、層間絶縁膜18を $\text{SiH}_4$ と $\text{O}_2$ を原料ガスに用いたプラズマCVD法により作製した後、コンタクトホールを開孔し、ソース電極22、ドレイン電極23及びゲート電極部17に結線されたゲート電極21をAlでスパッタリング法により形成して図7(b)に示すメモリ素子を製造した。なお、本実施例1及び2の半導体微粒子152の面密度は、原子間力顕微鏡及び断面透過電子顕微鏡により測定した。

30

【0046】

上記メモリ素子を用いてデータ書込み、消去、繰返し試験、データ保持試験をした。室温で良好なメモリ動作を確認した。

【実施例2】

【0047】

本発明に係る微粒子分散絶縁膜の製造方法を用いて発光素子を製造した。その製造方法を模式的に図8に示す。図8(a)に示すように、まず、実施例1と同様に無アルカリガラス基板11上に下地保護膜12を500nm形成した。次に半導体膜13としてn型半導体薄膜(カソード)をプラズマCVD法によりモノシラン( $\text{SiH}_4$ )、水素( $\text{H}_2$ )、ホスフィン( $\text{PH}_3$ )を原料として基板温度200で堆積した。堆積直後の膜は非晶質であるので、これに熱プラズマジェットを照射し、結晶化とドーパントの活性化を同時に行い、形成されたn型多結晶Si層をエッチングにより島状にパターニングして下電極31とした。その後、図8(b)に示すように、 $\text{SiH}_4$ および $\text{O}_2$ を原料ガスとするプラズマCVD法により $\text{SiO}_x$ からなる絶縁膜150(発光層)を50nm成膜した。 $\text{SiH}_4$ ガスと $\text{O}_2$ ガス流量比を調整し、 $\text{SiO}_x$ 膜中のSiとOの組成比は1:1とした。

40

50

## 【 0 0 4 8 】

次にプラズマジェット照射を実施例 1 と同様に、プラズマジェットの最大パワー密度を  $82\text{kW}/\text{cm}^2$ 、走査速度を  $800\text{mm}/\text{s}$  として行った。このプラズマジェットを用いたアニール処理により形成された微粒子分散絶縁膜 15 中の Si ナノ結晶からなる半導体微粒子 152 の面密度は  $3.0 \times 10^{12} \text{cm}^{-2}$  であった。次に上電極 32 として p 型半導体薄膜 (アノード) をプラズマ CVD 法によりモノシラン ( $\text{SiH}_4$ )、水素 ( $\text{H}_2$ )、ジボラン ( $\text{B}_2\text{H}_6$ ) を原料として基板温度 200 で堆積した。水素流量を多くすることによって、この P 型半導体層が成膜時にすでに多結晶になるようにした。次に P 型半導体層を電極形状にパターニングし、発光層にコンタクトホールを開孔した。そして、カソード電極 33 及びアノード電極 34 を Al スパッタリングにより成膜し、パターニングすることによって図 8 (c) に示す発光素子を製造した。

10

## 【 0 0 4 9 】

上記発光素子を用いて DC および AC 発光試験をおこなった。発光強度の経時劣化もなく良好な発光特性を示した。

## 【 図面の簡単な説明 】

## 【 0 0 5 0 】

【 図 1 】 本発明に係る微粒子分散絶縁膜の製造方法を示す模式図である。

【 図 2 】 ガラス基板上に形成した  $\text{SiO}_x$  絶縁膜をプラズマジェットにより加熱した場合の、基板の温度変化を示すグラフである。

【 図 3 】 プラズマジェットの走査速度を変えてアニールしたときの基板表面の原子間力顕微鏡写真を模式化した図面である。

20

【 図 4 】 微粒子分散絶縁膜の製造方法により形成された微粒子分散絶縁膜のラマン散乱スペクトル図である。

【 図 5 】 微粒子分散絶縁膜の製造方法の他の実施例の基板部の構造を示す模式図である。

【 図 6 】 他の製造方法により製造した発光素子のフォトルミネッセンス強度を示すスペクトル図である。

【 図 7 】 メモリ素子の製造方法を示す模式図である。

【 図 8 】 発光素子の製造方法を示す模式図である。

## 【 符号の説明 】

## 【 0 0 5 1 】

30

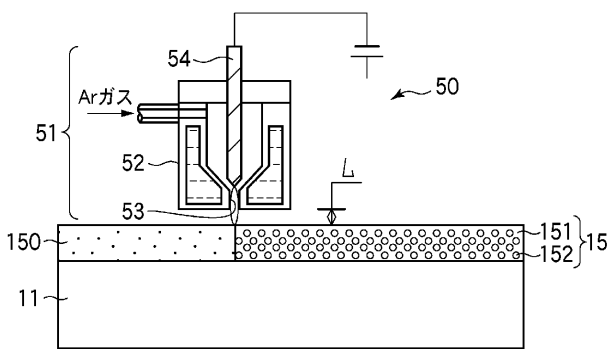
- 11 基板
- 12 下地保護膜
- 13 半導体膜
- 15 微粒子分散絶縁膜
- 150 絶縁膜
- 151 絶縁体
- 152 半導体微粒子
- 16 コントロールゲート絶縁膜
- 17 ゲート電極部
- 18 層間絶縁膜
- 21 ゲート電極
- 22 ソース電極
- 23 ドレイン電極
- 31 下電極
- 32 上電極
- 33 カソード電極
- 34 アノード電極
- 50 プラズマ発生装置
- 51 プラズマヘッド
- 52 陽極

40

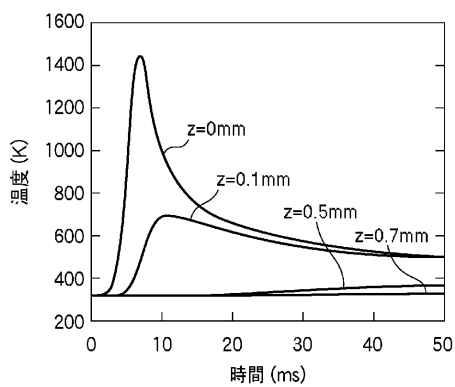
50

- 53 冷却噴出口
- 54 陰極

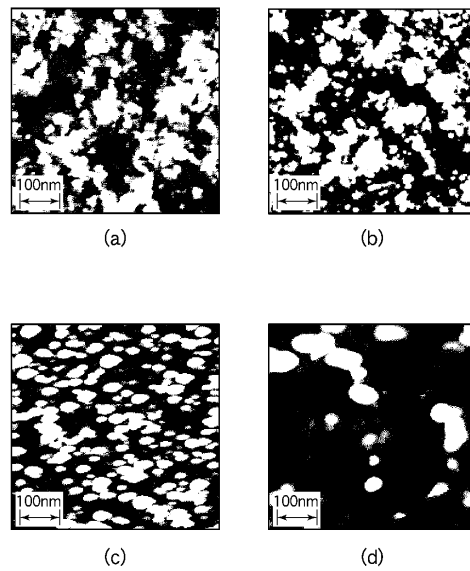
【 図 1 】



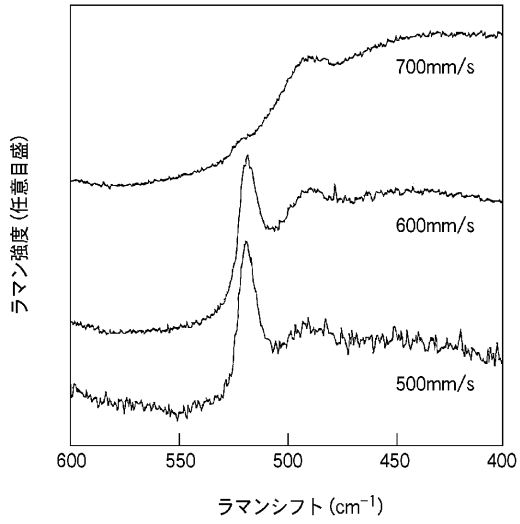
【 図 2 】



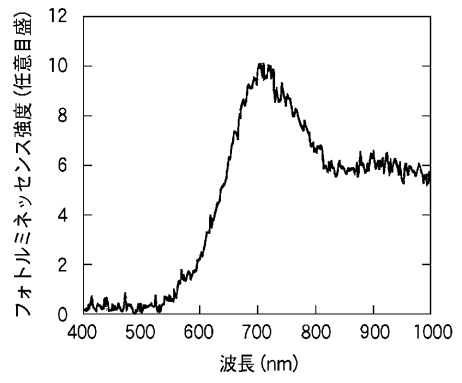
【 図 3 】



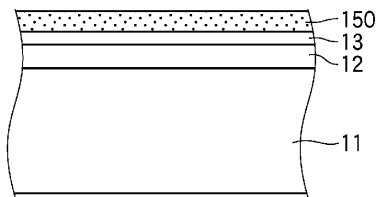
【 図 4 】



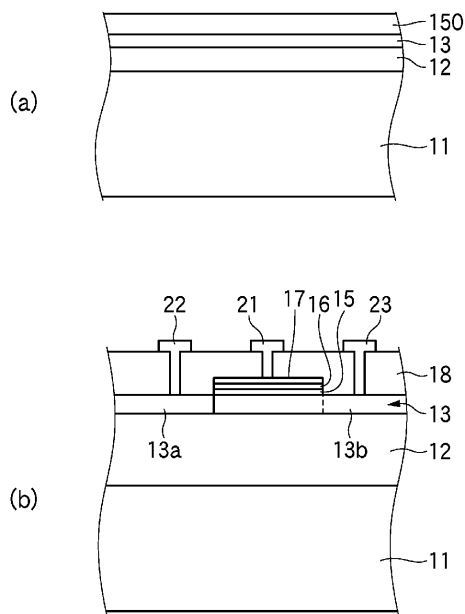
【 図 6 】



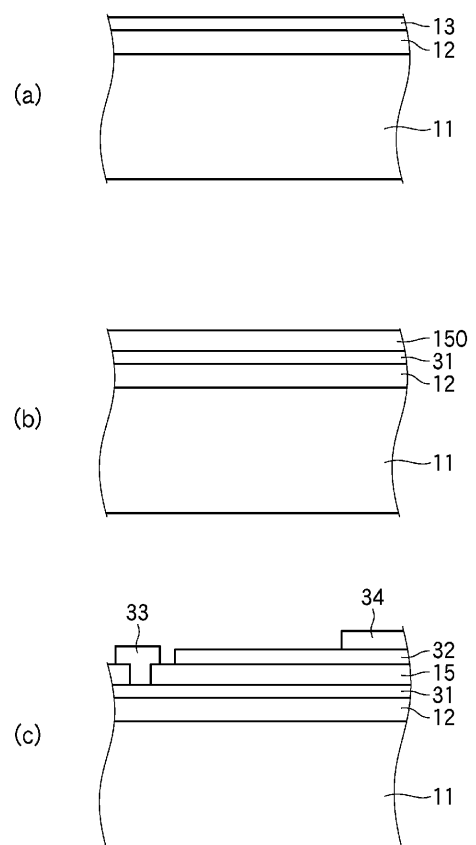
【 図 5 】



【 図 7 】



【 図 8 】



## フロントページの続き

(51) Int.Cl.		F I		テーマコード(参考)
<b>H 0 1 L 29/788 (2006.01)</b>		H 0 1 L 21/265	Y	
<b>H 0 1 L 27/115 (2006.01)</b>		H 0 1 L 21/265	W	
<b>H 0 1 L 21/265 (2006.01)</b>				

Fターム(参考) 5F152 BB02 BB06 CC02 CD13 CE02 CE03 CE05 CE06 CE07 CE08  
CE13 CE14 CE24 CE32 CE38 FF20 FF50