

(51)Int.Cl.⁷
H03F 3/60

識別記号

F I
H03F 3/60

テ-マコード (参考)
5J067

審査請求 未請求 請求項の数12 O L (全9頁)

(21)出願番号 特願2002 - 34513 (P 2002 - 34513)

(22)出願日 平成14年 2月12日 (2002.2.12)

(71)出願人 500082506
株式会社キャンパスクリエイト
東京都世田谷区奥沢 1 - 48 - 14

(71)出願人 502051302
小林 由紀子
福島県郡山市菜根 1 - 2 - 17

(71)出願人 502051313
本城 和彦
東京都調布市小島町 1 - 1 - 1 R A 206

(74)代理人 100091904
弁理士 成瀬 重雄

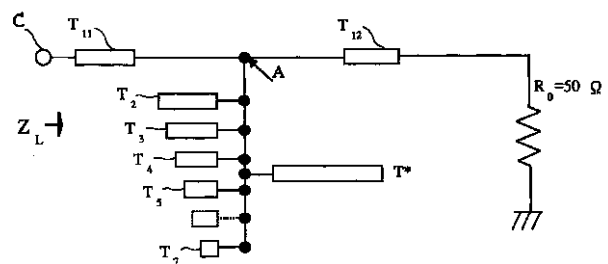
最終頁に続く

(54) 【発明の名称】 高調波処理回路およびそれを用いた増幅回路

(57) 【要約】

【課題】 スタブ数を減少させることができる負荷回路、および、それを用いた高効率な増幅回路を提供する。

【解決手段】 第1スタブは、 $L = \lambda / 4m$ (ただし、 $m = 2, 3, 4, \dots, n$) で表される伝送線路長 L を各々有している。それらの第1スタブ $T_2 \sim T_n$ のうち、 $m = pk$ (ただし、 p は3以上の奇数、 k は2以上の整数) で表される m に対応する伝送線路長を有する第1スタブを省略する。 $n = 7$ の例であれば、第1スタブ T_6 の設置を省略する。このように構成しても、負荷回路における特性インピーダンスは、削除しない回路と同等である。これにより、スタブ数を減少させることができる。また、複数の補償スタブに代えて、合成補償スタブ T^* を用いることにより、スタブ数をさらに減少させることができる。このようにしても、第1スタブによる残留リアクタンスが基本波に与える影響を除去することができる。



【特許請求の範囲】

【請求項 1】 増幅用トランジスタの出力端子と負荷抵抗との間に接続されて、前記トランジスタの出力端子に現れる高調波を処理するための回路であって、前記増幅用トランジスタの出力が入力され、かつ、前記増幅用トランジスタの出力における基本波の波長()の $1/4$ の長さを有する第 1 伝送線路と、前記第 1 伝送線路の出力端子に互いに並列に接続された複数の第 1 スタブとを有し、前記複数の第 1 スタブは、

$L = \quad / 4 m$ (ただし、 $m = 2, 3, 4, \dots, n$)
で表される伝送線路長 L を各々有しており、かつ、 $m = p k$ (ただし、 p は 3 以上の奇数、 k は、前記 m のうちで現に設けられている第 1 スタブにおける m) で表される m に対応する伝送線路長を有する前記第 1 スタブのいずれかまたはすべての設置は省略されていることを特徴とする高調波処理回路。

【請求項 2】 さらに、前記第 1 伝送線路の出力端子に互いに並列に接続された複数の第 2 スタブを有し、これらの第 2 スタブの伝送線路長 L_h は、 $L_h + L = \quad / 2$ を満たす長さに各々設定されていることを特徴とする請求項 1 記載の高調波処理回路。

【請求項 3】 さらに、前記第 1 の伝送線路の出力端子に接続され、かつ、前記第 1 スタブの合成入力アドミタンスと大きさが等しくかつ逆符号である合成補償スタブを有することを特徴とする請求項 1 記載の高調波処理回路。

【請求項 4】 前記合成補償スタブは、先端開放であることを特徴とする請求項 3 記載の高調波処理回路。

【請求項 5】 前記合成補償スタブは、先端短絡であることを特徴とする請求項 3 記載の高調波処理回路。

【請求項 6】 さらに、前記第 1 の伝送線路の出力端子に接続され、かつ、前記第 1 スタブの合成入力アドミタンスと大きさが等しくかつ逆符号であるリアクタンス素子を有することを特徴とする請求項 1 記載の高調波処理回路。

【請求項 7】 さらに、前記第 2 スタブのそれぞれの伝送線路長 L_h が、

$L_h = (2m - 1) \quad / 4 m$ (ただし $m = 2, 3, 4, \dots, n$)

という関係を満たしていることを特徴とする請求項 2 記載の高調波処理回路。

【請求項 8】 前記第 1 の伝送線路の出力端子と前記負荷抵抗との間に接続され、かつ、前記基本波の波長()の $1/4$ の長さを有する第 2 伝送線路をさらに備えたことを特徴とする請求項 1 ~ 7 のいずれか 1 項記載の高調波処理回路。

【請求項 9】 前記複数の第 1 スタブと前記複数の第 2 スタブとが、互いに線対称となる位置に配置されていることを特徴とする請求項 2、7、または 8 のいずれかに記載の高調波処理回路。

【請求項 10】 前記増幅用トランジスタに代えて、負性抵抗 2 端子増幅素子が用いられていることを特徴とする請求項 1 ~ 9 のいずれか 1 項記載の高調波処理回路。

【請求項 11】 増幅用トランジスタの出力端子と負荷抵抗との間に接続されて、前記トランジスタの出力端子に現れる高調波を処理するための回路であって、前記増幅用トランジスタの出力が入力される入力端子と、前記増幅用トランジスタの出力における基本波の波長()の $1/4$ の長さを有する第 1 伝送線路と、前記第 1 の伝送線路の出力端子に互いに並列に接続された複数の第 1 スタブとを有し、

前記複数の第 1 スタブは、
 $L = \quad / 4 m$ (ただし、 $m = 2, 3, 4, \dots, n$)
で表される伝送線路長 L を各々有するものであり、さらに合成補償スタブを備え、前記合成補償スタブは、前記第 1 伝送線路の出力端子に接続されており、前記合成補償スタブのアドミタンスは、前記第 1 スタブの合成入力アドミタンスと大きさが等しくかつ逆符号とされていることを特徴とする高調波処理回路。

【請求項 12】 請求項 1 ~ 11 のいずれか 1 項に記載の高調波処理回路における前記第 1 の伝送線路の入力端子が、前記増幅用トランジスタの出力端子に接続されていることを特徴とする増幅回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、高調波処理回路およびこれを用いた増幅回路に関するものである。

【0002】

【従来の技術】近年、HEMT や HBT などの、高速動作可能なトランジスタが実用化されている。これらの素子によれば、50 ~ 60 GHz 帯の動作周波数を実現することができる。ところで、これらの素子においては、利得を向上させるために、高調波を積極的に利用することがある。この場合は、高調波による電力消費を抑えることが、電力効率を向上させるために望ましい。

【0003】こうした目的のために、いわゆる F 級の増幅動作を実現できる負荷回路が望まれる。理想的な F 級増幅においては、トランジスタの出力における瞬時電流と瞬時電圧との重なりがないため、消費電力を少なくできる。そのための負荷回路としては、例えば、特開平 2001-111362 公報(文献 1) や特許第 2513146 公報(文献 2) に示されたものがある。文献 1 に示された負荷回路および実装レイアウトを図 1 および図 2 に示す。

【0004】この負荷回路は、増幅用トランジスタ Q_1 の出力端子に接続されたものである。この負荷回路は、第 1 伝送線路 T_{11} と、第 2 伝送線路 T_{12} と、スタブ $T_2 \sim T_7$ と、補償スタブ $T_2 \sim T_7$ とを主要な構成として備えている。第 2 伝送線路 T_{12} の出力端子は、負荷抵抗 R_0 に接続されている。

【0005】この回路によれば、スタブ $T_2 \sim T_7$ を設けたので、端子Aにおいて、2次～7次の高調波 $2f_0, 3f_0, 4f_0, 5f_0, 6f_0, 7f_0$ に対して、インピーダンスを零とすることができる。ここで、増幅動作の基本波周波数を f_0 としている。また、この回路によれば、補償スタブ $T_2 \sim T_7$ を設けたので、スタブ $T_2 \sim T_7$ における残留リアクタンス成分を零とすることが可能になる。これらの構成により、電力効率を向上させることができる。

【0006】しかしながら、この負荷回路を実装しようとすると、図2に示されるように、限られたスペースに多数のスタブを設ける必要がある。図では T_6 まで記載している。この状態でも、実装面積が大きくなってしまえばかりか、狭い空間にスタブを構成する作業が複雑になってしまう。また、 T_7 以上のスタブを設けることは、かなりの困難を伴うことになる。

【0007】

【発明が解決しようとする課題】本発明は、前記の事情に鑑みてなされたものである。本発明は、スタブ数を減少させることができる負荷回路を提供することを目的としている。

【0008】

【課題を解決するための手段】請求項1記載の高調波処理回路は、増幅用トランジスタの出力端子と負荷抵抗との間に接続されて、前記トランジスタの出力端子に現れる高調波を処理するための回路である。この回路は、増幅用トランジスタの出力が入力され、かつ、増幅用トランジスタの出力における基本波の波長()の $1/4$ の長さを有する第1伝送線路と、前記第1伝送線路の出力端子に互いに並列に接続された複数の第1スタブとを有する。さらに、前記複数の第1スタブは、 $L = \quad / 4m$ (ただし、 $m = 2, 3, 4, \dots, n$) で表される伝送線路長 L を各々有しており、かつ、 $m = pk$ (ただし、 p は3以上の奇数、 k は、前記 m のうちで現に設けられている第1スタブにおける m)で表される m に対応する伝送線路長を有する前記第1スタブのいずれかまたはすべての設置が省略されたものとなっている。

【0009】請求項2記載の高調波処理回路は、請求項1記載のものにおいて、さらに、前記第1伝送線路の出力端子に互いに並列に接続された複数の第2スタブを有している。これらの第2スタブの伝送線路長 L_h は、 $L_h + L = \quad / 2$ を満たす長さに各々設定されている。

【0010】請求項3記載の高調波処理回路は、請求項1記載のものにおいて、さらに、前記第1の伝送線路の出力端子に接続され、かつ、前記第1スタブの合成入力アドミタンスと大きさが等しくかつ逆符号である合成補償スタブを有する構成となっている。

【0011】請求項4記載の高調波処理回路は、請求項3記載のものにおいて、前記合成補償スタブを、先端開

放のものとしている。

【0012】請求項5記載の高調波処理回路は、請求項3記載のものにおいて、前記合成補償スタブを、先端短絡のものとしている。

【0013】請求項6記載の高調波処理回路は、請求項1記載のものにおいて、さらに、前記第1の伝送線路の出力端子に接続され、かつ、前記第1スタブの合成入力アドミタンスと大きさが等しくかつ逆符号であるリアクタンス素子を有する構成となっている。

10 【0014】請求項7記載の高調波処理回路は、請求項2記載のものにおいて、さらに、前記第2スタブのそれぞれの伝送線路長 L_h が、 $L_h = (2m - 1) / 4m$ (ただし $m = 2, 3, 4, \dots, n$)という関係を満たしているものである。

【0015】請求項8記載の高調波処理回路は、請求項1～7のいずれか1項記載のものにおいて、前記第1の伝送線路の出力端子と前記負荷抵抗との間に接続され、かつ、前記基本波の波長()の $1/4$ の長さを有する第2伝送線路をさらに備えた構成となっている。

20 【0016】請求項9記載の高調波処理回路は、請求項2、7、または8のいずれかに記載のものにおいて、前記複数の第1スタブと前記複数の第2スタブとが、互いに線対称となる位置に配置されている構成となっている。

【0017】請求項10記載の高調波処理回路は、請求項1～9のいずれか1項記載のものにおいて、前記増幅用トランジスタに代えて、負性抵抗2端子増幅素子を用いている。

30 【0018】請求項11記載の高調波処理回路は、増幅用トランジスタの出力端子と負荷抵抗との間に接続されて、前記トランジスタの出力端子に現れる高調波を処理するための回路であって、前記増幅用トランジスタの出力が入力される入力端子と、前記増幅用トランジスタの出力における基本波の波長()の $1/4$ の長さを有する第1伝送線路と、前記第1の伝送線路の出力端子に互いに並列に接続された複数の第1スタブとを有し、前記複数の第1スタブは、

$L = \quad / 4m$ (ただし、 $m = 2, 3, 4, \dots, n$)

40 で表される伝送線路長 L を各々有するものであり、さらに合成補償スタブを備え、前記合成補償スタブは、前記第1伝送線路の出力端子に接続されており、前記合成補償スタブのアドミタンスは、前記第1スタブの合成入力アドミタンスと大きさが等しくかつ逆符号とされているものである。

【0019】請求項12記載の増幅回路は、請求項1～11のいずれか1項に記載の高調波処理回路における前記第1の伝送線路の入力端子が、前記増幅用トランジスタの出力端子に接続されている構成となっている。

【0020】

50 【発明の実施の形態】本発明の第1実施形態に係る負荷

回路を、添付の図面を参照しながら説明する。まず、図 3 に基づいて、この負荷回路の構成を説明する。この負荷回路は、増幅用トランジスタ（後述）の出力端子と負荷抵抗 R_0 との間に接続されるものである。この負荷回路は、第 1 伝送線路 $T_{1,1}$ と、第 2 伝送線路 $T_{1,2}$ と、複数の第 1 スタブ $T_2 \sim T_n$ と、合成補償スタブ T^* とを主要な構成として備えている。

【0021】第 1 伝送線路 $T_{1,1}$ の入力端子 C は、トランジスタの出力端子に接続されている。第 1 伝送線路 $T_{1,1}$ の長さは、トランジスタの出力における基本波の波長 (λ) の $1/4$ の長さを有している。

【0022】第 2 伝送線路 $T_{1,2}$ の入力側は、第 1 伝送線路 $T_{1,1}$ の出力端子 A に直列に接続されている。第 2 伝送線路 $T_{1,2}$ の出力側は、負荷抵抗 R_0 に接続されている。第 2 伝送線路 $T_{1,2}$ の長さは、第 1 伝送線路 $T_{1,1}$ と同様とされている。

【0023】複数の第 1 スタブ $T_2 \sim T_n$ （図では T_7 まで）は、互いに並列に、第 1 伝送線路 $T_{1,1}$ の出力端子 A に接続されている。ここで n は任意の正の整数である。これらの第 1 スタブ $T_2 \sim T_n$ の、各々の伝送線路長 L は、 $L = \lambda / 4m$ （ただし、 $m = 2, 3, 4, \dots, n$ ）とされている。

【0024】さらに、本実施形態では、複数の第 1 スタブ $T_2 \sim T_n$ は、連続的にすべて設けられているものではない。すなわち、本実施形態では、「 $m = pk$ （ただし、 p は 3 以上の奇数、 k は、前記 m のうちで現に設けられている第 1 スタブにおける m ）で表される m に対応する伝送線路長を有する第 1 スタブ $T_2 \sim T_n$ 」のうち、いずれかまたはすべての設置が省略されたものとなっている。ここで、「省略された」とは、設けられていないことを意味する。例えば、図示例では、 $p = 3$ かつ $k = 2$ の場合として、スタブ T_6 が省略されている。また、 k は、前記の通り、実際に設けられたスタブ T_k における k を意味する。したがって、 T_2 を設けた場合に、 T_6 を省略するという意味である。 T_3 を設けた場合には、 $p = 3$ かつ $k = 3$ の場合として、スタブ T_9 を省略できる。スタブを省略できる理由は後述する。

【0025】合成補償スタブ T^* は、第 1 の伝送線路の出力端子 A に接続されている。合成補償スタブ T^* のア

$$\begin{pmatrix} V_1 \\ I_2 \end{pmatrix} = \begin{pmatrix} \cos\left(\frac{\pi}{2} \cdot \frac{f}{f_k}\right) & jZ_0 \sin\left(\frac{\pi}{2} \cdot \frac{f}{f_k}\right) \\ \frac{j}{Z_0} \sin\left(\frac{\pi}{2} \cdot \frac{f}{f_k}\right) & \cos\left(\frac{\pi}{2} \cdot \frac{f}{f_k}\right) \end{pmatrix} \begin{pmatrix} V_2 \\ I_2 \end{pmatrix} \quad (1)$$

で表される。(1)式は、 $f = f_k, 3f_k, 5f_k, 7f_k, \dots = kf_0, 3kf_0, 5kf_0, \dots$ において

ドミナンスは、複数の第 1 スタブ $T_2 \sim T_n$ （ただし省略されたスタブを除く）の合成入力アドミタンスと大きさが等しくかつ逆符号とされている。図示例では、このような合成補償スタブ T^* を、先端開放のスタブにより構成している。また、合成補償スタブ T^* を、先端短絡のスタブによって構成することもできる。さらに、合成補償スタブ T^* に代えて、第 1 スタブ $T_2 \sim T_n$ （ただし省略されたスタブを除く）の合成入力アドミタンスと大きさが等しくかつ逆符号とされたアドミタンスを有するリアクタンス素子を用いてもよい。そのようなリアクタンス素子の例としては、例えば、集中定数インダクタ L 、集中定数キャパシタ C 、ならびに先端にインダクタ L またはキャパシタ C が装荷されたスタブがある。なお、図 3 中で符号 Z_L は、この負荷回路の合成インピーダンスを示している。

【0026】つぎに、本実施形態の負荷回路を用いた増幅回路の例を図 4 に基づき説明する。この例では、増幅用トランジスタ S の出力端子に、第 1 の伝送線路 $T_{1,1}$ の入力端子 C が接続されている。また、増幅用トランジスタ S と負荷抵抗 R_0 との間には、直流阻止用のカップリングコンデンサ C_1 および C_2 が接続されている。さらに、トランジスタ S には、電源電圧 V_{cc} が供給されている。

【0027】つぎに、本実施形態に係る負荷回路の動作について説明する。まず、第 1 伝送線路 $T_{1,1}$ を設けたことにより、基本波 f_0 に対する入力インピーダンスは零となる。さらに、 m 次の各高調波に対する第 1 スタブ T_m ($m = 2, 3, 4, \dots, n$) により、各高調波における A 点のインピーダンスを零とすることができる。これらの動作は、文献 1 に示された従来の負荷回路と同様である。

【0028】さらに、本実施形態では、第 1 スタブ $T_2 \sim T_n$ のうちで、一つまたはそれ以上のスタブが省略されている。その動作を以下に説明する。まず、第 1 スタブ全体（以下「 T_k 」で示す）を、図 5 に示されるような 2 端子対回路（4 端子回路）として考える。すると、第 1 スタブ T_k の F 行列は、すべての周波数 f に対して、 $f_k = kf_0$ を k 次高調波の周波数として、

【数 1】

【数 2】

$$\begin{pmatrix} V_1 \\ I_2 \end{pmatrix} = \begin{pmatrix} 0 & \pm jZ_0 \\ \pm \frac{j}{Z_0} & 0 \end{pmatrix} \begin{pmatrix} V_2 \\ I_2 \end{pmatrix} \quad (\text{複号同順}) \quad (2)$$

ただし、 $f = f_0, 5f_0, 9f_0, \dots$ のとき + , $f = 3f_0, 7f_0, 11f_0, \dots$ のとき - となり、従って、このときの入力インピーダンス $Z_{in k}$ は、

$$Z_{in k} = \frac{V_1}{I_1} = Z_0^2 \frac{I_2}{V_2} \quad (3)$$

となる。さらに、 T_k は先端開放であるから、 $I_2 = 0$ により $Z_{in k} = 0$ となる。

【0029】このことから、第1スタブ T_k を設けることで、 k 次高調波以外にも $3k$ 次、 $5k$ 次、 $7k$ 次、… という各高調波における A 点でのインピーダンスが零となることが判る。従来は、各高調波に対応する第1スタブを一本づつ設けていた。つまり、2次高調波に対し

T_2 、3次高調波に対し T_3 というスタブを設けていた。しかしながら、前記の考察から明らかなように、スタブ T_k があれば、 $T_{3k}, T_{5k}, T_{7k}, \dots$ を設ける必要はない。つまり、 $T_{3k}, T_{5k}, T_{7k}, \dots$ を省いても、 T_k がそれらの代わりとなり、省く前と同様の負荷インピーダンス特性（奇数次高調波に対し開放、偶数次高調波に対し短絡）を実現できる。具体的には、 T_2 によって代替可能な $T_6, T_{10}, T_{14}, \dots$ 、 T_3 によって代替可能な $T_9, T_{15}, T_{21}, \dots$ 、 T_4 によって代替可能な $T_{12}, T_{20}, T_{28}, \dots$ を省く事ができる。表1に、 T_k を設けた場合に省略できるスタブを示す。

【0030】

【表1】

k	T_k	kf_0	$f_k = kf_0$ 以外に T_k が処理できる高調波 (対応するスタブ)			
			$3f_k = 3kf_0$	$5f_k = 5kf_0$	$7f_k = 7kf_0$..
2	T_2	$2f_0$	$6f_0(T_6)$	$10f_0(T_{10})$	$14f_0(T_{14})$..
3	T_3	$3f_0$	$9f_0(T_9)$	$15f_0(T_{15})$	$21f_0(T_{21})$..
4	T_4	$4f_0$	$12f_0(T_{12})$	$20f_0(T_{20})$	$28f_0(T_{28})$..
5	T_5	$5f_0$	$15f_0(T_{15})$	$25f_0(T_{25})$	$35f_0(T_{35})$..
6	T_6	$6f_0$	$18f_0(T_{18})$	$30f_0(T_{30})$	$42f_0(T_{42})$..
7	T_7	$7f_0$	$21f_0(T_{21})$	$35f_0(T_{35})$	$49f_0(T_{49})$..
8	T_8	$8f_0$	$24f_0(T_{24})$	$40f_0(T_{40})$	$56f_0(T_{56})$..
9	T_9	$9f_0$	$27f_0(T_{27})$	$45f_0(T_{45})$	$63f_0(T_{63})$..
10	T_{10}	$10f_0$	$30f_0(T_{30})$	$50f_0(T_{50})$	$70f_0(T_{70})$..
:	:	:	:	:	:	:

表1 省くことのできる高調波処理スタブ

【0031】以上をまとめると、省くことのできる高調波処理スタブは「既に設けられているスタブにおける m の値が2以上の整数であるときに、その m の奇数倍の高調波に対応するスタブ T_m 」と言える。言い換えれば、この定義に当てはまらない、 m の値が2の階乗と素数とであるスタブ、具体的には $T_2, T_3, T_4, T_5, T_7, \dots$ は、省かれずに残る。そして、それらのみで、所望の負荷インピーダンス特性が得られる。もちろん、どの次数までを考慮してスタブを設けるかは任意の設計事項である。また、省略できるすべてのスタブを省略することは必須ではなく、一部を残存させておくことも理論的には可能である。

【0032】このように、本実施形態では、第1スタブの数を従来に比べて削減することができる。したがって、スタブ設置に要する面積を小さくすることができ、さらに、スタブ実装工程が容易となるという利点があ

る。

【0033】本実施形態に係る負荷回路の負荷インピーダンス特性を図6(b)に示す。比較のため、第1スタブを削減していない場合(図1に示す従来技術)の負荷インピーダンスを図6(a)に示す。本実施形態の回路においても、削減前の回路と同様に、負荷インピーダンスは、奇数次高調波に対して開放、偶数次高調波に対して短絡となっている。しかも、基本波(1.9GHz)に対する負荷インピーダンスは等しい。これにより、本実施形態の回路は、削減前の回路と同様の負荷インピーダンスを有していることが判る。

【0034】つぎに、合成補償スタブ T^* を用いることができる理由について説明する。前記した第1スタブ $T_2 \sim T_n$ (前記に従って一部のスタブが削減されたもの)の合成入力アドミタンスを $Y_{in T}$ とする。スタブ T^* は、このアドミタンス $Y_{in T}$ と大きさが等しく逆

10

40

50

符号の入力アドミタンスを有している。したがって、この一本のスタブ T^* により、第 1 スタブ $T_2 \sim T_n$ が基本波に与える影響（残留リアクタンスの影響）を除去することができる。従来は、第 1 スタブの一本ごとに一本の補償スタブを設けていた。しかしながら、本実施形態では、前記した理由により、補償スタブの数を削減することができる。よって、本実施形態では、スタブ設置に要する面積をさらに、小さくすることができる。また、本実施形態では、スタブ実装工程をさらに容易とすることができる。

【0035】合成補償スタブ T^* を得る方法についてさらに具体的に説明する。先端開放の伝送線路（長さ l 、伝搬定数、特性インピーダンス Z_0 ）の入力アドミタンス Y は、

【数 4】

$$Y = \frac{j}{Z_0} \tan \beta l \quad (4)$$

で表される。これから、スタブ T_k における、基本波に対する入力アドミタンス $Y_{in k}$ は、以下の通りとなる。すなわち、まず、基本波の伝搬定数は、 $\beta = 2\pi / \lambda_0$ となる。さらに、スタブ T_k は、 k 次高調

$$Y_{in T} = \frac{j}{Z_0} \tan \beta L_h = -\frac{j}{Z_0} \left(\sum_{k=2}^7 \tan \frac{\pi}{2k} - \tan \frac{\pi}{12} \right) \quad (7)$$

である。すると、長さ L_h は、

$$L_h = \frac{1}{\beta} \tan^{-1} \left[- \left(\sum_{k=2}^7 \tan \frac{\pi}{2k} - \tan \frac{\pi}{12} \right) \right] \quad (8)$$

となる。これを実際に計算すると、

$L_h = 0.30959253 \lambda_0 = 0.3 \lambda_0$ のように求めることができる。

【0038】なお、この実施形態では、第 1 の伝送線路 T_{11} の出力端子と負荷抵抗 R_0 との間に、基本波の波長（ λ_0 ）の $1/4$ の長さを有する第 2 伝送線路 T_{12} を接続している。このため、この実施形態では、基本波における増幅動作に対して適切な負荷インピーダンスを、伝送線路 T_{12} の特性インピーダンスを変化させることにより実現できるという利点がある。しかも、この場合には、伝送線路 T_{12} の特性インピーダンスの変化は、高調波のための負荷インピーダンスには一切影響を与えないという利点もある。

【0039】

【実施例】本実施形態の負荷回路を、下記条件の増幅用トランジスタ S に適用した。

飽和ドレイン電流：60 mA

しきい値電圧：-0.9 V

電源電圧：3.4 V

最大発振周波数 f_{max} ：70 GHz

構成：ヘテロ接合 FET

【0040】この場合の、ドレイン電流端子における電

波（波長 $\lambda_k = \lambda_0 / k$ ）に対する 4 分の 1 波長線路であるから、その長さ l は、 $l = \lambda_k / 4 = \lambda_0 / 4k$ となる。これらを（4）式に代入すると、

【数 5】

$$Y_{in k} = \frac{j}{Z_0} \tan \frac{\pi}{2k} \quad (5)$$

となる。

【0036】一方、第 1 スタブ $T_2 \sim T_7$ 全体の合成入力アドミタンスを $Y_{in T}$ とすると、

10 【数 6】

$$Y_{in T} = \sum_{k=2}^7 Y_{in k} - Y_0 = \frac{j}{Z_0} \left(\sum_{k=2}^7 \tan \frac{\pi}{2k} - \tan \frac{\pi}{12} \right) \quad (6)$$

となる。したがって、合成補償スタブ T^* （長さ L_h ）の入力インピーダンス Y_{inh} を $Y_{inh} = -Y_{in T}$ とすることにより、第 1 スタブが基本波に与える影響を、一本の合成補償スタブによって除去することができる。

【0037】つぎに、先端開放の伝送線路により合成補償スタブ T^* を構成する例について説明する。前記

（4）および（6）式より、

【数 7】

【数 8】

30 圧・電流特性を、ハーモニックバランスシミュレータにより計算した。その結果を図 7 に示す。瞬時電圧と瞬時電流との重なりがほぼ無くなっており、理想的な F 級動作に近い動作を実現している。このときの付加電力効率（Power-added Efficiency, PAE）を図 8 に示す。この図から、PAE はほぼ 90% に達することが判る。なお、この図において、 P_{out} は、負荷抵抗において得られる出力電力を示している。

40 【0041】次に、本発明の第 2 実施形態に係る負荷回路を説明する。前記した第 1 実施形態においては、補償用のスタブとして、合成補償スタブ T^* を用いた。しかしながら、第 2 実施形態では、これに代えて、複数の補償用の第 2 スタブを設ける構成とした。その回路の例を図 9 に示す。ここでは、第 1 スタブ $T_2 \sim T_7$ に対応して、補償用の第 2 スタブ $T_2^* \sim T_7^*$ が設けられている。もちろん、省略された第 1 スタブに対応する第 2 スタブは省略されている。この構成においても、前記した実施形態と同様に、残留リアクタンスによる、基本波への影響を除去することができる。この場合の動作は、前記した文献 1 に記載された通りなので、詳細の説明は省略する。また、この実施形態においても、第 1 スタブ T_6 と第 2 スタブ T_6^* とを省略しているため、その分、

スタブの数を削減することができる。また、第 2 実施形態においては、さらに、第 2 スタブのそれぞれの伝送線路長 L_h を、

$$L_h = (2 m - 1) / 4 m \quad (\text{ただし } m = 2, 3, 4, \dots, n)$$

という関係を満たすものとした。このように設定すると、伝送線路長 $L_h + L$ が常に $\lambda / 2$ となるので、インピーダンス補償の設計が容易であるという利点がある。

【 0 0 4 2 】さらに、第 2 実施形態においては、複数の第 1 スタブと複数の第 2 スタブとが、互いに線対称となる位置に配置されている。このように配置することにより、多数のスタブを、一点(この例では出力端子 A)を基準として並列接続することができる。このため、スタブ配置に要する面積を小さくするという利点がある。

【 0 0 4 3 】なお、前記各実施形態の記載は単なる一例に過ぎず、本発明に必須の構成を示したものではない。各部の構成は、本発明の趣旨を達成できるものであれば、上記に限らない。例えば、前記実施形態では、増幅用素子としてトランジスタを用いたが、これに代えて、負性抵抗の 2 端子増幅素子を用いることもできる。そのような素子の一例は、ガンダイオードである。

【 0 0 4 4 】

【発明の効果】本発明によれば、スタブ数を減少させることができる負荷回路、および、それを用いた高効率な増幅回路を提供することができる。

【図面の簡単な説明】

【図 1】従来の負荷回路を用いた増幅回路を示す図である。

【図 2】図 1 に示す回路を基板上に実装した一例を示す説明図である。

【図 3】本発明の第 1 実施形態に係る負荷回路を示す図

である。

【図 4】図 3 に示す負荷回路を用いた増幅回路を示す図である。

【図 5】第 1 実施形態を説明するために用いる 2 端子回路を示す図である。

【図 6】図 (a) は、従来の負荷回路における負荷インピーダンス特性を示すグラフであり、図 (b) は、第 1 実施形態の負荷回路における負荷インピーダンス特性を示すグラフである。

10 【図 7】本発明の第 1 実施形態に係る増幅回路を用いた実施例の結果を示す図であり、トランジスタのドレイン端子における電圧・電流特性を示すグラフである。

【図 8】本発明の第 1 実施形態に係る増幅回路を用いた実施例の結果を示す図であり、回路の負荷電力特性を示すグラフである。

【図 9】本発明の第 2 実施形態に係る負荷回路を示す図である。

【符号の説明】

f_0 基本波の周波数

20 $2 f_0, 3 f_0, 4 f_0, 5 f_0, 6 f_0, 7 f_0$ 高調波の周波数

A 第 1 伝送線路の出力端子

C 第 1 伝送線路の入力端子

$C_1 \cdot C_2$ カップリングコンデンサ

S 増幅用トランジスタ

R_0 負荷抵抗

T^* 合成補償スタブ

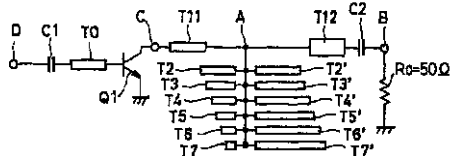
T_{11} 第 1 伝送線路

T_{12} 第 2 伝送線路

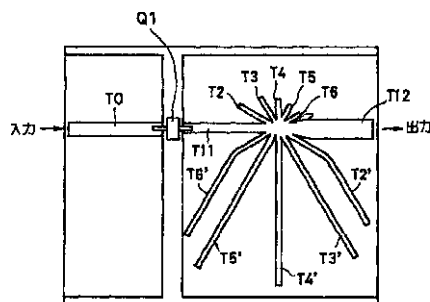
30 $T_2 \sim T_n$ 第 1 スタブ

$T_2^* \sim T_n^*$ 第 2 スタブ (補償スタブ)

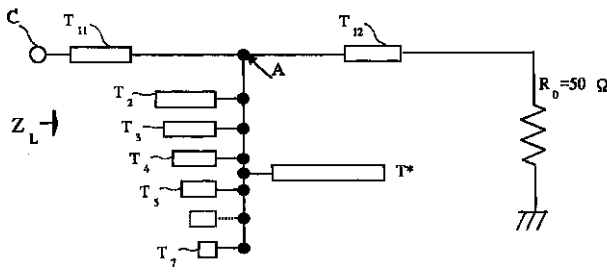
【図 1】



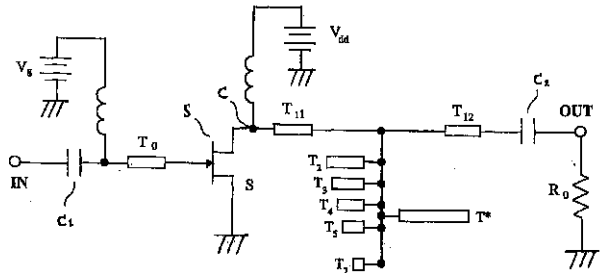
【図 2】



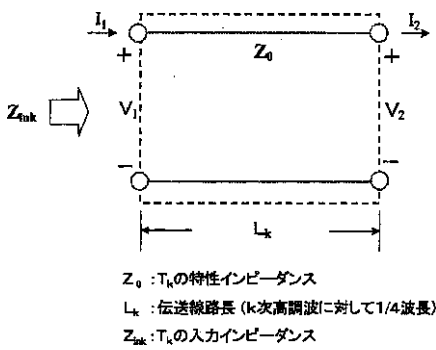
【図3】



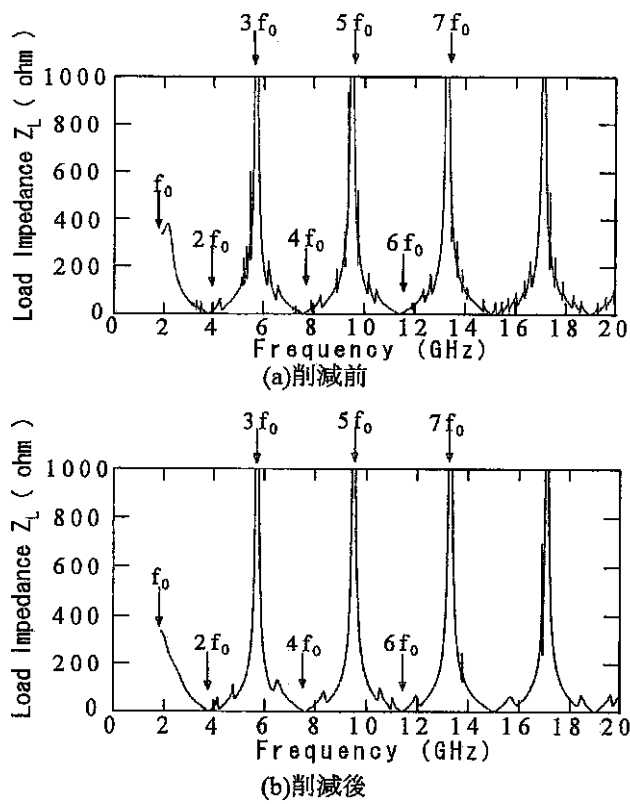
【図4】



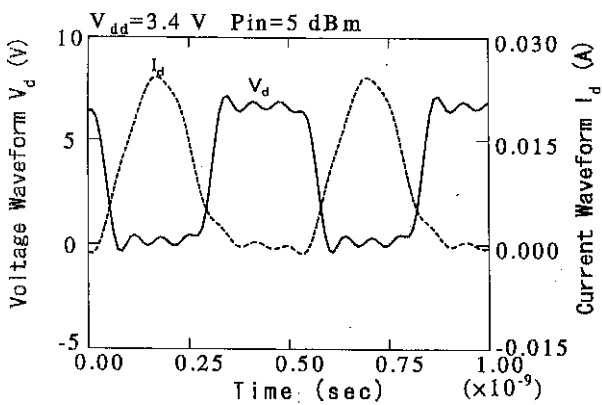
【図5】



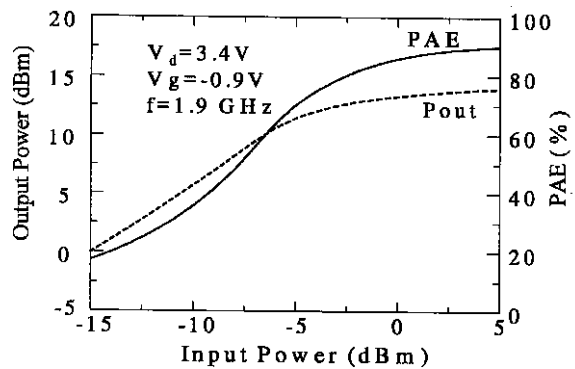
【図6】



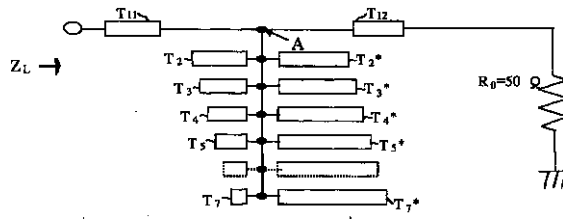
【図7】



【図8】



【図9】



フロントページの続き

(72)発明者 小林 由紀子
福島県郡山市菜根1 - 2 - 17

(72)発明者 本城 和彦
東京都調布市小島町1 - 1 - 1 R A 206

Fターム(参考) 5J067 AA01 AA04 AA67 CA36 CA92
FA16 HA06 HA12 HA22 HA25
HA29 HA33 KA47 KA68 LS11
MA21 QA04 QS02 TA03