

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-235893

(P2005-235893A)

(43) 公開日 平成17年9月2日(2005.9.2)

(51) Int. Cl.<sup>7</sup>

H01L 27/14

G01C 3/06

F I

H01L 27/14

G01C 3/06

テーマコード(参考)

2F112

4M118

審査請求 未請求 請求項の数 12 O L (全 12 頁)

(21) 出願番号 特願2004-41057(P2004-41057)

(22) 出願日 平成16年2月18日(2004.2.18)

(71) 出願人 304023318

国立大学法人静岡大学  
静岡県静岡市大谷836

(74) 代理人 100122219

弁理士 梅村 勁樹

(72) 発明者 川人 祥二

静岡県浜松市広沢一丁目2番12号

Fターム(参考) 2F112 AD01 BA07 BA09 CA12 DA15  
DA28

4M118 AA10 AB03 BA06 CA07 CB14  
DB06 DB09 DD04

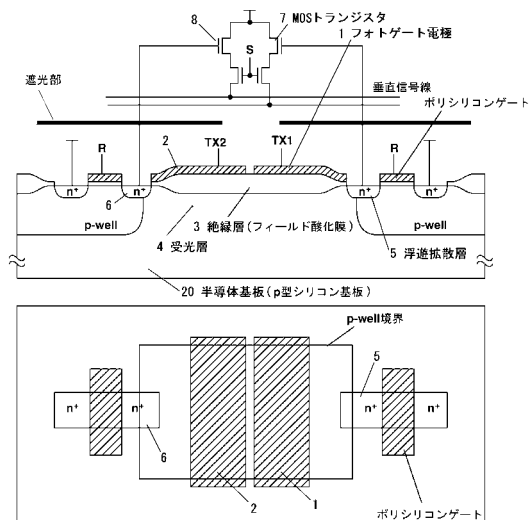
(54) 【発明の名称】 光飛行時間型距離センサ

(57) 【要約】

【課題】これまでの光の反射時間測定による距離画像センサは、CCDプロセスとCMOSプロセスとを必要としているため、高価格であった。低価格にするためには、標準的なCMOSプロセスにできる限り少ない工程の追加で実現できることが望ましい。

【解決手段】本発明は、標準CMOSプロセス、またはそれに簡単な工程を追加することにより、低コストで高性能な距離画像センサを実現する。シリコン基板(20)上に酸化膜(3)を設け、その上に電荷転送用のフォトゲート電極(1,2)を2つ設ける。酸化膜の縁部には受光層(4)からの電荷取りだし用の浮遊拡散層(5,6)を設けるとともに、その外側にリセット用ゲート電極及びリセット電位供給用の拡散層を設ける。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

光源から投射された繰り返しパルス光が測定対象物によりはね返ってきたときの遅れ時間に依存した信号を取り出すことにより距離測定を行うセンサにおいて、半導体基板(20)上に設けられる絶縁層(3)と、該絶縁層(3)上に近接配置された導電性かつ測定対象の波長の光に対して透過性のある2つのフォトゲート電極(1, 2)と、前記フォトゲート電極のそれぞれに対して、その端部の下層に設けられた第1の浮遊拡散層(5, 6)とからなり、前記2つのフォトゲート電極下及び前記2つのフォトゲート電極のギャップ下の半導体基板を受光層(4)として用いることを特徴とする光飛行時間型距離センサ。

## 【請求項 2】

前記2つのフォトゲート電極は、複数の突起をもつ櫛型の平面形状を有し、前記複数の突起が互いに相手方の突起間に間挿されるように配置されてなる請求項1記載の光飛行時間型距離センサ。

## 【請求項 3】

前記第1の浮遊拡散層(5, 6)に信号取りだし用の第1のMOSトランジスタ(7, 8)のゲートを接続してなる請求項1または請求項2記載の光飛行時間型距離センサ。

## 【請求項 4】

前記第1の浮遊拡散層に第2のMOSトランジスタ(9, 10)のソース(またはドレイン)を接続するとともに第2の浮遊拡散層(11, 12)を設け、前記第2のMOSトランジスタ(9, 10)のドレイン(またはソース)を前記第2の浮遊拡散層(11, 12)に接続し、前記第2の浮遊拡散層(5, 6)に信号取りだし用の第1のMOSトランジスタ(7, 8)のゲートを接続してなり、前記第2のMOSトランジスタ(9, 10)のゲート電圧を制御することにより、前記第1の浮遊拡散層と前記第2の浮遊拡散層とを電気的に分離し、信号のアナログ記憶を可能にしたことを特徴とする請求項1または請求項2記載の光飛行時間型距離センサ。

## 【請求項 5】

前記絶縁物(3)は、CMOS集積回路製造過程におけるフィールド酸化膜を利用したものである請求項1または請求項2記載の光飛行時間型距離センサ。

## 【請求項 6】

前記絶縁物(3)の下に、前記受光層(4)と前記第1の浮遊拡散層(5, 6)との間に間挿され、かつ前記第1の浮遊拡散層(5, 6)と同極性の不純物からなる2つの拡散層(13, 14)を形成してなる請求項1または請求項2記載の光飛行時間型距離センサ。

## 【請求項 7】

前記フォトゲート電極(1, 2)は、CMOS集積回路におけるMOSトランジスタのゲートと同じ素材あるいは同素材に光の透過性を増す処理を施したものである請求項1または請求項2記載の光飛行時間型距離センサ。

## 【請求項 8】

前記受光層(4)は、p型の低濃度の半導体基板(20)上にp型のウェルとn型のウェルを形成するCMOS集積回路にあっては、どちらのウェルも形成せずにp型の低濃度の半導体基板(20)そのものを利用することを特徴とする請求項1または請求項2記載の光飛行時間型距離センサ。

## 【請求項 9】

前記受光層(4)は、n型の低濃度の半導体基板(20)上にp型のウェルとn型のウェルを形成するCMOS集積回路にあっては、どちらのウェルも形成せずにn型の低濃度の半導体基板(20)そのものを利用することを特徴とする請求項1または請求項2記載の光飛行時間型距離センサ。

## 【請求項 10】

前記フォトゲート電極、受光層、第1の浮遊拡散層からなる単位構造を1次元または2次元状に配置してなり、距離の分布を表す画像を求めることを特徴とする請求項1または請求項2記載の光飛行時間型距離センサ。

10

20

30

40

50

## 【請求項 1 1】

さらに、光ビーム走査手段を設けてなり、距離センサへの入力光を2次元面から得ることにより距離の分布を表す画像を求めることを特徴とする請求項1または請求項2記載の光飛行時間型距離センサ。

## 【請求項 1 2】

前記フォトゲート電極(1, 2)により取り出される2つの信号の比から距離情報を、該2つの信号の和から明暗情報を取り出すことを特徴とする請求項1または請求項2記載の光飛行時間型距離センサ。

## 【発明の詳細な説明】

## 【技術分野】

10

## 【0001】

この発明は、光源から投射されたパルス光が測定対象物により、はね返ってきたときの遅れ時間を測定する距離センサに関する。

## 【背景技術】

## 【0002】

関連する従来技術としては、以下の文献がある。

(1) Inventer: Cyrus Bamji, Assignee: Canesta Inc.,

"CMOS-Compatible Three-dimensional image sensor", US Patent No. US6323942 B1,

Nov. 27, 2001

20

(2) R. Lange, P. Seitz, A. Biber, S. Lauxtermann, "Demodulation pixels in CCD and CMOS technologies for time-of-flight ranging", Proceedings of SPIE, Vol. 3965, pp. 177-188, 2000.

(3) Ryohei Miyagawa, Takeo Kanade, "CCD-based range-finding sensor", IEEE Trans

Electron Devices, vol. 44, no. 10, pp.1648-1652 (1997).

(4) 距離画像撮像装置, 特開2001-281336

(5) 固体撮像素子, 特開2003-51988

## 【0003】

(1)の方式は、パルス光を投影し、受光した信号をパルスのピークを検出することでパルスの波形を整形し、高速なパルスを用いて遅れ時間をデジタル的に計測するものである。この場合、受光した信号をパルスにできるためには、光の明るさが十分ないと実現できず、用途に限られる。

30

(2)と(3)は、方式としては近いものである。(2)の方式は、CCDとCMOSと一体化したプロセスで実現するものであり、20MHzの高い周波数の変調光を用いて、CCDの電荷転送を利用し、変調光と同期して、2つのノードへの電荷の配分比が変調光の遅れ時間に依存することを利用する。CCDとCMOSの混在プロセスが必要であるため、コストが高くなる。

(3)の方式は、CCDの構造を利用し、パルス変調された変調光で発生した電荷を、2つのノードに交互に転送し、その配分比が、変調光に遅れ時間に依存することを利用する。これもCCDを利用するため、特殊な工程が必要となる。また1次元センサ(ラインセンサ)のみが報告されているが、CCDのみで2次元センサ(エリアセンサ)を実現するのは、全画素を同時に高い周波数で駆動することを考えると困難さを伴うと考えられる。

40

(4)(5)の方式は、構造の詳細がかかれていないが、フォトダイオード部で発生した電荷を2つの転送ゲートで浮遊拡散層に転送する構造を有するものである。しかし、フォトダイオードから、2つの浮遊拡散層に電荷を完全転送することができなければ十分な性能が得られず、このような構造をCMOSで実現するためには、複雑な工程の追加が必要であり、製作コストが高くなる。また、CCDで実現する場合には、画素の並列駆動回路を集積できないという課題があるため、CCDとCMOSを一体化した工程が必要になる。結局低コストと、高性能化の両立が難しい。

## 【0004】

50

【特許文献1】米国特許第6323942号明細書

【特許文献2】特開2001-281336号公報

【特許文献3】特開2003-051988号公報

【非特許文献1】R. Lange, P. Seitz, A. Biber, S. Lauxtermann, Demodulation pixels in CCD and CMOS technologies for time-of-flight ranging, "Proceedings of SPIE", Vol. 3965, pp. 177-188, (2000).

【非特許文献2】Ryohei Miyagawa, Takeo Kanade, CCD-based range-finding sensor, "IEEE Trans. Electron Devices", vol. 44, no. 10, pp.1648-1652 (1997).

【発明を実施するための最良の形態】

【0005】

10

低コストでできる限り性能のよい距離センサを得るためには、標準的なCMOSプロセスにできる限り少ない工程の追加で実現できることが望ましい。本発明は、標準CMOS、または簡単な工程の追加により、高性能な距離センサを実現するものである。

【実施例1】

【0006】

光飛行時間型(Time Of Flight, 以下「TOF」という)センサを実現するためには、電荷の完全転送が行えることが必要である。しかし、従来の標準CMOSでこれを行うことは困難であると考えられており、そのために、工程の追加がなされている。本発明は、微細加工と標準CMOSでも実現可能な特殊な構造を用いて、その問題を克服するものである。

図1に本発明の距離センサの1画素の構成を示す。用途によっては、この1画素分を単独で用いることも可能であるが、これを1次元、または、2次元に配置することで、距離画像センサが構成される。図1(a)が、断面図、図1(b)が、半導体表面側(断面図でいえば上から)から見た図である。図2に、その動作を説明するための半導体表面のポテンシャルの分布を示す。

20

【0007】

半導体基板(20)上に絶縁層(3)を設け、その上に電荷転送用のフォトゲート電極(1, 2)を2つ設ける。絶縁層の縁部には受光層(4)からの電荷取りだし用の浮遊拡散層(5, 6)を設けるとともに、その外側にリセット用ゲート電極及びリセット電位供給用の拡散層を設ける。半導体基板(20)としてp型シリコン基板、絶縁層(3)としてフィールド酸化膜、フォトゲート電極(1, 2)としてポリシリコン電極を用いるものを例として、以下説明する。

30

【0008】

図1に示すように、フィールド酸化膜の上に、できるだけ接近して2つのポリシリコン電極を形成する。それら(TX1, TX2)に互いに逆位相の繰り返しパルス信号を与えて動作させる。ポリシリコン電極は十分に薄く、受信する光の波長に対して十分な透過が可能であるものとする。なお、ポリシリコンの上に、シリサイドと呼ばれる金属とシリコンの化合物が形成されており、受信する光に対して十分な透過力がない場合には、シリサイドが形成されないようにするか、あるいは形成後除去するために工程が必要になる。なお、図1は、フィールド酸化膜の形成工程としてLOCOS(Local oxidation of silicon)工程を用いる場合を想定している。図2では、原理の説明のため、これを簡略化している。

40

【0009】

2つのポリシリコン電極の中央部分のみが開口され、それ以外は遮光されるようにする。また、その電極直下の半導体は、できるだけ大きなフリンジ電界が得られるようにするため、低濃度であることが望ましい。これは、低濃度のp基板を用い、これのp型のウェルとn型のウェルを形成してCMOSデバイスを構成する工程の場合には、p型のウェルを形成しないようにして低濃度にする。また、一般にはフィールド酸化膜の下に反転を防ぐためのチャンネルストップの不純物を導入することがあるが、これが入らないようにする。これは、標準CMOSプロセスに用いるマスクのパターンの変更によってできる場合もあるが、そうでない場合には、あらたにマスクと工程を追加する必要がある。

【0010】

50

このような構造において、例えばTX2に0V、TX1に3.3Vを加えたときのポテンシャルの分布の例を図2に示す。この場合開口部から入射した光は、殆どすべて、右側の浮遊拡散層(n+の領域)に入る。これは、ゲートにこのような電圧を加えることで、半導体表面のポテンシャル分布が、図2に示したようになり、そのフリンジ電界によって、右側に加速を受けることによる。なお、図2に示した電圧は、あくまで一例であり、これに限定するものではない。

【0011】

フィールド酸化膜は、比較的厚いので、半導体表面にかかる電界は小さくなるが、その分フリンジ電界も大きくなるのが期待できる。このとき、2つのポリシリコン電極間のギャップの部分でポテンシャルの山ができないようにする必要がある。

10

フォトゲート電極となるポリシリコンにn型の不純物が導入されている場合には、半導体基板とフォトゲート電極側の仕事関数差があり、2つのフォトゲート電極のギャップの大きさによっては、TX1に正の高い電圧(例えば3.3V)、TX2の0Vを加えた場合、ギャップ部にポテンシャルの山ができて、TX2側の電荷がTX1側に転送できない場合もあり得る。そのような場合には、TX2に、負の電圧(例えば-1V)を加えることで、ポテンシャルの山をなくすることができる。TX2側には基板に対して負の電圧を与えることで、このポテンシャルの山をなくし、左側のポリシリコン電極の直下の半導体で、発生した電子も右側に転送されるようにする。

ポリシリコン電極間のギャップは、小さいほどポテンシャルの山ができにくいですが、これは微細加工技術によって小さく実現することができる。

20

なお、基板の構造としては、高濃度のp基板上にエピタキシャル成長などの手段により、低濃度のp型シリコン層を形成したものや、n型基板上にエピタキシャル成長などの手段により、低濃度のp型シリコン層を形成したものをを用いることもできる。これらは、半導体中の深いところで発生し、拡散によってゆっくりと取り込まれる成分を減らし、距離分解能を改善する意味で効果がある。

【0012】

図1の画素回路を2次元に配置した距離画像センサのブロック図を図3に示す。また、その動作タイミング図を図4に示す。

すべての画素の2つの浮遊層に対し、制御信号RをすべてHighにしてリセットした後、パルス光源を発光させ、これに同期して、全ての画素にTX1, TX2の繰り返しパルスをいっせいに与えて一定期間動作させる。その後パルス光源の発光を止め、浮遊拡散層の電圧を外部に読み出す。読み出しは、1水平ライン毎に、カラムのノイズキャンセル回路に読み出し、ノイズキャンセルを行った後、水平走査を行う。1水平ラインの選択は、制御信号Sを画素内のバッファアンプの画素選択スイッチに与えることで行い、垂直信号線に当該水平ラインの信号が現れる。

30

【0013】

画素内のバッファアンプが発生する固定パターンノイズと1/fノイズの低減のため、信号レベルと浮遊拡散層をリセットした時のレベルの差を取る回路がノイズキャンセル回路であり、そのため、図4に示したようにノイズキャンセル回路は、信号レベルとリセット後のレベルをそれぞれS, Rでサンプルし、差を求める回路になっている。ノイズキャンセル回路自体は本発明の本質とあまり関わりがないので説明を省略する。

40

【0014】

TX1, TX2をN回与えて、光パルスにより発生した電荷の取り込みをN回行えば、2つの浮遊拡散層にためられる電荷Q1, Q2は、次式のようなになる。

【数1】

$$Q_1 = N \times I_P (T_0 - T_d) \quad (1)$$

【0015】

【数 2】

$$Q_2 = N \times I_P T_d \quad (2)$$

【0016】

ここで、 $I_P$ は、受信光により発生する光電流、 $T_0$ は、光パルスの幅、 $T_d$ は光パルスの遅れ時間である。式(1)と(2)の和は、

【数 3】

$$Q_1 + Q_2 = N \times I_P T_0 \quad (3)$$

10

であるので、式(2)、(3)より、受信光の遅れ時間及び対象物までの距離  $L$  を次式により求める。

【0017】

【数 4】

$$T_d = \frac{Q_2}{Q_1 + Q_2} T_0 \quad (4)$$

20

【0018】

【数 5】

$$L = \frac{c}{2} \frac{Q_2}{Q_1 + Q_2} T_0 \quad (5)$$

30

【0019】

ここで  $c$  は光速である。浮遊拡散層の信号電圧は、 $Q_1$ 、 $Q_2$ にそれぞれ比例するので、出力信号電圧  $V_1$ 、 $V_2$ を用いて式(5)は次式のように表すことができる。

【数 6】

$$L = \frac{c}{2} \frac{V_2}{V_1 + V_2} T_0 \quad (6)$$

40

$c$ 、 $T_0$ が既知であるので、読み出した2つの出力電圧から、式(6)により距離を求めることができる。

【実施例 2】

【0020】

図2の構成では、背景光がある場合には、その影響を受けやすい。つまり、図2では、信号読み出し時にも、背景光による電荷が含まれ、しかも行ごとにその背景光による読み出し時間が異なるため、背景光除去処理が困難になる。これを避けるためには、読み出しをTOFの動作期間に対して十分短くする必要がある、高速読み出しが必要になる。

【0021】

信号読み出し時の背景光の影響を受けないようにした画素回路の構成を図5に示す。また、背景光のみによる信号を読み出して、背景光の影響を除去するためのタイミング図を

50

図 6 に示す。

右側、左側それぞれに 2 つの浮遊拡散層を分離するための MOS トランジスタ (9, 10) を設け、そのゲートを信号 SH によって制御する。パルス光を受信している間は SH を High にしておき、2 つの拡散層を接続しておく、パルス光受信が完了した後、SH を Low にし、2 つの拡散層を分離する。これによって受光部から分離されたほうの拡散層の電圧を読み出すことで、読み出し時に追加される背景光による電荷の影響をなくすることができる。

#### 【0022】

パルス光を、背景光下で受信しているときに、背景光の影響を除去してから距離の計算を行う必要がある。そのため背景光のみによる画素ごとの信号が必要になる。これは、パルス光を受信して得た信号を読み出す期間に蓄積される信号を用いて、背景信号とすれば効率がよい。そこで、当該水平の平行のパルス光による信号を読み出した直後、浮遊拡散層をリセットし、一定時間蓄積して、同じ信号読み出しの動作を行う。

この蓄積時間としては、全画素の信号読み出しに要する時間に合わせる。検出感度を同じにするため、SH は High にしておく。図 6 は、ある一水平の読み出しを示しているが、これをすべての水平の信号の読み出しに対して行う。それらの背景光の蓄積時間は、同じになる。パルス光照射時の蓄積時間 (TL) と全画素を読み出す時間 (TLR) が異なる場合は、背景光の除去の際にはそのことを考慮する必要がある。

#### 【0023】

この背景光の除去は、対象物が静止している場合には問題ないが、動いているものに対して計測するときは、その除去処理に用いる背景光の取り出しが、パルス光照射時の違うタイミングで行われているため、誤差が生じる。これを少なくするためには、図 6 の 1 サイクル (TL+TLR+TBR) を高速化する。

または、信号量を増やすため、このサイクルを繰り返して、外部において、信号の積分を行うか、あるいは、サイクル毎に距離計算を行い、これを多数回に繰り返して、その平均値処理を行うことで軽減できる。この平均値処理は、距離分解能を高める上でも効果がある。

なお、2 つの画素出力の和は、撮像対象の明暗画像情報に相当するので、本発明では、距離画像情報とともに、明暗画像情報を同時に取得することができる。これによって、明暗画像と距離画像を組み合わせて、明暗画像を 3 次元的に表示するなどといった応用も可能である。

#### 【実施例 3】

#### 【0024】

図 1 において、フィールド酸化膜の下に n 型の別の拡散層を形成することができる工程を有する場合は、図 7 のように n 層を介して、MOS トランジスタのソース (またはドレイン) の浮遊拡散層と接続する構造をとることもできる。十分な受光面積の確保のために、受光部のゲートの幅 (奥行き方向) を広く取る場合、MOS トランジスタのソースまたはドレインの高濃度層の面積を広げると暗電流が増加するとともに、容量が大きくなって電圧感度が低下する。そこで、図 7 に示すように、まず別の n 層によって受光部で発生した電子を捕獲するようにする。

なお、フィールド酸化膜の下に形成する n 型拡散層として n - well を用いることもできる。

#### 【実施例 4】

#### 【0025】

図 8 に、2 つのフォトゲート電極を楕円にし、互いに入れ子構造にした TOF 画素構造のレイアウト図をしめす。図中、31 は、フォトゲート電極、32 は、その内側が、光の入射する開口部であり、その外側は遮光される部分を示す境界、33 は、フィールド酸化膜下にもぐりこませた n 型拡散層、34 は、その外側に p ウェル領域、その内側は、基板の p 型半導体であることを示す境界、35 は、MOS トランジスタのソースまたはドレイン領域 (n+ 拡散層)、36 は、拡散層または、フォトゲート電極に接続するための金属配線を

10

20

30

40

50

示す。

このように、櫛形電極を入れ子にしたことによって、TOF距離センサにおいて、パルスの遅れ量によって、2つの電荷検出部に電荷を振り分ける際の電荷の分離性を高くすることができ、距離分解能をより高くすることができる。

単に2つのフォトゲート電極を、対向させただけの構造では、図9のように、遮光部にも一部光が漏れこむため、これによって生じた信号電荷(E)が、本来右側の電荷検出部に転送されるべきはずが、左側の電荷検出部に転送されることになる。これは、2つの信号の分離性を低下させることになり、距離分解能を悪くする。これをさけるためには、光の開口部を減らし中央部分だけに入るようにすれば良いが、その場合は、開口率の低下により感度が低下する。

図8のようにくし型電極を入れ子の構造にした場合の、図8のA-A線の断面に沿った表面電位の分布を図10に示す。このように、櫛形電極を入れ子の構造にすれば、電荷の転送の方向が電荷検出部と直交する方向であるため、櫛形電極の歯の部分長くし、開口を十分にとったとしても、2つの電荷検出部への電荷の流入の分離性を高くすることができ、また、各櫛の歯の部分の電極の幅を十分小さくできるので、フリンジ電界を有効に利用でき、分解能が向上する。

【実施例5】

【0026】

さらに、ポリシリコンの電極の幅を大きくしすぎるとフリンジ電界が小さくなり、電荷の転送が十分に行えない可能性がある。そこで、図11に示すように電極を3つ用意し、それらに図13に示したタイミングで、制御信号を加える方法も考えられる。これは、図12のように動作する。信号を、右側の拡散層に転送する場合には、まずTX1及び中央の電極の制御電圧であるTX3とともに正の高い電圧を加え、TX2に0Vを加える(図12(a))。これによって、TX1の電極下の電荷は右側の浮遊拡散層に転送され、TX3の直下の電荷は、TX3の電極の下に一時的にためられる。

【0027】

転送を左側に変更する直前に、短時間TX3を0Vに変化して、TX3の電極下の電荷を右側に転送する(図12(b))。その後、TX1を0Vに変化し、TX2とTX3に正の電圧を加えることで、電荷の転送を左側に切り替える(図12(c))。図13には描いていないが、転送を右側に切り替える直前に短時間TX3を0Vに変化して、TX3の電極下の電荷を左側に転送する。これらの動作を繰り返す。このようにすることで、十分な受光面積を確保しながら、十分なフリンジ電界を利用して電荷の転送を高速に行うことができる。

【0028】

単一の受光層で2次元画像を得るためには、受光層に入力される光を、回転するポリゴンミラー(多角形鏡体)や、振動ミラーなどにより2次元の面上から走査する光ビーム走査手段を設けることにより行う。受光層を1次元上に配置した距離センサにおいても同様の走査手段と組み合わせることにより2次元画像を得ることができる。

【産業上の利用可能性】

【0029】

以上に示した構造図は、実際のフィールド酸化膜の部分の構造としてLOCOS(Local Oxidation of Silicon)を想定しているが、STI(Shallow Trench Isolation)となどの別の構造を用いる場合でも同様に実現できる。例えば、図7と同様の構造をSTIを用いたCMOSイメージセンサの工程により実現する場合の例を図14に示す。

図1、図5、図8の構造に対してもSTI分離の場合でも同様に実現可能である。

これらの場合を含め、CMOS集積回路あるいは、CMOSイメージセンサとして用いられるあらゆる構造に対して、本発明の構造及び考え方を、一般性を失うことなく適用することができる。つまり、フィールド酸化膜上に形成した受光部となる隣接した2つの光透過性電極(一般的にはポリシリコン)に2つの浮遊拡散層となるn型領域がそれぞれ結合され、それらに電荷が伝送される構造を採用すればよい。

【図面の簡単な説明】



## 【 0 0 3 0 】

【 図 1 】 TOFセンサの画素部の構造図

【 図 2 】 TOFセンサの動作を説明するポテンシャル分布図

【 図 3 】 TOF距離画像センサのブロック図

【 図 4 】 図 3 の回路の動作タイミング図

【 図 5 】 サンプル&amp;ホールド機能を設けた画素回路構成図

【 図 6 】 図 5 の回路を用いた距離画像センサのタイミング図(背景光読み出しを含む)

【 図 7 】 図 1 に対してフィールド酸化膜の下の n 型拡散層を用いた構造図 ( ( a ) は断面図、 ( b ) は上面図 )

【 図 8 】 楕形電極構造を用いたTOF画素構造図

10

【 図 9 】 光の漏れこみによる信号電荷の混合を説明する図

【 図 1 0 】 楕形電極構造の場合の動作を示す図

【 図 1 1 】 電極を 3 つ備えたTOFセンサの構造図

【 図 1 2 】 図 1 1 の画素回路の動作説明図

【 図 1 3 】 図 1 1 の画素回路の制御信号の動作タイミング図

【 図 1 4 】 STI分離によるフィールド酸化膜を用いたTOFセンサの画素構造図

【 符号の説明 】

## 【 0 0 3 1 】

1 , 2 フォトゲート電極

3 絶縁層

20

4 受光層

5 , 6 第 1 の浮遊拡散層

7 , 8 第 1 の MOS トランジスタ

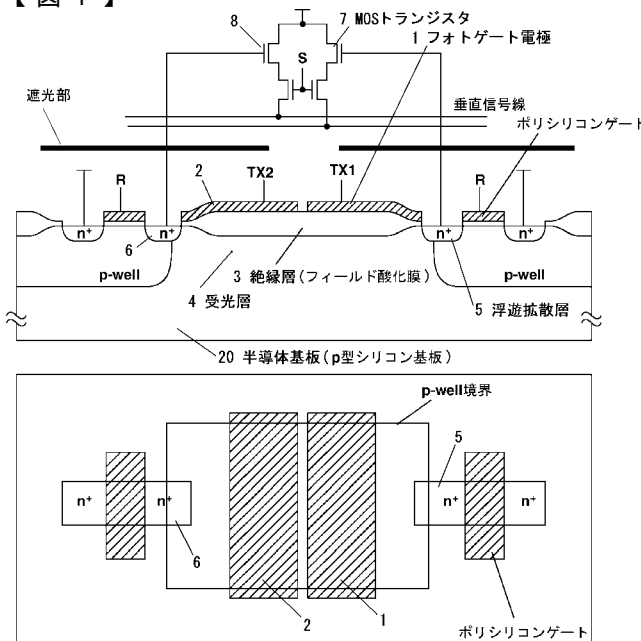
9 , 1 0 第 2 の MOS トランジスタ

1 1 , 1 2 第 2 の浮遊拡散層

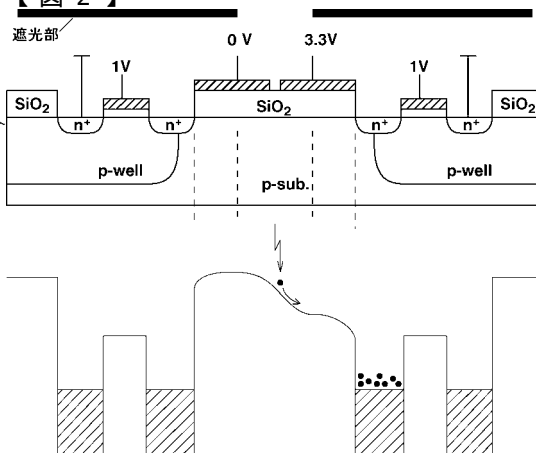
1 3 , 1 4 拡散層

2 0 半導体基板

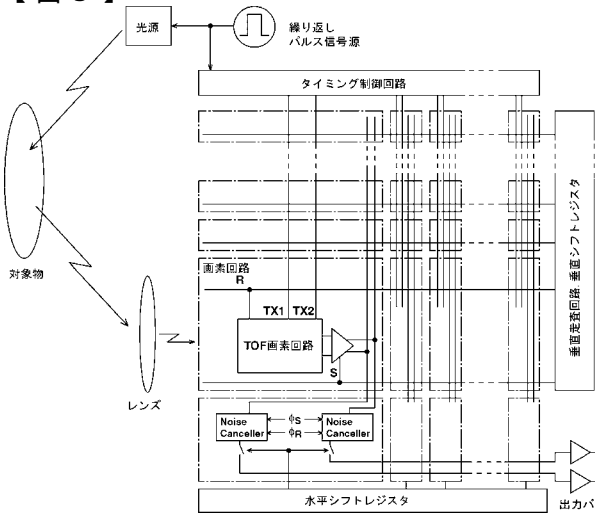
【図1】



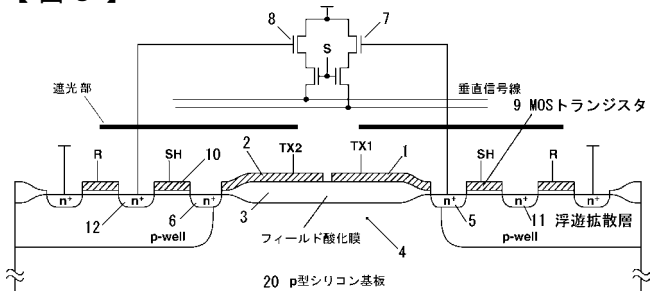
【図2】



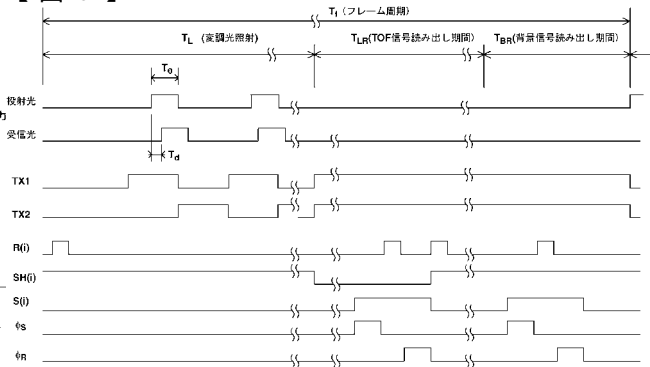
【図3】



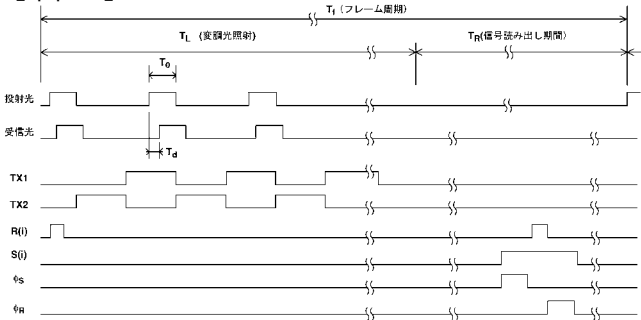
【図5】



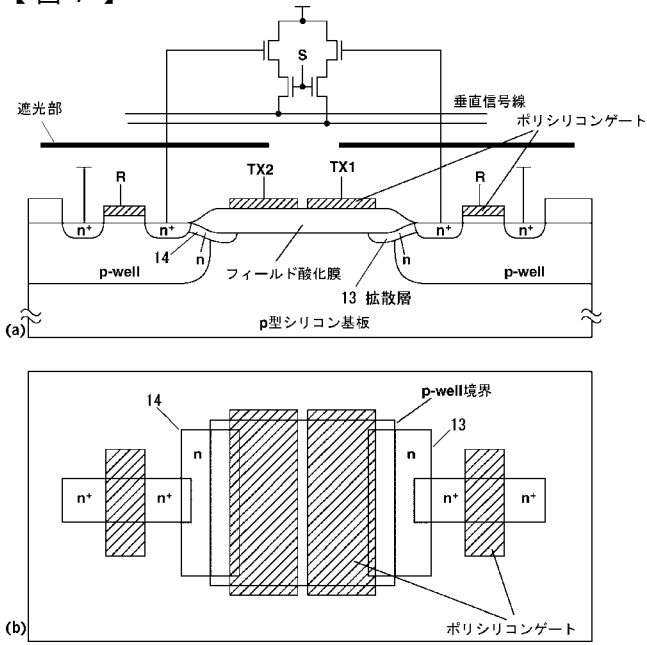
【図6】



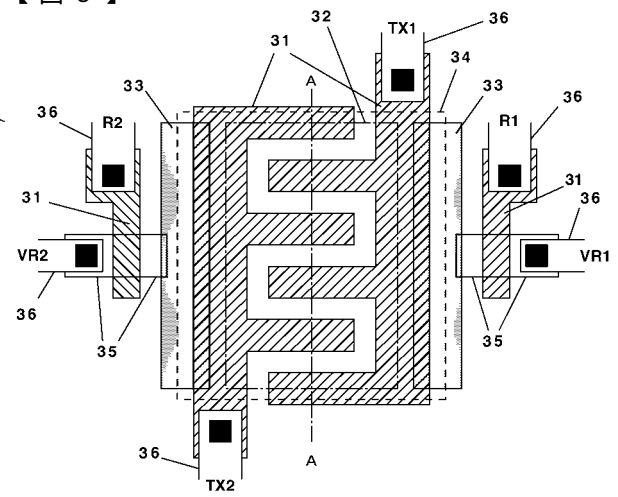
【図4】



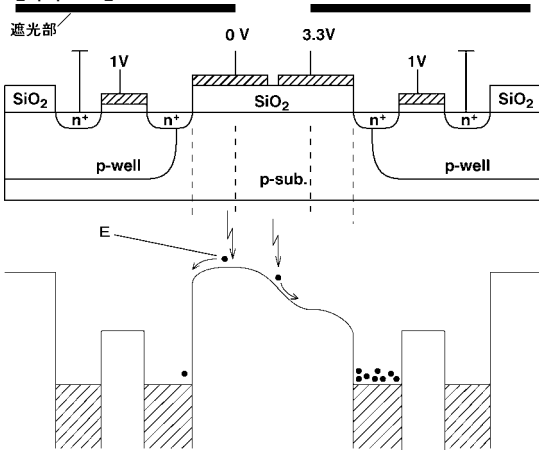
【 図 7 】



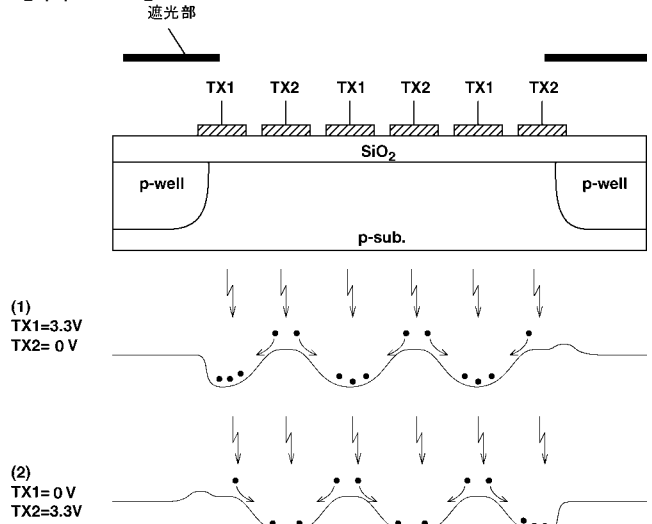
【 図 8 】



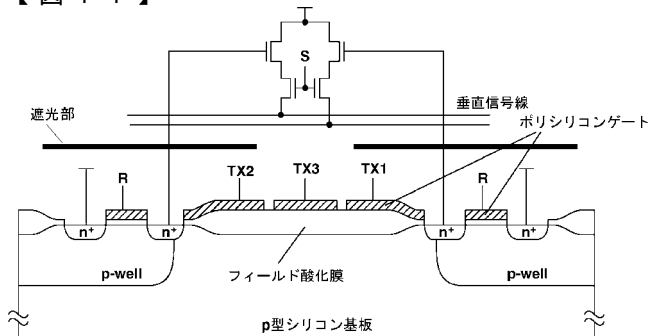
【 図 9 】



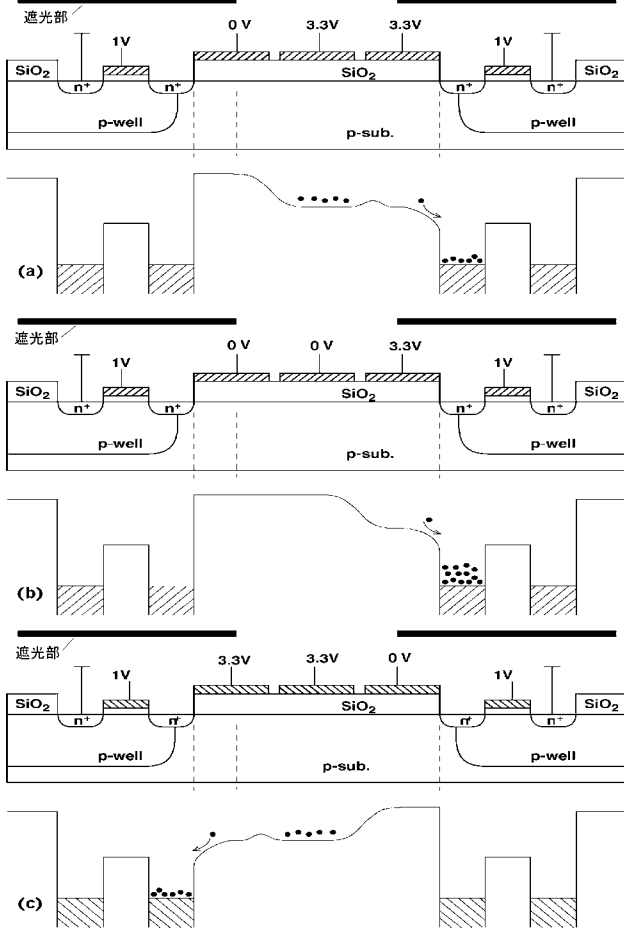
【 図 10 】



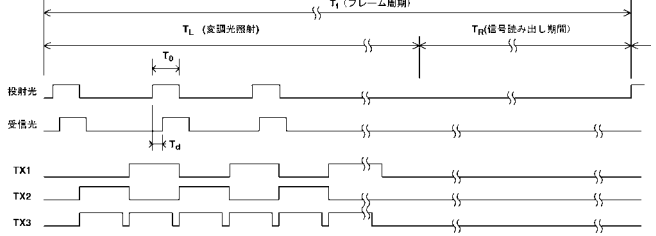
【 図 11 】



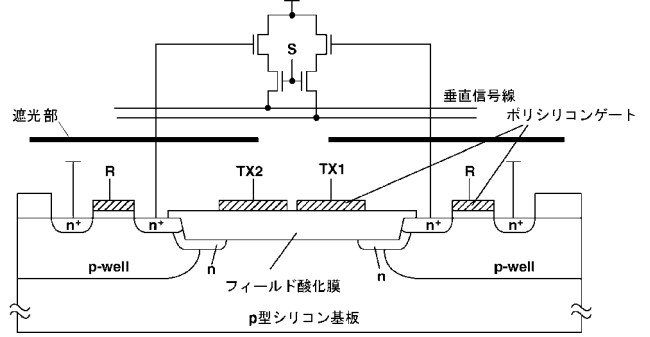
【図 1 2】



【図 1 3】



【図 1 4】



【手続補正書】

【提出日】平成17年4月6日(2005.4.6)

【手続補正 1】

【補正対象書類名】図面

【補正対象項目名】図 5

【補正方法】変更

【補正の内容】

【図 5】

