

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4366501号
(P4366501)

(45) 発行日 平成21年11月18日(2009.11.18)

(24) 登録日 平成21年9月4日(2009.9.4)

(51) Int.Cl.	F I
HO4N 5/335 (2006.01)	HO4N 5/335 P
HO1L 27/146 (2006.01)	HO4N 5/335 E
	HO4N 5/335 Z
	HO1L 27/14 A

請求項の数 11 (全 19 頁)

(21) 出願番号	特願2004-201658 (P2004-201658)	(73) 特許権者	304023318
(22) 出願日	平成16年7月8日(2004.7.8)		国立大学法人静岡大学
(65) 公開番号	特開2006-25189 (P2006-25189A)		静岡県静岡市駿河区大谷836
(43) 公開日	平成18年1月26日(2006.1.26)	(74) 代理人	100088155
審査請求日	平成18年7月11日(2006.7.11)		弁理士 長谷川 芳樹
		(74) 代理人	100092657
			弁理士 寺崎 史朗
		(74) 代理人	100108257
			弁理士 近藤 伊知良
		(74) 代理人	100124800
			弁理士 諏澤 勇司
		(72) 発明者	川人 祥二
			静岡県浜松市広沢一丁目2番12号
		審査官	▲徳▼田 賢二

最終頁に続く

(54) 【発明の名称】 デジタルノイズキャンセル機能をもつイメージセンサ

(57) 【特許請求の範囲】

【請求項1】

光信号を電荷に変換する手段(PD)と、この電荷を与えられて電位が変化する信号電荷検出手段(FD)と、前記信号電荷検出手段(FD)がゲートに接続された電界効果トランジスタからなるバッファ(BF)とを備え、前記電界効果トランジスタのソースに流れる電流によってゲートの電位に依存した信号を読み出すとともに、前記信号電荷検出手段(FD)に蓄えられた信号電荷をリセットする手段(G2)とからなる画素(1)を、2次元のアレイ状に配置してなり、そのアレイに対し、ノイズを含む第1の入力レベルと前記ノイズと相関を持つノイズ及び有意な信号成分を含む第2の入力レベルを交互に出力させる走査信号発生手段(7)を備える撮像回路と、前記撮像回路にカラム毎に設けられ、前記撮像回路の出力に対して信号処理を行なうための、A/D変換器(2)と、前記第1の入力レベルに対してA/D変換を行った結果をデジタル記憶する第1のレジスタ(3)と、前記第2の入力レベルに対してA/D変換を行った結果をデジタル記憶する第2のレジスタ(3')と、前記第1のレジスタ(3)と前記第2のレジスタ(3')とに格納された値の差を求める加算器(4)とを備えてなり、前記第1のレジスタ(3)、前記第2のレジスタ(3')及び前記加算器(4)は前記カラム毎に設けられるA/D変換回路とからなるデジタルノイズキャンセル機能をもつイメージセンサ。

【請求項2】

前記撮像回路の走査信号発生手段(7)は、前記第1の入力レベルと前記第2の入力レベルとを交互に1行の単位で出力させるものであり、前記A/D変換回路は前記画素(1)の群か

らの前記第1の入力レベルと前記第2の入力レベルとを1行の単位で並列に受け取り、1行分の画素信号に対してA/D変換を並行して行うものである請求項1記載のイメージセンサ。

【請求項3】

前記A/D変換器は、1サイクルあたりNビットのA/D変換を行う回路要素と、その結果に基づくD/A変換値を入力から引いて増幅する増幅機能付きD/A変換器とを備え、前記増幅機能付きD/A変換器の出力を、前記A/D変換を行う回路要素の入力に与えて巡回させることで多ビットのA/D変換を行うことを特徴とする請求項1記載のイメージセンサ。

【請求項4】

前記A/D変換器は、1サイクルあたり、1, 0, -1の3値にA/D変換を行う回路要素と、その結果に基づくD/A変換値を入力から引いて2倍に増幅する増幅機能付きD/A変換器とを備え、前記増幅機能付きD/A変換器は、第1と第2のキャパシタを、入力信号サンプル時には、反転増幅回路の入力と入力端子との間に接続し、その後、前記第1のキャパシタをD/A変換器の出力と前記反転増幅回路の入力とに接続し、前記第2のキャパシタを、前記反転増幅回路の入力と出力の間に接続するように構成されており、巡回型の多ビットのA/D変換を行うことを特徴とする請求項1記載のイメージセンサ。

【請求項5】

前記A/D変換回路は、前記第1の入力レベルと前記第2の入力レベルのそれぞれに対してNN(NNは2以上の整数)回のA/D変換を行って、前記第1の入力レベル、前記第2の入力レベルそれぞれに対するNN回のA/D変換値をデジタル領域で加算し、その両者の差を求めることでさらにノイズ低減を図ることを特徴とする請求項1記載のイメージセンサ。

【請求項6】

前記A/D変換回路は、前記第1の入力レベルと前記第2の入力レベルのそれぞれに対して2×NN(NNは1以上の整数)回のA/D変換を行って、それらの2×NN回のA/D変換値をデジタル領域で加算し、その両者の差を求めるものであって、かつ、前記増幅機能付D/A変換の第1のキャパシタと第2のキャパシタを、加算の奇数回目と偶数回目とで入れ替えることで、キャパシタのばらつきに起因する誤差を低減し、A/D変換の精度を高めたことを特徴とする請求項1記載のイメージセンサ。

【請求項7】

前記A/D変換回路は、ランプ信号発生器と比較器とカウンタと制御回路とラッチ回路とを具備する積分型A/D変換回路であって、前記ランプ信号発生器は前記第1の入力レベルに対しては小振幅のランプ信号を発生し、前記第2の入力レベルに対しては大振幅のランプ信号を発生することを特徴とする請求項1記載のイメージセンサ。

【請求項8】

さらに、前記撮像回路と前記A/D変換回路との間に、1以上の利得をもつ前置増幅器を備え、該前置増幅器により入力信号を増幅後、前記第1の入力レベル及び前記第2の入力レベルのそれぞれに対してA/D変換を行い、かつ、デジタル領域で差を求めることを特徴とする請求項1記載のイメージセンサ。

【請求項9】

前記前置増幅器は、反転増幅器(10)と、該反転増幅器の入力と信号入力端子との間に接続される第3のキャパシタ(CA1)と、前記反転増幅器の入力と、参照電圧または前記反転増幅器の出力に切換接続される第4のキャパシタ(CA2)と、該第4のキャパシタの接続切換を行うトランジスタスイッチとを備え、信号入力端子に出力の動作基準電圧を定めるための電圧が与えられるときに、前記第4のキャパシタの接続を参照電圧側に切換えて該キャパシタに電圧を記憶し、その後、前記第4のキャパシタの接続を出力側に切換え、前記前置増幅器の入力に順次前記第1の入力レベルと前記第2の入力レベルを与え、これによる前記前置増幅器のそれぞれの出力に対して、A/D変換を行って記憶し、デジタル領域で差分を求めることを特徴とする請求項8記載のイメージセンサ。

10

20

30

40

50

【請求項 10】

前記前置増幅器に設けられたキャパシタのスイッチング動作を、入力信号の1フレームの先頭でのみ1回行い、画素部の前記第1の入力レベルと前記第2の入力レベルの読み出しの際には、前記前置増幅器のスイッチング動作を行わないようにすることを特徴とする請求項9記載のイメージセンサ。

【請求項 11】

前記前置増幅器に設けられたキャパシタのスイッチング動作を、入力信号の複数の水平行の読み出し動作毎に1回行い、画素部の前記第1の入力レベルと前記第2の入力レベルの読み出しの際には、前記前置増幅器のスイッチング動作を行わないようにすることを特徴とする請求項9記載のイメージセンサ。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、イメージセンサ特にCMOSイメージセンサのカラムにA/D変換器を集積化し、デジタル出力とするとともに、高分解能のA/D変換及び低雑音のイメージセンサ信号読み出しを可能にする技術に関する。

【背景技術】

【0002】

カラムにおいてA/D変換を行う従来技術としては、以下の文献に記載がある。

20

[1] 特許第2532374号

[2] A. Simoni, A. Sartori, M. Gottaidi, A. Zorat, "A digital vision sensor", "Sensors and Actuators", A46-47, pp. 439-443, 1995.

[3] T. Sugiki, S. Ohsawa, H. Miura, M. Sasaki, N. Nakamura, I. Inoue, M. Hoshino, Y. Tomizawa, T. Arakawa, "A 60mW 10b CMOS image sensor with column-to-column FPN reduction", "Dig. Tech. Papers, Int. Solid-State Circuits Conf.", pp.108-109, 2000.

[4] B. Mansoorian, H.Y. Yee, S. Huang, E. Fossum, "A 250mW 60frames/s 1280x 720 pixel 9b CMOS digital image sensor", "Dig. Tech. Papers, Int. Solid-State Circuits Conf.", pp.312-313, 1999.

30

[5] S. Decker, R. D. McGrath, K. Bremer, C. G. Sodini, "A 256 x 256 CMOS imaging array with wide dynamic range pixels and column-parallel digital output", "IEEE J. Solid-State Circuits", vol. 33, no. 12, Dec. 1998.

[6] 特開平10-191169号公報

【0003】

上記[1]は、ランプ信号発生器、比較器、レジスタを用いた8-bitの積分型A/D変換器要素をカラムに集積化するものである。同様なものが[2]にも報告されている。また[3]は、同様に積分型A/D変換器要素をカラムに集積化するものであるが、精度向上した比較器を用いて10bitを実現している。これら積分型A/D変換器は、変換時間が長く、特に分解能をあげようとすると指数関数的に変換時間が長くなるので、そのままではこれ以上の分解能の実現は困難である。しかし、線形性に優れる利点がある。

40

また、[4]は、キャパシタを用いた逐次比較型A/D変換器をカラムに並べて動作させるもので、高速なA/D変換が可能であるため、高フレームレート、多画素数のイメージセンサに適している。しかし、これも実際の精度としては、8bit程度にとどまっている。

また、[5]は2段の巡回型A/D変換器要素をカラムに並べて動作させるもので、これも高速A/D変換に適している。これはイメージセンサのカラムでまずノイズキャンセルを行い、サンプル&ホールドされた信号に対して、A/D変換を行うものであって、そのランダムノイズは、サンプル&ホールド回路の以前の回路要素が発生するノイズで決まる。また、固定パターン雑音除去能力も、ノイズキャンセル回路の性能に依存している。

50

[6] は、CCDイメージセンサ出力のフィードスルーレベルと信号レベルのそれぞれに対してA/D変換を行いデジタル領域で差分を求めることでリセットノイズをキャンセルするものである。しかしながら、CCDイメージセンサの場合、信号周波数が非常に高く、外部の負荷を駆動するために、イメージセンサ出力の最終段ではソースフォロワを2段または3段カスケード接続する必要がある。ソースフォロワのようなゲインが1以下の回路を縦続接続すると、ノイズが増える。また、信号周波数が高いことから、フィードスルーレベルと信号レベルに対する回路の応答が一致せず、正確なノイズキャンセルがしにくくなり、ノイズが増大する。また、高速な信号読み出しを行うためには、非常に高速のA/D変換器が必要になるが、高速かつ低雑音・高精度のA/D変換器は実現が困難であるとともに、消費電力が増大する。

10

なお、これら以外に、画素内にA/D変換要素をもつイメージセンサが幾つか報告されているが、本発明と直接関係しないため割愛する。

【 0 0 0 4 】

【特許文献1】特許第2532374号

【特許文献2】特開平10-191169号公報

【非特許文献1】A. Simoni, A. Sartori, M. Gottaidi, A. Zorat, "A digital vision sensor", "Sensors and Actuators", A46-47, pp. 439-443, 1995.

【非特許文献2】T. Sugiki, S. Ohsawa, H. Miura, M. Sasaki, N. Nakamura, I. Inoue, M. Hoshino, Y. Tomizawa, T. Arakawa, "A 60mW 10b CMOS image sensor with column-to-column FPN reduction", "Dig. Tech. Papers, Int. Solid-State Circuits Conf.", pp.108-109, 2000.

20

【非特許文献3】B. Mansoorian, H.Y. Yee, S. Huang, E. Fossum, "A 250mW 60frames/s 1280x 720 pixel 9b CMOS digital image sensor", "Dig. Tech. Papers, Int. Solid-State Circuits Conf.", pp.312-313, 1999.

【非特許文献4】S. Decker, R. D. McGrath, K. Bremer, C. G. Sodini, "A 256 x 256 CMOS imaging array with wide dynamic range pixels and column-parallel digital output", "IEEE J. Solid-State Circuits", vol. 33, no. 12, Dec. 1998.

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 5 】

イメージセンサのカラムにおいて、ノイズキャンセルとA/D変換を共に行う場合に、信号読み出し時のランダムノイズを低くし、かつ画素部やカラムに設けた回路で発生する固定パターン雑音を効果的に除去することを目的とする。

特に、A/D変換器としても効率のよい回路構成で、高い分解能を保ちながらA/D変換ができること、また、A/D変換器をカラムに集積化しても回路の全体規模が大きくならないようにシンプルなA/D変換器を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 6 】

本発明に係る、デジタルノイズキャンセル機能をもつイメージセンサは、光信号を電荷に変換する手段(PD)と、この電荷を与えられて電位が変化する信号電荷検出手段(FD)と、前記信号電荷検出手段(FD)がゲートに接続された電界効果トランジスタからなるバッファ(BF)とを備え、前記電界効果トランジスタのソースに流れる電流によってゲートの電位に依存した信号を読み出すとともに、前記信号電荷検出手段(FD)に蓄えられた信号電荷をリセットする手段(G2)とからなる画素(1)を、2次元のアレイ状に配置してなり、そのアレイに対し、ノイズを含む第1の入力レベルと前記ノイズと相関を持つノイズ及び有意な信号成分を含む第2の入力レベルを交互に出力させる走査信号発生手段(7)を備える撮像回路と、前記撮像回路にカラム毎に設けられ、前記撮像回路の出力に対して信号処理を行なうための、A/D変換器(2)と、前記第1の入力レベルに対してA/D変換を行った結果をデジタル記憶する第1のレジスタ(3)と、前記第2の入力レベルに対してA/D変換を行った結果をデジタル記憶する第2のレジスタ(3')と、前記第1のレジスタ(3)と前記第

40

50

2のレジスタ(3')とに格納された値の差を求める加算器(4)とを備えてなり、前記第1のレジスタ(3)、前記第2のレジスタ(3')及び前記加算器(4)は前記カラム毎に設けられるA/D変換回路とからなる。

本発明は、CCDイメージセンサに対するデジタルノイズキャンセルの問題点を解決するため、イメージセンサのカラムにおいてA/D変換器をアレイ状に並べ、画素部からの出力に対し直接A/D変換を行いつつ、デジタル領域でのノイズキャンセルを行う手段を提供するものである。特に、これはCMOSイメージセンサにおいて、カラムにおいてA/D変換を行う場合に有効な手段となる。

イメージアレイからの出力信号である、ノイズを含む第1の入力レベル(以下「リセットレベル」という)と、前記ノイズと相関関係をもつノイズ及び有意な信号成分を含む第2の入力レベル(以下「信号レベル」という)に対してカラムに並べたA/D変換器によりA/D変換を行い、カラムに設けたレジスタに別々に記憶した後、デジタル領域で両者間の差を求め、画素部のノイズキャンセルを行うことで、低雑音のデジタルイメージセンサを実現する。

そのA/D変換器として巡回型を用いる場合におけるキャパシタのばらつきをデジタル領域での加算による平均化により自動的に補正する。さらに、イメージアレイ出力の信号レベルとリセットレベルの両方に対して、この加算をデジタル領域で多数回にわたって行った後、デジタル領域で差を求め、ノイズキャンセルを行うことで低雑音化を図る。また、巡回型A/D変換器では面積が大きくなる可能性があり、画素ピッチがA/D変換器を並べるためのピッチで制約される可能性もある。

そこで、複数のカラムのイメージアレイの出力を1個のA/D変換器でまかなうことにより、画素ピッチよりもA/D変換器を並べるピッチを大きくすることができる。

これらにより、特性の同じA/D変換器で、イメージアレイの出力信号レベルとリセットレベルとをA/D変換し、デジタル領域で差を求めれば、非常に精度の高いノイズキャンセルが可能となる。これは、A/D変換器のオフセットばらつきもキャンセルされるため縦筋ノイズの原因となるカラム回路のばらつきノイズも完全にキャンセルされる。さらに巡回型を用いれば、ノイズの問題がなければ、巡回の数を増やすことで、分解能をいくらかでも上げることができる。従って、多数回にわたるデジタル加算の処理を併用すれば、イメージセンサのカラムでの極めて分解能の高いA/D変換が可能となる。

【発明の効果】

【0007】

これによって、以下のような優れた特徴もたらされる。

(a) 個々のA/D変換器の動作周波数が、CCDイメージセンサのように最終出力に対して行うのに比べて、数十分の1になるため、画素部のバッファアンプの出力を直接、A/D変換を行うことができ、低ノイズ化において有利であるとともに、十分な応答時間をもたせられるのでノイズキャンセルの精度が高く、その意味でも低ノイズ化に有利である。

(b) 高速な信号読み出しを行いたい場合には、カラムにA/D変換器を並べて並列に動作させるのが有効な手段となるが、この場合、個々のA/D変換器の特性ばらつき(特にオフセットばらつき)が問題となるが、これがデジタル領域でのノイズキャンセルを行うことによって、特にオフセットばらつきに関しては、ほぼ完全にキャンセルすることができ、高速で高画質の信号読み出しが可能となる。

(c) 特に、A/D変換器として巡回型A/D変換器を用いる場合には、原理的には高速で非常に高分解能化が可能なので、高速で高分解能な信号読み出しが可能であるが、カラムに並べた際には、それらのオフセットばらつきによって縦筋状の固定パターン雑音を生じやすいことが問題となるのに対してデジタルノイズキャンセルを行うことによって、この問題が解決でき、従来困難であった高速で高分解能のデジタル出力をもつイメージセンサが実現される。

(d) 特に、A/D変換器として、積分型A/D変換器を用いる場合には、原理的には極めて高分解能で線形性の良いA/D変換が行えるが、イメージセンサのカラムに集積化する場合、個々のA/D変換要素回路の特性ばらつき、特にオフセットばらつきによって縦筋

10

20

30

40

50

状の固定パターン雑音を生じやすいことが問題となるのに対してデジタルノイズキャンセルを行うことによって、この問題が解決でき、従来困難であった高分解能で線形性に優れたデジタル出力をもつイメージセンサが実現される。デジタルノイズキャンセルの際、画素部のリセットレベルに対するA/D変換は、固定パターンによるばらつきの範囲をカバーする狭い電圧振幅範囲に対してA/D変換を行えばよいので、積分型A/D変換器の場合、その変換時間を、大きな振幅範囲をもつ信号出力成分に対するA/D変換に比べて大幅に短縮することができる。デジタルノイズキャンセルを行う場合、信号成分出力に対してだけA/D変換を行う場合に比べて、2倍の変換時間がかかるのが一般的であるが、積分型A/D変換を用いることで、デジタルノイズキャンセルによる読み出し時間の増加をわずかな値に済ませることができる。

10

(e) さらに、イメージセンサのカラムにおいてプリアンプで増幅を行った信号に対してA/D変換を行いデジタルノイズキャンセルを行うことによって、読み出しランダムノイズの影響を大場に低減し、低雑音のデジタル出力をもったイメージセンサを実現することができる。これは、CCDイメージセンサのように、イメージセンサの出力に対してデジタルノイズキャンセルを行う場合には、極めて困難である。

【発明を実施するための最良の形態】

【0008】

本発明は、イメージセンサのカラムにおいて、アナログ領域でのノイズキャンセル回路をなくし、イメージアレイの信号レベルとリセットレベルのそれぞれに対して、A/D変換を行い、デジタル領域で、その差を求めることで、高精度の固定パターン雑音除去能力と、低いランダムノイズでの信号読み出しを可能にするとともに、高分解能のA/D変換を可能にするものである。

20

さらに、そのA/D変換器として巡回型を用いる場合にキャパシタのばらつきをデジタル領域での加算による平均化により自動的に補正するものである。さらに、イメージアレイ出力の信号レベルとリセットレベルの両方に対して、多数回サンプルし、A/D変換後、それらをデジタル領域で多数回にわたって加算した後、デジタル領域で両者の差を求め、ノイズキャンセルを行う。これによって、ランダムノイズを低減することができる。

【0009】

特に、巡回型A/D変換は、ノイズの問題がなければ、巡回の数を増やすことで、分解能をいくらかでも上げることができる。従って、多数回にわたるデジタル加算の処理と巡回型を組み合わせることで、イメージセンサのカラムでの極めて分解能の高いA/D変換が可能となる。

30

デジタル領域でのノイズキャンセルを用いれば、特性の同じA/D変換器で、イメージアレイの出力信号レベルとリセットレベルと別々にA/D変換し、デジタル領域で差を求めるので、非常に精度の高いノイズキャンセルが可能となる。これは、A/D変換器のオフセットばらつきもキャンセルされるため縦筋ノイズの原因となるカラム回路のばらつきノイズも完全にキャンセルされる。

【実施例1】

【0010】

図1に、カラムでデジタルノイズキャンセルを行うイメージセンサの構成を示す。画素部(1)は、図2に示す埋め込みフォトダイオード(PD)を用いて、画素内電荷転送を行う4トランジスタの構成を用いることができるが、3トランジスタ型など、画素の構成に対する制限はない。

40

図1のカラムに並べて並列に動作させるA/D変換器(ADC)(2)には、積分型、逐次比較型、パイプライン型など様々な方式を用いることができるが、図3に示す1サイクルあたり1.5ビットのA/D変換を行う巡回型A/D変換器を単位回路とするのが高分解能を得る上で特に有用である。イメージセンサの画素部からの信号読みだし動作を含めたA/D変換とデジタルノイズキャンセルのタイミングを図4に示す。

【0011】

50

図3の巡回型A/D変換器の変換特性を、図5に示す。図3のデジタル出力D0, D1と図5のD、及び比較器への入力信号Vinとの関係は、次式ようになる。

【数1】

$$D = \begin{cases} 1 & (D_1=1, D_0=1) (V_{in} > V_R/4) \\ 0 & (D_1=0, D_0=1) (V_R/4 \geq V_{in} \geq -V_R/4) \\ -1 & (D_1=0, D_0=0) (-V_R/4 > V_{in}) \end{cases} \quad (1)$$

10

すなわち、入力を(1) - VRから - VR/4, (2) - VR/4から VR/4, (3) VR/4から VRの3領域に分割し、これらの領域に対して3値のA/D変換を行って - 1, 0, 1のデジタルコードを割り当てる。

【0012】

そのデジタルコードを用いて1.5ビットのD/A変換器の制御信号(0, P, M)を図5のように生成する。図3の巡回型A/D変換器は、図5の特性に従って演算し、出力を生成する。その演算は、次式で表される。

【数2】

$$V_{OUT} = 2V_{IN} - D \times V_R \quad (2)$$

20

すなわちこれは、上位桁から順にA/D変換し、入力を2倍して、そのA/D変換値によって、一定値をさしひくことで、その出力が必ず±VRの範囲になるようにし、これを再び入力に与えて同じことを繰り返すことで、多ビットのA/D変換を行うというものである。このときに1回あたり(1桁)、3値でA/D変換を行うので、デジタル値には冗長性が生じる。この冗長性により、比較器の精度要求が大きく緩和され、高精度なA/D変換が可能となる。

2進数では、各桁毎に0と1の2値を取るが、各桁毎に - 1, 0, 1の3値を取るので、1段あたり1.5ビットのA/D変換を行っていると考えることができる。

【0013】

30

画素部からの読み出し動作を含めた実際の動作は、以下ようになる。

図1における各画素(1)には、図2に示すように垂直走査信号発生回路(7)により画素選択信号(S), リセット信号(R), 転送ゲート制御信号(TX)が与えられる。

図2において、転送ゲート制御信号(TX)は第1のゲート(G1)の制御電極に印加される。また、リセット信号(R)は第2のゲート(G2)の制御電極に印加される。画素選択信号(S)は第3のゲート(G3)の制御電極に印加される。入射した光は埋め込みフォトダイオード(PD)により電荷に変換される。

第3のゲート(G3)と電源(VDD)の間にあるのは電界効果トランジスタからなるバッファ(BF)であり、浮遊拡散層(FD)に転送された電荷を緩衝増幅し出力線に伝送するためのものである。バッファ(BF)における電界トランジスタはそのゲートが浮遊拡散層(FD)にドレインが電源(VDD)に、ソースが第3のゲート(G3)に接続され、ソースフォロアとして使用されるのが一般的である。

40

図4のタイミングは、画素部のある1水平行が選択されて読み出される場合のタイミング図を示しており、画素選択信号は、省略している。まず、リセット信号(R)を与えて、ゲート(G2)を開き、画素部の浮遊拡散層(FD)を初期化する。

【0014】

このときのリセットレベルの電圧を図3に示す2つの容量(C1, C2)にサンプルする。これは、スイッチs, sdを一旦"1"にして"0"にもどすことによりなされる(以下、スイッチオンの状態を論理値"1", オフの状態を論理値"0"と表す)。また、その電圧を2つの比較器に与えて、1, 0, -1の3値のA/D変換を行う。その後、演算増幅器の入

50

力を共通として、C1はD/A変換器(以下「DAC」という)用スイッチと、演算増幅器の入力との間に接続し、C2は、演算増幅器の入出力間に接続する。これにより、次式の演算が実行される。

【数3】

$$V_{OUT}(0) = \left(1 + \frac{C_1}{C_2}\right)V_{IN} - D(0) \times \frac{C_1}{C_2}V_R \quad (3)$$

C1=C2であれば、これは、式(2)と等価である。ここで、Vout(0)は、最初のサイクルの出力、D(0)は、最初のA/D変換値、つまり最上位桁の値である。次のサイクルのため、演算増幅器の出力をC1にサンプルする。これは、スイッチ 1, 1dを一旦"1"にして"0"にもどすことによりなされる。

【0015】

また、演算増幅器の出力電圧を2つの比較器に与えて、1, 0, -1の3値のA/D変換を行う。C2にはもともとVout(0)が記憶されている。そこで、C1を用いてVout(0)と接地点との間の電圧を記憶し、次いで、A/D変換の結果に従って、これをDACとアンプの仮想接地点の間に接続し直せば、その差に比例した電荷Q = C1(Vout(0) - D(1)VR)が、C2に転送され、その結果次式の演算が実行される。

【数4】

$$\begin{aligned} V_{OUT}(1) &= V_{OUT}(0) + \frac{C_1(V_{OUT}(0) - D(1)V_R)}{C_2} \\ &= \left(1 + \frac{C_1}{C_2}\right)V_{OUT}(0) - \frac{C_1}{C_2}D(1)V_R \end{aligned} \quad (4)$$

これを必要なサイクル数だけ繰り返す。N回繰り返せば、N+1ビットの分解能が原理的には得られる。リセットレベルのA/D変換結果を一旦レジスタ(3)に記憶する。ついで画素への電荷転送制御信号(TX)を与え、ゲート(G1)を開き、フォトダイオード(PD)に蓄積された電荷を信号電荷検出手段としての浮遊拡散層(FD)に転送する。このとき画素からの出力は、転送される電荷量に応じて変化する。その信号レベルをリセットレベルに対して行ったのと同じ動作によりサンプルし、A/D変換を行う。リセットレベルに対するA/D変換と同じ分解能となるようN回繰り返す。その信号レベルのA/D変換結果を別のレジスタ(3')に記憶する。信号電荷検出手段は、半導体中の信号電荷の変化を絶縁物を介した浮遊ゲートの電位の変化として捉えるよう、浮遊ゲートで代替してもよい。

【0016】

デジタルノイズキャンセルは、2つのレジスタ(3, 3')に記憶したりセットレベルと信号レベルに対するA/D変換値の差を求めることで行う。これは、カラム毎にデジタル加算器(減算器)を設けて行うこともできるが、これは、2つのレジスタの値を水平走査により読み出して、出力に加算器(図1の4)を設けて行う方が回路規模の点で有利である。水平走査は、複数のD型フリップ・フロップ(5)からなるシフトレジスタによりゲート(9)を開閉して行う。電流源トランジスタ(6)は、出力ラインの負荷となっている。

【実施例2】

【0017】

次に、読み出し時のランダムノイズを低減することができる多数回サンプルと加算を用いた方式を説明する。図6に、イメージセンサのブロック図を、図7にその垂直読み出

10

20

30

40

50

しと A/D 変換のタイミングを示す。先に説明した、リセットレベル、信号レベルに対する N ビットの A/D 変換をそれぞれ M 回行い、A/D 変換器出力に設けたレジスタ (3, 3') と加算器 (8) を用いて M 回の加算を行った値どうしの差を求めてデジタルノイズキャンセルを行うもので、M 回の加算を行えば、信号に対する雑音の比を、振幅で $1/M$ に改善する効果がある。

さらに、このような加算を行う場合、巡回型 A/D 変換器に用いるキャパシタのバラツキによる誤差を低減することができる。その場合の巡回型 A/D 変換器の単位回路を図 8 に示す。これは図 9 に示すように、2 つの容量 C_1 と C_2 の役割を変えて A/D 変換を行い、その和を求めることで、キャパシタのバラツキ誤差の大部分がキャンセルされることを用いる。

10

【0018】

図 9 (a) のように、 C_1 と C_2 で入力信号 V_{IN} をサンプリングしたあと、演算時に C_1 を DAC に、 C_2 をアンプの入出力間に接続すれば、その出力 V_{OUT} は、式 (3) と同様

【数 5】

$$V_{OUT} = \left(1 + \frac{C_1}{C_2}\right) V_{IN} - D \times \frac{C_1}{C_2} V_R \quad (5)$$

の演算がなされ、図 9 (b) のように演算時に C_2 を DAC に、 C_1 をアンプの入出力間に接続すれば、次式の演算がなされる。

20

【0019】

【数 6】

$$V_{OUT} = \left(1 + \frac{C_2}{C_1}\right) V_{IN} - D \times \frac{C_2}{C_1} V_R \quad (6)$$

C_1 と C_2 は、同じ値に設計するが、バラツキにより誤差が生じたとし、その誤差を

【数 7】

30

$$a = \frac{C_1}{C_2} - 1 \quad (7)$$

で表すと、

【数 8】

$$\frac{C_2}{C_1} = \frac{1}{1+a} \cong 1-a \quad (8)$$

40

であるので、式 (5)、式 (6) はそれぞれ、次式のようになる。

【0020】

(図 9 (a) の場合)

【数 9】

$$V_{OUT} = (2+a) V_{IN} - D \times (1+a) V_R \quad (9)$$

(図 9 (b) の場合)

50

【数 10】

$$V_{OUT} \cong (2-a)V_{IN} - D \times (1-a)V_R \quad (10)$$

【0021】

これは、式(2)と比較すると、1サイクルのA/D変換あたりに、図9(a)の場合には $V_{IN} - D \times \dots \times V_R$ の誤差が、図9(b)の場合には $- V_{IN} + D \times \dots \times V_R$ の誤差が発生することを意味している。つまり、もしDが同じであれば、その絶対値が等しく極性が逆の誤差が生じる。実際には、これを必要な回数巡回させるが、そのときの全体の誤差を計算すると、 $\ll 1$ であれば、全体の誤差についても、図9(a)で演算を行った場合と、図9(b)で演算を行った場合とでは、ほぼ絶対値が等しく、極性が逆となる。従って、図9(a)と図9(b)によってA/D変換を行った結果を加算すれば、ほぼその誤差が相殺される。実際には、例えば図7のM回加算処理を行う場合(Mが2以上の偶数)のタイミング図において、奇数番目のA/D変換は、図9(a)の動作、偶数番目のA/D変換は、図9(b)の動作になるようにすればよい。また、リセットレベルに対するA/D変換、信号レベルに対するA/D変換、ともに同じ動作を行う。

10

【0022】

図8の単位A/D変換回路は、図3の回路を基本として、図9(a)と図9(b)の両方の動作を行えるようにしたものである。図10は、図8が、図3の回路の動作と同じになるようにするための制御信号の与え方を示している。

このようなキャパシタのパラツキを低減するキャンセルする処理は、同時に平均化により、ランダムノイズに対しても低減の効果がある。

20

【実施例3】

【0023】

デジタル領域でのノイズキャンセルを行うもう1つの利点は、1つのA/D変換器でイメージレイの出力の複数のカラムに対して、マルチプレクスしながら逐次A/D変換を行えることである。この場合の構成例を図11に示す。巡回型A/D変換器は、回路がやや複雑であるので画素ピッチが小さくなると単位のA/D変換器をカラムに並べるのが困難になる。その場合、複数のカラムの出力を1つのA/D変換器でまかなえばよい。デジタル領域でノイズキャンセルする場合は、図11に示したように複数のカラムの出力をマルチプレクスしながら直接順に、A/D変換器に接続することで容易に行える。これをアナログ領域で、アンプと容量を用いてノイズキャンセルしようとするアナログ回路が複雑となり、精度を出しにくい。図11に示すように、レジスタは、カラムの数だけ必要になり、A/D変換器の出力に対して切り替えることになるが、レジスタはデジタル回路であるので面積を小さくするのはアナログ回路であるA/D変換器に比べてはるかに容易であり、A/D変換器を複数のカラムで共有するのは非常に有用である。

30

【実施例4】

【0024】

図3及び図8は、簡単のため、シングルエンドの演算増幅器を用いた回路になっているが、これを全差動型回路にすることもできる。図3に対応する回路を全差動型で構成した回路を図12に示す。イメージレイからの出力は、図12の V_{IN} の入力に与え、図12のもう1つの入力 V_{REF} には、参照電圧を与える。この参照電圧は、A/D変換される電圧の直流レベルを決める。

40

なお、図3の回路に対しての全差動回路の構成を示したが、同様に図8についても全差動回路とすることは可能であり、これは図3と図12から容易に類推できる。

なお、図3の演算増幅器の代わりに、カスコードのソース接地増幅器のような簡単な構成の増幅器を用いても実現できることは明らかである。

【実施例5】

【0025】

次に、別の実施例として、イメージセンサのカラムにおいて、プリアンプ(前置増幅器)によるアナログノイズキャンセルと、プリアンプのノイズに対してデジタルノイズキャン

50

ンセルを行う方式について説明する。

図13に示すように、画素部からの信号を一旦プリアンプ(10)で増幅した信号レベル、リセットレベルそれぞれを、A/D変換し、そのデジタルデータを、2つのレジスタに記憶し、デジタル領域でノイズキャンセルを行う。その具体的な回路例と、タイミング図を、図14と、図15に示す。プリアンプは、2つの容量と、スイッチ、アンプを用いた例を示している。VINには、画素部のリセットレベルと、信号レベルが交互に与えられる。先にリセットレベルが出力される画素回路を用いた場合について考える。画素部をリセットし、画素内のアンプを経由して、リセットレベルがVINに与えられる。これをスイッチ s1, s1dを"1"にして、容量CA1にサンプルする。その後、スイッチ s1, s1dを"0"に戻したあと、スイッチ s2を"1"にすることで、増幅されたリセットレベルがプリアンプの出力に現れる。このときのプリアンプの出力をVout1とする。

ここで、説明を一般化するために、CA2をVRAに接続し、切り離れた瞬間に、VINに与えられる入力レベルをVSR0とし、CA2を出力に接続し、次の段で出力がサンプルされて記憶される瞬間にVINに与えられる入力レベルをVSRとする。このときに、ノイズ成分を無視すれば、

【0026】

【数11】

$$V_{OUT1} = V_{RA} + \frac{C_{A1}}{C_{A2}} (V_{SR} - V_{SR0}) \quad (11)$$

と表される。ここでVRAは、プリアンプに与えられる参照電圧である。VSR0は、動作基準電圧を定めるための電圧であり、好ましくは安定した直流電圧、実用上はリセットレベルを、上記期間においてプリアンプのVINに与える。

もし、VSR、VSR0として、画素部をリセットしたときの出力が与えられ、リセットレベルがノイズの影響などでの変動がないとすれば、VSR = VSR0であり、Vout1 = VRAとなる。一般的には、リセットレベルに変動があることを想定し、リセットレベルが与えられたときの出力を式(11)と考える。その出力(Vout1)に対して、図14の後段の巡回型A/D変換器でA/D変換を行う。A/D変換結果は、レジスタに記憶する。A/D変換の動作は、図3の場合と同様であるので、省略する。その後、プリアンプのスイッチ(s1, s1d, s2)は、次の信号レベルのA/D変換器でのサンプルが完了するまで変化させないことが重要である。

リセットレベルのA/D変換完了後、画素内の電荷転送制御信号TXを高い電位にすることで、フォトダイオードの電荷を浮遊拡散層に転送する。これにより、画素内のアンプを経由して、VINに信号が現れる。その変化によって、プリアンプの出力には、CA1/CA2の比で増幅された信号レベルが現れる。このときの出力をVout2とすると、ノイズ成分を無視すれば、次式となる。

【0027】

【数12】

$$V_{OUT2} = V_{RA} + \frac{C_{A1}}{C_{A2}} (V_{SS} - V_{SR0}) \quad (12)$$

ここで、VSSは、VINに与えられる信号レベルである。このように、VRAを基準として、画素部のノイズキャンセルがなされた信号成分がCA1/CA2の比で増幅された信号が現れる。これを、その後段の巡回型A/D変換器によりA/D変換を行ってレジスタに記憶する。

このように、A/D変換され、レジスタに記憶されたデジタル値の差をデジタル領

10

20

30

40

50

域で求めることで、非常に低雑音の読み出しが可能になる。A/D変換前のアナログ動作は、同じ動作が行われるので、アナログ領域での誤差が生じて、2つの信号に同じ影響が生じる。したがってデジタル領域で差を求めることで、効果的に回路のばらつきにより生じる固定パターン雑音が効果的に除去される。さらに、プリアンプにおいて、リセットレベルの増幅と信号レベルの増幅において、スイッチの状態を変えないようにすることで、プリアンプの容量に蓄えられているノイズ電荷が変化しないため、Vout1, Vout2をA/D変換した後、デジタル領域で差を求めれば、プリアンプの雑音の一部である容量に蓄えられた雑音成分を除去することができる。その成分は、特にプリアンプの利得が高い場合に支配的なノイズ成分となるため、その除去効果は非常に大きい。

【0028】

なお、以上は、プリアンプへのサンプリング動作を、1水平毎に、毎回行う場合について説明したが、図15に示した、プリアンプのスイッチ(s1, s1d, s2)を制御することによるサンプリング動作は、フレームの先頭で1回のみ行い、信号読み出し時は、 $s1 = s1d = "0"$, $s2 = "1"$ のままにしておき、読み出しタイミングとしては、図4と同じ動作をする方法も考えられる。この場合、毎回プリアンプのスイッチング動作を行わなくてよいため、信号を高速に読み出したり、消費電力を下げる上で効果がある。なお、フレームの先頭で与えられるVINは、式(11)(12)のVSR0に相当するものとなり、これには適当な参照電圧を与えるか、ダミー画素を設けて、そのリセットレベルを利用するなどの方法が考えられる。どのような電圧を与えたとしても原理的には、式(11), (12)に対応する電圧をデジタル化して、デジタル領域で差分を求めれば、VSR0とは無関係に、各画素部の読み出し時のリセットレベルと信号レベルの差分が求められることになり、デジタル領域でノイズキャンセルが行えることがわかる。また、フレームの先頭ではなく、複数の水平読み出しごとに、図15のようなプリアンプのサンプリング動作を行い、その他の水平読み出しでは、リセット動作を行い、図4と同じ動作とするという方法も考えられる。これも信号を高速に読み出したり、消費電力を下げる上で効果がある。

【実施例6】

【0029】

別の実施例として、A/D変換器に積分型を用いたデジタルノイズキャンセルを説明する。図16に、その構成を示す。一点鎖線で囲まれたA/D変換器(20)は、カラムに並べる1チャンネル分を示しており、ランプ信号発生器(26)、多段分解能Grayコードカウンタ(27)、制御回路(28)はカラムに並べた全てのチャンネルのA/D変換回路に対して共通である。図16のA/D変換器(20)の1チャンネル分は、図1のA/D変換器(2)に相当する回路を示している。この図16では、図13のプリアンプ(10)はプリアンプ(21)としてA/D変換器(20)の内部に取り込まれている。しかしながらプリアンプ(21)は必須の構成ではなく省略できるものである。

デジタルノイズキャンセルをイメージセンサのカラムにおいて行うため、積分時間の異なる2回の積分型A/D変換を行う。積分型A/D変換器は、1個の比較器(22)、ランプ信号発生器(26)とこれに同期して動作するカウンタ(27)及びカウント値を記憶(ラッチ)するラッチ回路(24)からなる。0Vから徐々に電圧が上昇するランプ信号を発生させ、ランプ信号のスタートと同時にデジタル値がインクリメントするカウンタを動作させる。このときランプ信号とA/D変換したい入力信号を比較器(22)に与え、ランプ信号が、入力信号を超えた瞬間に比較器(22)の出力が"0"から"1"に変化する。この比較器(22)の出力によって、ラッチ回路(24)にカウンタの値を記憶する。この記憶されたデジタル値が、入力されたアナログ信号がA/D変換された値となる。このカウンタとしては、デジタルノイズがA/D変換特性に与える影響を減らすため、全てのコードで遷移するビットが1ビットだけであるグレイコードを用いるのが一般的である。積分型A/D変換器は、非常に線形性に優れ、低雑音の読み出しには有利である。カウンタを用いた積分型A/D変換器は、例えば10ビット分解能で行うと最大で1024回のカウントが必要になる。従って分解能を高くすると、変換時間が長くなり、イメージセンサの読み出し速度に影響する。23

10

20

30

40

50

はRSフリップフロップである。また必要に応じて、グレイコードをバイナリコードに変換する変換器(25)を設ける。

デジタルノイズキャンセルを行う場合は、雑音成分と信号成分の両方に対してA/D変換を行う必要がある。そのため一般的には、アナログ領域でノイズキャンセルを行う場合に比べて、一般的には2倍の変換時間を必要とする。本発明では、積分型A/D変換の特徴を利用し、この変換時間を節約し、高速のA/D変換を行うものである。

図17は、リセットレベル用と、信号レベル用のA/D変換に使用するランプ波形と、最大カウント数の関係を図示している。

動作は、以下の通りである。まず、入力に画素部のリセットレベルを与え、プリアンプ(21)で増幅されたレベルに対してA/D変換を行う。このとき、リセットレベルが取りうる範囲は、固定パターンノイズ、ランダムノイズの変動の範囲であるので、その範囲は小さい範囲に限定されており、これをA/D変換するときのランプ信号の振幅は小さくてよく、またカウント値も、少ない回数ですみ、短時間でA/D変換が可能である。次いで、信号レベルを与えて、大きな振幅のランプ波形を用い、十分な最大カウント数を使ってA/D変換を行う。このようにすることで、信号レベルだけに対するA/D変換に必要な時間に、その何割(図17では、1/M)かの時間を追加することで、ノイズレベルに対するA/D変換が行え、線形性に優れた積分型A/D変換を用いてデジタルノイズキャンセルが比較的容易に行える。

【0030】

巡回型A/D変換について補足説明を行う。

巡回型A/D変換として、1サイクルあたり、例えば2進で-1, 0, 1の3値を取る冗長表現を用いるが、最終的にはデータ出力線数を減らすために、非冗長表現に変換した後に、そのデジタルデータを、水平走査(あるいは並列出力のときは部分的水平走査)を行って出力する。なお出力のデータレートが低い場合には、水平走査後、冗長表現から非冗長表現に変換してもよい。この変換は、Nビットの場合には、N+1桁の加算を行う加算器を用いて行うことができる。図3、図8は1サイクルで1.5ビットの巡回型A/D変換を行う構成であるが、より高速に動作させるため、演算要素を多段に接続して巡回させる方式なども考えられる。さらに図3、図8では、比較器を二つ用いているが、比較器を1つ用いて1ビットのA/D変換を繰り返す方法、比較器を複数用いて、さらにアンプでの増幅も4倍、8倍、16倍として、1サイクルあたり多ビットのA/D変換を巡回する方法も考えられ、これらを排除するものではない。

また、ここまでの説明では、画素選択手段として第3のゲート(G3)を用いる構成を示したが、他の構成によっても画素の選択は可能であり、本発明は上述の第3のゲート(G3)を用いる構成に限定されるものではない。たとえば図18に示すように、リセット電位を固定せずに走査信号発生手段から可変のリセット電位として制御信号VRを与えることによっても画素選択可能である。この回路の動作の概略を説明すると、選択していない画素の浮遊拡散層(FD)の電位を、電界効果トランジスタからなるバッファ(BF)がオフ状態となる低い電位(たとえば1V)に保つようにして、選択している画素については、浮遊拡散層の電位の初期化レベルを十分高く(たとえば2.5V)設定する。このように設定すれば、信号電荷が転送され、浮遊拡散層(FD)の電位が下がったとしても、バッファ(BF)がソースフォロア回路として線形性をもって信号読み出しがなされる範囲(たとえば1.5V)となり、他の選択されていない画素からの信号を抑圧できる。

【産業上の利用可能性】

【0031】

本発明の構成により、イメージセンサのカラムにおいて、アナログ領域でのノイズキャンセル回路をなくし、イメージレイの信号レベルとリセットレベルのそれぞれに対して、A/D変換を行い、デジタル領域で、その差を求めることで、高精度の固定パターン雑音除去能力と、低いランダムノイズでの信号読み出しを可能にするとともに、高分解能のA/D変換を可能にする。

【図面の簡単な説明】

10

20

30

40

50

【 0 0 3 2 】

【図 1】カラムでデジタルノイズキャンセルを行うイメージセンサの構成を示す図

【図 2】画素回路とフォトダイオード構造の一例を示す図

【図 3】カラム集積化用巡回型 A/D 変換器（単位回路）を示す図

【図 4】巡回型 A/D 変換と、ノイズキャンセルのタイミングを示す図

【図 5】一サイクルあたり 1.5 bit の A/D 変換を行う巡回型 A/D 変換器の変換特性の図

【図 6】信号、リセットレベルの多数回サンプルと加算を用いてカラムでデジタルノイズキャンセルを行うイメージセンサの構成図

【図 7】M 回加算処理を用いたデジタルノイズキャンセルのための A/D 変換の様子を示す図

10

【図 8】キャパシタのバラツキを補正する機能を持たせた巡回型 A/D 変換器の単位回路を示す図

【図 9】キャパシタバラツキ補正の原理を示す図

【図 10】図 8 の A/D 変換器の制御信号の与え方（図 3 の制御信号との対応関係）を示す図

【図 11】2 つのカラムの出力をマルチプレクスして A/D 変換を行う場合の構成図

【図 12】図 3 の回路を全差動回路構成とした回路例を示す図

【図 13】前置増幅後、デジタルノイズキャンセルを行うイメージセンサを示す図

【図 14】プリアンプと巡回型 A/D 変換器を示す図

20

【図 15】前置増幅後、デジタルノイズキャンセルを行うタイミングを示す図

【図 16】A/D 変換器として積分型を用いる実施例を示す図

【図 17】リセットレベルに対するランプ波形と信号レベルに対するランプ波形とを示す図

【図 18】画素回路とフォトダイオード構造の他の例を示す図

【符号の説明】

【 0 0 3 3 】

1 画素部

2 A/D 変換器

3 , 3' レジスタ

30

4 加算器

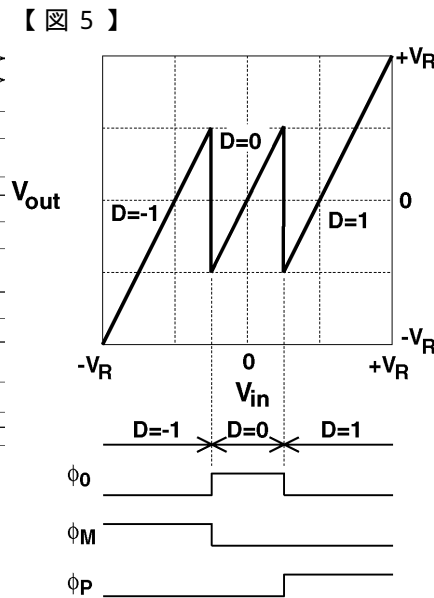
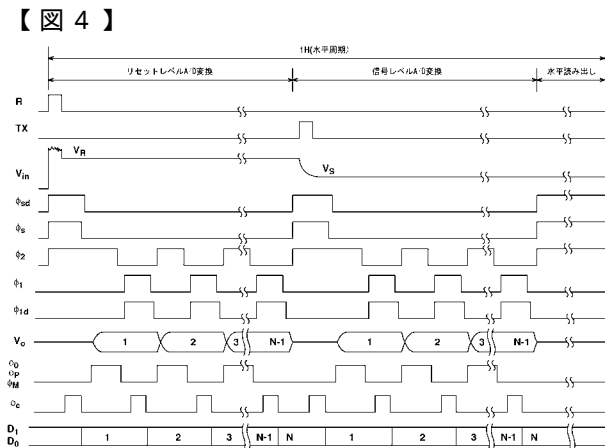
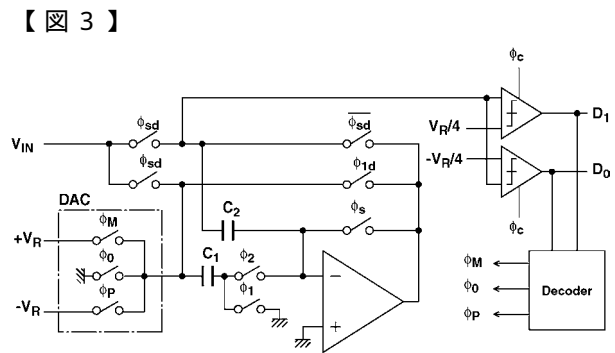
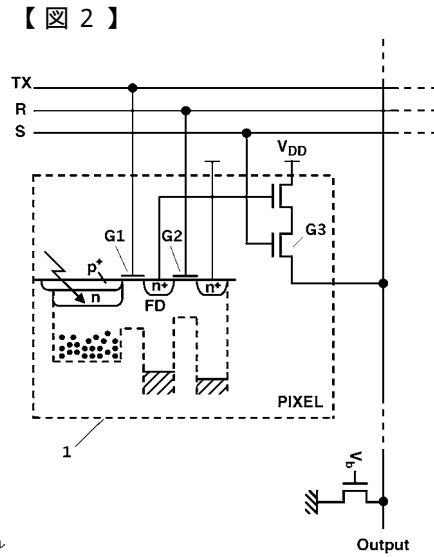
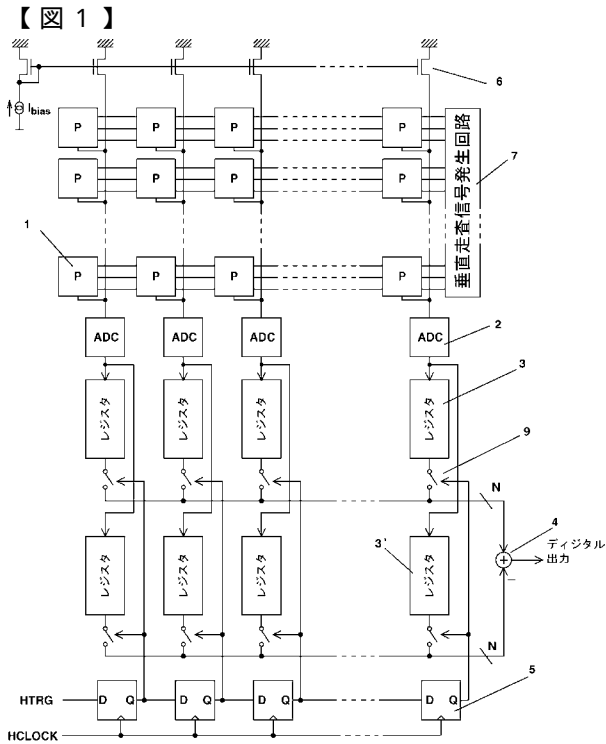
5 D 型フリップフロップ

6 電流源トランジスタ

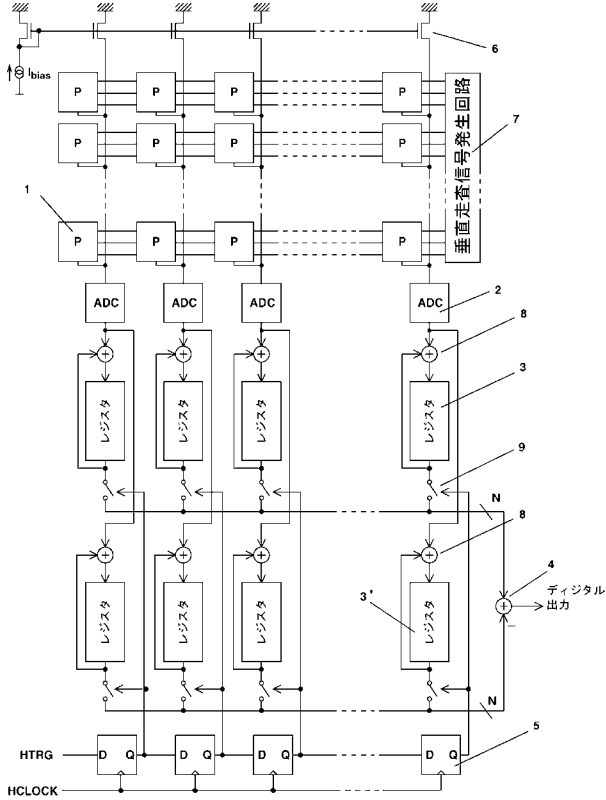
7 垂直走査信号発生回路

F D 浮遊拡散層

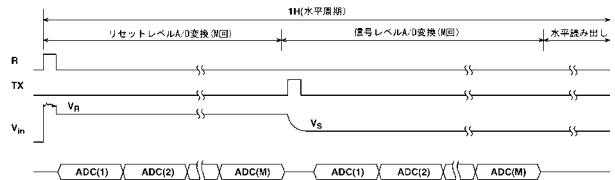
G 1 , G 2 ゲート



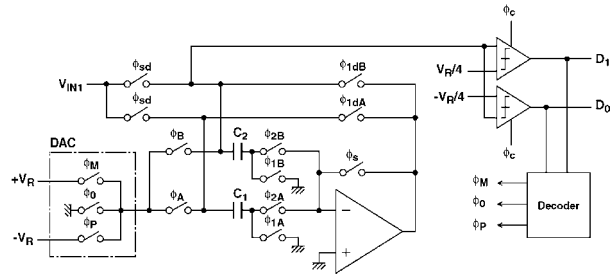
【図 6】



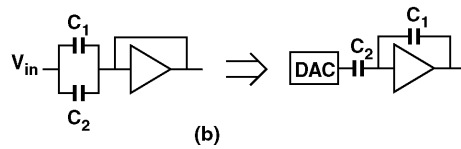
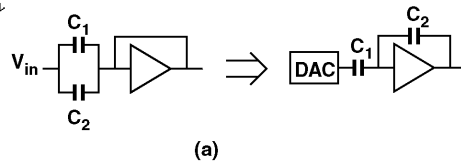
【図 7】



【図 8】



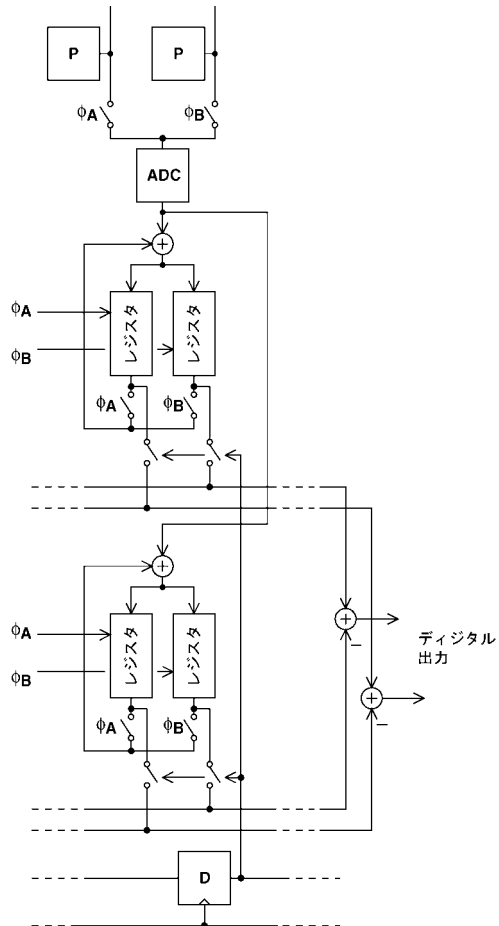
【図 9】



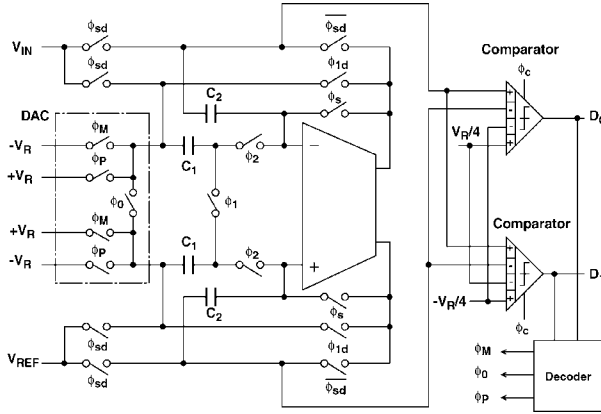
【図 10】

図8の制御信号	図9(a)の動作の場合	図9(b)の動作の場合
ϕ_{1dA}	ϕ_{1d}	ϕ_{sd}
ϕ_{1dB}	ϕ_{sd}	ϕ_{1d}
ϕ_{1A}	ϕ_1	"0"
ϕ_{2A}	ϕ_2	"1"
ϕ_{1B}	"0"	ϕ_1
ϕ_{2B}	"1"	ϕ_2
ϕ_A	"1"	"0"
ϕ_B	"0"	"1"

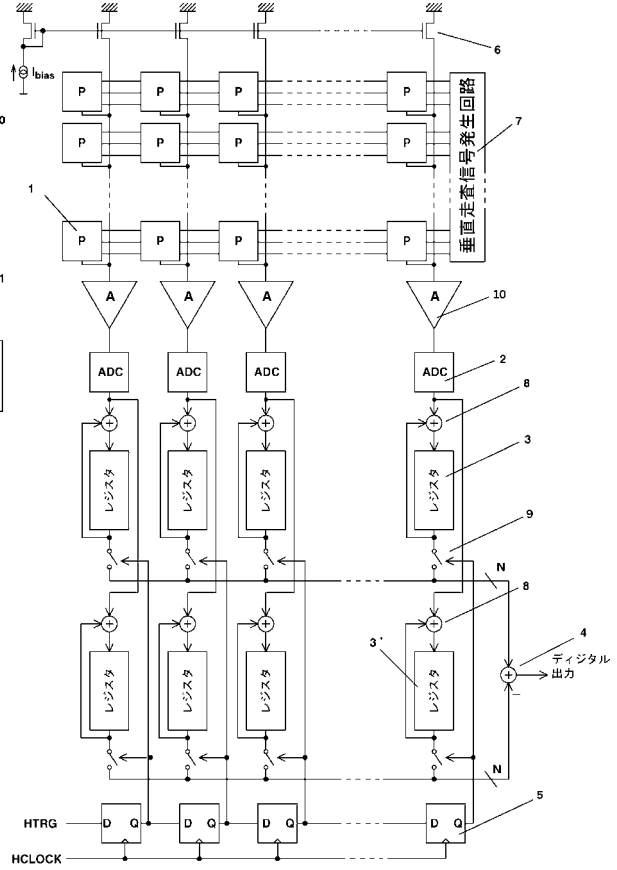
【図 11】



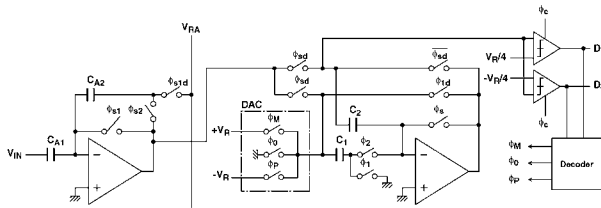
【図12】



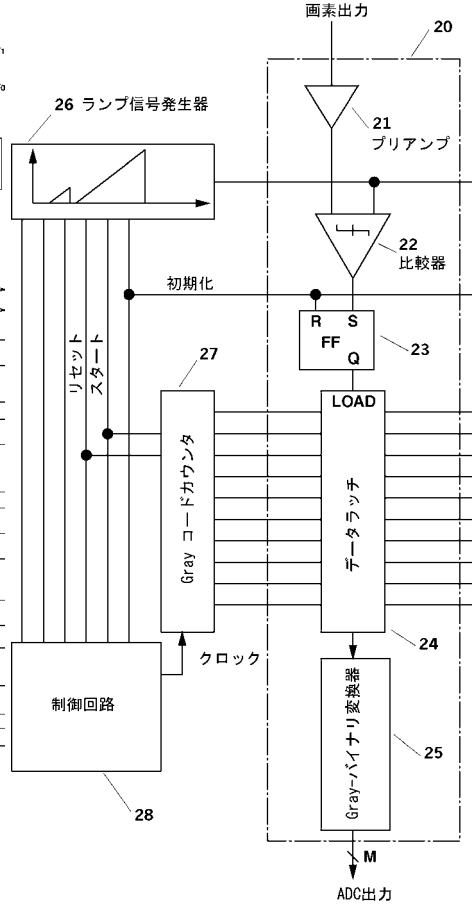
【図13】



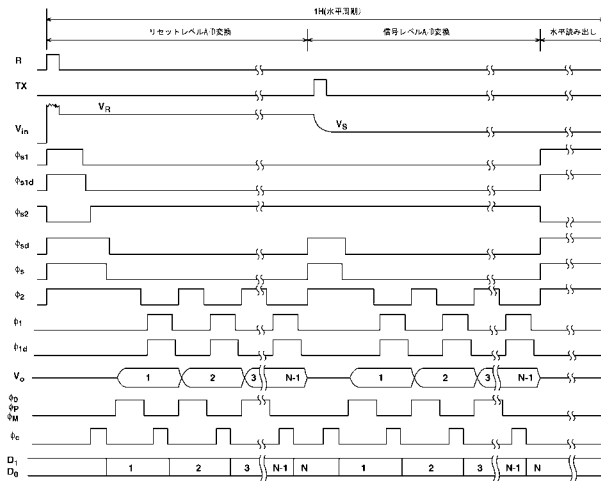
【図14】



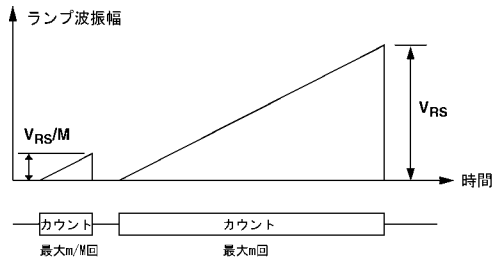
【図16】



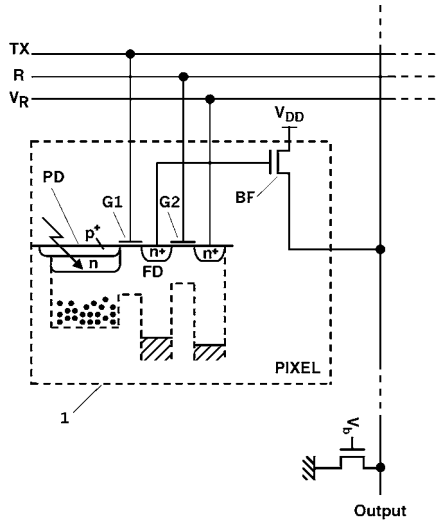
【図15】



【図17】



【図18】



フロントページの続き

- (56)参考文献 特開2003-078824(JP,A)
特開2001-223566(JP,A)
特開2002-057581(JP,A)
特開平10-290400(JP,A)
特開2001-346106(JP,A)
特開昭63-086976(JP,A)
特開平07-202695(JP,A)
特開平10-178354(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/335
H01L 27/146