

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4613305号
(P4613305)

(45) 発行日 平成23年1月19日(2011.1.19)

(24) 登録日 平成22年10月29日(2010.10.29)

(51) Int.Cl. F I
 HO 1 L 27/146 (2006.01) HO 1 L 27/14 A
 HO 4 N 5/374 (2011.01) HO 4 N 5/335 7 4 O

請求項の数 6 (全 12 頁)

<p>(21) 出願番号 特願2004-303983 (P2004-303983) (22) 出願日 平成16年10月19日(2004.10.19) (65) 公開番号 特開2006-120685 (P2006-120685A) (43) 公開日 平成18年5月11日(2006.5.11) 審査請求日 平成18年9月5日(2006.9.5)</p>	<p>(73) 特許権者 304023318 国立大学法人静岡大学 静岡県静岡市駿河区大谷836 (74) 代理人 100083806 弁理士 三好 秀和 (72) 発明者 川人 祥二 静岡県浜松市広沢一丁目2番12号 審査官 柴山 将隆</p>
---	--

最終頁に続く

(54) 【発明の名称】 埋め込みフォトダイオード構造による撮像装置

(57) 【特許請求の範囲】

【請求項1】

埋め込みフォトダイオードと、
 該フォトダイオードの電荷蓄積部(2)と絶縁体を介して容量結合され浮遊状態にすることが出来る浮遊電極(14)と、

光により蓄積された信号キャリアを抜き去って初期化するために前記フォトダイオードの電荷蓄積部に接続された第1の転送トランジスタ(21)と、

前記浮遊電極に初期化電位を設定するために初期化電位と前記浮遊電極との間に接続される第2の転送トランジスタ(10)と、

前記浮遊電極の電位を読み出すためにそのゲートが前記浮遊電極に接続されたバッファトランジスタ(7)

とを備える素子を単位画素とし、該単位画素を1次元または2次元に配置してなる埋め込みフォトダイオード構造による撮像装置。

【請求項2】

前記フォトダイオードは、第1導電型の半導体基板と、該半導体基板の上部の一部に設けられた、第1導電型とは反対導電型の第2導電型の半導体領域とを備え、

前記第2導電型の半導体領域の表面の一部には、前記半導体基板より高濃度の第1導電型領域が形成され、前記浮遊電極として、前記第1導電型領域が形成されていない、前記第2導電型の半導体領域の表面にシリコン酸化膜を介した電極が設けられたものである請求項1記載の埋め込みフォトダイオード構造による撮像装置。

10

20

【請求項 3】

前記浮遊電極の直下の、前記第1導電型領域が形成されていない前記第2導電型の半導体領域の表面に、前記第1導電型領域より低濃度の他の第1導電型領域が設けられ、

前記他の第1導電型領域の濃度と深さを、前記浮遊電極に与えた電圧によって前記他の第1導電型領域の表面に、前記信号キャリアと逆極性のキャリアが誘起し、また光による前記信号キャリアを初期化した際には、前記浮遊電極の電位が、前記信号キャリアの量に依存して大きく変化するように設定することにより、暗電流の低減を図るとともに高い検出感度をもたせるようにした請求項2記載の埋め込みフォトダイオード構造による撮像装置。

【請求項 4】

信号蓄積時に、前記浮遊電極の電位が0Vにおいても、前記他の第1導電型領域の表面に前記逆極性のキャリアが誘起されるように前記他の第1導電型領域の濃度と深さを定めることにより暗電流を低減することを特徴とする請求項3記載の埋め込みフォトダイオード構造による撮像装置。

【請求項 5】

第1導電型の半導体基板と、
該半導体基板の上部の一部に設けられた、第1導電型とは反対導電型の第2導電型の半導体領域からなる埋め込みフォトダイオードと、

該フォトダイオードの表面に形成した第1導電型拡散層からなる浮遊拡散層(15)と、
前記浮遊拡散層(15)に金属を接触させることで形成した浮遊電極と、

光により蓄積された信号キャリアを抜き去って初期化するために前記フォトダイオードの電荷蓄積部(2)に接続された第1の転送トランジスタ(21)と、

前記浮遊電極に初期化電位を設定するために前記浮遊拡散層を取り囲むように形成されたゲートと該ゲートの外側にある一定の電圧が与えられたドレインとからなる第2の転送トランジスタ(10)と、

前記浮遊電極の電位を読み出すために、前記浮遊電極に接続されたゲートを有するバッファトランジスタ(7)

とを備える素子を単位画素とし、該単位画素を1次元または2次元に配置してなる埋め込みフォトダイオード構造による撮像装置。

【請求項 6】

第1導電型半導体基板の上部の一部に第1導電型とは反対導電型の第2導電型の半導体領域を形成し、該第2導電型の半導体領域の表面に、前記半導体基板より高濃度の第1導電型領域を形成してフォトダイオードを構成し、

前記フォトダイオードの上に、前記フォトダイオードの電荷蓄積部(2)と絶縁体を介して容量結合され浮遊状態にすることができる浮遊電極(14)を形成し、

光により蓄積された信号キャリアを抜き去って初期化するために前記フォトダイオードの電荷蓄積部に接続された第1の転送トランジスタ(21)を形成し、

前記浮遊電極に初期化電位を設定するために初期化電位と前記浮遊電極との間に接続される第2の転送トランジスタ(10)を形成する工程を含む撮像素子の製造方法において、

前記第1の転送トランジスタ及び第2の転送トランジスタをCMOS集積回路の製造工程により製造するとともに、

前記フォトダイオードの基板は、nウェル、pウェルどちらも形成しないようにして、低濃度の前記半導体基板そのまま用いるようにし、

前記半導体基板の上に前記第2導電型の半導体領域と前記第1導電型領域を形成する工程をCMOS集積回路の製造工程に追加することで前記フォトダイオードを形成するようにしたことを特徴とする埋め込みフォトダイオード構造による撮像素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、低雑音で、暗電流が少なく、高感度なイメージセンサを実現する画素部の構

10

20

30

40

50

造に関するものであり、特にCMOS集積回路工程にいくつかの工程を追加することによって構成するイメージセンサに関する。

【背景技術】

【0002】

CMOS集積回路の製作工程に光電変換の構造のための幾つかの工程を追加することで実現されるCMOSイメージセンサには、光により発生された電荷を、画素アレイの外に設けた回路に直接読み出す受動型画素方式と、信号電荷蓄積に伴う電圧変化を画素内にもうけたトランジスタを介して画素アレイの外の回路に読み出す能動型画素方式とがある。能動型画素方式の方が、低雑音、高感度にできるとされている。また、能動型画素方式としては、電荷蓄積に伴うフォトダイオードの電位変化を直接トランジスタを介して読み出す方式と、画素内でフォトダイオードから浮遊拡散層に電荷転送を行い、浮遊拡散層の電位変化をトランジスタを介して読み出す方式がある。

10

【0003】

後者の例が、以下の文献に開示されている。

1) テー スアン リー他、"ピン光ダイオード集積能動画素センサー" 特開平8-335688号公報

後者の画素の構造と回路の例を、図1に示す。

p型半導体シリコンを基板(1)とし、フォトダイオードとなる部分に電荷蓄積部(2)としてのn型領域が形成され、その表面にさらに基板と同極性のp型領域である高濃度のp層(3)を形成することで、電子の蓄積が行われる部分が半導体内部に埋め込まれ、表面が逆極性のキャリア(電子を蓄積する場合にはホール)で満たされるようにすることで、暗電流を非常に小さくしている。

20

また、電荷蓄積部(2)を転送トランジスタに接続し、そのゲート電極(6')の制御信号TXの電位を高くしてゲートを開き、n型の浮遊拡散層(FD)(15)に蓄積された電荷を完全に転送するように構成する。このことによって残留電荷による残像とノイズの発生をなくし、電荷転送と、周辺回路への読み出し動作を組み合わせ、相関2重サンプリング処理を行うことによって、リセットノイズをキャンセルすることができる。

【0004】

読み出しは、浮遊拡散層(15)にバッファトランジスタ(7)のゲートを接続し、Sに高い電圧を与えることにより画素選択トランジスタ(8)を導通させる。その際にバッファトランジスタ(7)と画素アレイの周辺に設けた電流源トランジスタ(9)とによってソースフォロワ回路が構成され、浮遊拡散層の電位を出力に読み出す。

30

図1の4はシリコン酸化膜による絶縁体(誘電体)、5はリセット用n+領域、6はリセット用ゲート電極である。

このような画素構成は、暗電流とランダム雑音が低く、高感度なCMOSイメージセンサが実現できるため、広く用いられている。しかしながら、このような電荷転送を行う方式では、電荷を蓄積・記憶保持する部分が、フォトダイオード部と浮遊拡散層の2箇所に必要なため、画素サイズの縮小に伴い、扱える信号電荷量が小さくなり、また、浮遊拡散層での信号振幅を高くしにくいいため、電源電圧の低下に伴ってダイナミックレンジが減少することが懸念されている。

40

【0005】

一方、前者については、電荷転送を行わない方式であり、扱える信号電荷量については電荷転送方式よりも有利であるが、この場合にはリセット雑音がランダム雑音の主要因となり、ノイズレベルが大きくなり、またフォトダイオードが埋め込み構造にできないため、暗電流も大きくなる。この暗電流を低減する構造として部分的に表面にp型半導体を形成する方法が以下の文献に開示されている。

2) テー スアン リー他、"固体画像センサ用の部分的ピン止めフォトダイオード" 特開平10-209422号公報

この構造の例を図2に示す。図2に示すような構造では、フォトダイオードの電荷蓄積部(2)であるn型領域の電位をMOS型バッファトランジスタ(7)のゲートに接続するため

50

、フォトダイオードのn層の一部が半導体とシリコン酸化膜(4)の界面に接触し、完全に埋め込まれる場合に比べて暗電流が大きくなる。

【特許文献1】特開平8-335688号公報

【特許文献2】特開平10-209422号公報

【発明を実施するための最良の形態】

【0006】

従来の電荷転送を行わない構造でも、フォトダイオードに蓄積される電荷を初期化する際に、n型領域を完全に空乏化し、全ての電子を一時的に、リセット用電源VRに接続されたn型拡散層に抜き去ることができれば、リセットノイズが発生しないようにすることができる。しかしながら、図2の構造では、n層を金属配線に接続するため、その部分には、高濃度のドナー不純物を導入する必要があり、非常に電子濃度の高い層が存在する。この非常に高濃度のn型層が存在するために、完全空乏化することはできず、リセットノイズが発生する。

10

本発明は、従来の構造における課題、十分な蓄積信号量と、リセット雑音除去、低暗電流、高感度といった性能と両立することができる画像構造を提供するものである。

本発明は、フォトダイオードの電荷蓄積部としてのn型領域をp型半導体シリコンからなる基板中に埋め込み、この領域から容量結合により非接触で信号を取り出す。n型領域には高濃度のn型層が存在せず、リセット時にn型領域を完全に空乏化し、全ての電子を一時的に、リセット用電源に接続されたn型領域に抜き去ることができる。

20

【実施例1】

【0007】

図3に、その構造例を示す。これは信号電荷を画素内で転送せずに直接フォトダイオードの電位を検出する方式に基づいている。フォトダイオードの電荷蓄積部(2)であるn型領域が基板(1)中に埋め込まれている。シリコンとシリコン酸化膜(4)の界面は、高濃度のp層(3)で覆われており、信号取りだし用浮遊電極(14)の直下の部分だけ、比較的低濃度のp層(11)を形成する。光により発生した電子は、電荷蓄積部(2)であるn型領域に蓄積され、それによって半導体表面のp層(11)の部分の電位が変化する。この電位の変化を薄い絶縁膜を介して浮遊状態にした浮遊電極(14)に容量結合により伝える。その浮遊電極(14)の電位の変化をバッファトランジスタ(7)と、画素アレイの外に設けた電流源トランジスタ(9)とによりソース・フォロワ回路を形成し、読み出す。電荷の初期化は、制御信号Rによって第1の転送トランジスタ(21)のゲート電極(6)に正の高い電圧を加えることによって行われるが、このときフォトダイオードのn型半導体領域である電荷蓄積部(2)に蓄積された電子が全てn+領域(5)に転送されるように製作することで、リセット雑音の発生を防ぐことができる。浮遊電極(14)の直下の部分の比較的低濃度のp層(11)は、そのp型領域の濃度と深さを、浮遊電極に与えた電圧によってp層半導体表面にホールが誘起し、また光によるキャリアを初期化した際には、浮遊電極の電位が蓄積された電子の量に依存して大きく変化するように設定することが好ましい。さらには、信号蓄積時に、浮遊電極の電位が0Vにおいても、浮遊電極の下の半導体表面にホール(または電子)が誘起されるようにp型領域の濃度と深さを定めることにより暗電流を低減することができる。この濃度は実験的に定められるが、濃度が濃いと半導体表面をホールで満たしやすい代わりにn層の電位が浮遊電極に伝わりにくくなる。濃度が低いとn層の電位が浮遊電極に伝わりやすいが、半導体表面をホールで満たすのが難しくなる。深さについても、深すぎるとn層の電位を伝えにくくなる代わりに、半導体表面をホールで満たしやすくなる。浅いとその逆である。これらにはキャリアの密度及び移動度が関係すると考えられ、浮遊電極の初期化電圧、制御信号のパルス幅や周期なども影響する。濃度は、10の15乗から10の18乗の間とするのが好ましく、深さは、各濃度において実験的に定めることが望ましい。

30

40

【0008】

浮遊拡散層を用いた検出の場合は、その拡散層の電位を読み出し用MOSトランジスタのゲートに接続するために高濃度のn型拡散層を形成する必要があるが、図3の場合には、

50

絶縁物(シリコン酸化膜)を介して浮遊電極(14)により検出するため、高濃度のn型拡散層を形成する必要がない。これによって2つの利点が生じる。1つは、高濃度の拡散層を形成しないため、蓄積電荷の初期化の際、n型領域が完全に空乏化する構造とすることができることであり、もう1つは、VRに0Vまたはわずかな負電圧(例えば-0.3V)を与えておくことで、フォトダイオードのn型層の表面全体をホール(正孔)で満たすことができ、暗電流を低減することができることである。

また、図4のように、浮遊電極直下のp層を省略し、0Vまたは小さな負電圧であっても、n型半導体表面の領域にホールが蓄積するような仕事関数をもった浮遊電極(例えば、p+にドーパされたポリシリコン)を用いて、光により発生する電荷蓄積を行っている間、ホール・ピンニング領域(12)の部分にホールを誘起するようにしておく方法も考えられる。

10

さらに、図5に示すように電荷蓄積時に浮遊電極の電圧を比較的大きな負の電圧で保持しておくため、pチャネルMOSトランジスタ(13)を用いる方法もある。pチャネルMOSトランジスタであれば、VRとして負の電圧を与え、浮遊電極に負の電圧を与えることができる。ただし、その場合、トランジスタ(13)をオンするために、RRには負の電圧を与えなければならない。

【0009】

次に、図3に対して、動作タイミングを含めた具体的な動作について説明する。図3に示す構造を画素(20)に用いたイメージセンサ全体の構成例を図6に示す。図7は、1水平平行に対するタイミング図である。

20

前のフレームの読み出し時の電荷のリセット後、図7に基づく読み出しが行われるまでの期間、信号電荷の蓄積が行われているものとする。蓄積時には、VRを0V(またはわずかの負の電圧)に保ち、n型半導体表面のホール・ピンニング領域(12)にホールを誘起してピンニング状態にしておく。読み出しのために、一旦、電圧を2V程度の高い電圧にして、浮遊電極(14)の電圧(VFG)の初期電圧を設定し、その後RRを0Vにして、第2の転送トランジスタ(10)をオフにすることで、浮遊電極(14)を浮遊状態にする。

浮遊状態になったときのVFGをVFGRとする。そのレベルを、図6のブロック図のカラムに設けた相関2重サンプリング回路(CDS)(16)において、信号Rによってリセットレベルをサンプルする。その後、リセット信号Rを与えて第1の転送トランジスタ(21)のゲートを開き、Vpの部分に蓄積されている電子をリセット動作により完全に抜き去る。このとき、蓄積された電子による電荷をQnとする。これにより、半導体内部のn領域の電位分布が変化するが、その変化が浮遊電極側に伝えられ、このときの浮遊電極の電位をVFGSとする。この動作を解析するためのモデル図を図8に示す。図8においてCoxは、浮遊電極下の酸化膜容量、CDは、空乏層容量、Csは、浮遊電極に寄生する容量である。CsやCDは電圧依存性をもつが、いま簡単化のため、これらが一定であるとする。

30

【0010】

VFGSとVFGRは次式のように表される。

【数1】

$$V_{FGS} - V_{FGR} = \frac{C_{OX} Q_n}{C_S (C_D + C_{OX}) + C_{OX} C_D} \quad (1)$$

40

このように近似的には、浮遊電極の電圧変化は、Qnに比例することがわかる。ただし、ここでは空乏層容量が変化しないという仮定を入れているが、実際には変化することを考慮に入れなければならない。式(1)から、明らかなように感度を高くするためには、浮遊電極に寄生する容量を小さくすることが必要であり、仮に無視できるぐらいに小さくできたとすれば、

【数 2】

$$V_{FGS} - V_{FGR} = \frac{Q_n}{C_D} \quad (2)$$

となり、電子が蓄積されたことによる半導体内部の電位変化が直接、浮遊電極で検出できることがわかる。

【0011】

このVFGSの電位はソースフォロワを経由して、図6のCDS回路(16)において、S
を与えることで、サンプルする。CDS回路内の容量に記憶されたりセットレベルと信号
レベルの電圧は水平走査によって最終段のアンプで差分が求められて出力される。図6に
おける17は画素(20)をスキャンするための垂直シフトレジスタであり、18はCDS
回路(16)をスキャンするための水平シフトレジスタであり、19はCDS回路(16)の
2出力の差分を得るためのアンプである。

10

なお、図6は、あくまで1構成例を示すものであり、CDS回路に別の回路を用いたり
、あるいはカラムにA/D変換器のアレイを用いてデジタル信号に変換して読み出すな
ど、様々な構成が可能であり、本発明の画素回路が、これらの周辺の構成を限定するもの
ではない。

画素回路構成としては、いろいろと変形が可能である。たとえば、ソースフォロワ用の
バッファトランジスタ(7)に直列に画素選択トランジスタ(8)を追加して、画素の読み出
し選択を行ってもよい。ソースフォロワにpチャネルのMOSトランジスタを用いること
もできる。さらにソースフォロワにディプリーション型のトランジスタを用い、これに直
列に画素選択用MOSトランジスタを追加する構成も考えられる。

20

また、図3から図5はp基板上にn層と表面にp層を形成する場合であるが、n基板上
にp層と表面にn層を形成するような逆の構造も当然可能であり、これらを排除するもの
ではない。

さらに、図3から図5は、素子分離方式として、STI(shallow trench Isolation)構
造を想定してかかれたものであるが、その他の素子分離構造、例えばLOCOS(local o
xidation of silicon)などに対して殆ど同様な構造で実現可能であることはいうまでもな
い。

30

【実施例2】

【0012】

上で説明した浮遊電極の代わりに、フォトダイオード上に逆極性の不純物を導入して形
成した浮遊拡散層を用いる方法を説明する。その構造図を図9に示す。図9(a)は上面図
であり、図9(b)は切断線x-xによる断面図である。p型の基板(1)は0Vに接続されて
いるものとする。電荷蓄積層(2)とn+領域(5)の境界に設けられたゲート電極により第
1の転送トランジスタ(21)が、低濃度のp層(22)に設けられたゲート電極(6)により
第2の転送トランジスタ(10)が構成されている。電位VRが与えられるp+領域は、制
御信号RRが供給されるゲート電極(6)の周囲を取り囲むように配置されるが、製造上の
都合により、一部において配置されない。

40

図10は読み出し動作タイミングを示している。第2の転送トランジスタ(10)のゲ
ート電極に接続されたRR及び第1の転送トランジスタ(21)のゲート電極に接続されたR
に、0Vまたは負の電圧を与えるとその直下の半導体表面にはホールが誘起されてゲ
ートが導通し、中央の浮遊拡散層(15)の電位はVRとなる。これによりシリコンとシリ
コン酸化膜界面の界面準位がホールで満たされ、電子が発生しないので暗電流の発生を抑
えることができる。このときフォトダイオードのn型領域は完全に基板中に埋め込まれた状態
になり、その表面はホールで満たされることになる。光により発生した電子の蓄積は、こ
のような状態で行う。これにより、極めて暗電流の発生を少なくすることができる。

【0013】

50

その後RRの電圧を高くする。これによりその直下の半導体を空乏化し、中央のp型浮遊拡散層(15)を浮遊状態にする。このときの浮遊拡散層(15)の電圧を、第1の電圧レベルとして、外部に読み出す。次いで、Rに高い電圧を与え、電荷蓄積部(2)であるn型領域に蓄積された電荷を全て、電位VR2であるn+領域(5)に転送する。このとき、電子が電荷蓄積部(2)であるn型領域からドレインであるn+領域(5)に吐き出されることによって、電荷蓄積部(2)であるn型領域の電位が上昇する。これに伴い浮遊した中央のp型浮遊拡散層(15)の電位も上昇する。その電位の変化を、バッファトランジスタ(7)を介して読み出す。これを第2の電圧レベルとする。このとき、電荷蓄積部(2)であるn型領域に電子が蓄積され、中央のp型浮遊拡散層が浮遊状態になったときの電圧レベル(第1の電圧レベル)と、電荷蓄積部(2)であるn型領域の電子を全て吐き出し、空にした状態でのp型浮遊拡散層の電位を外部に読み出した電圧レベル(第2の電圧レベル)の差を画素から読み出して、それらの差分を求める。これにより、画素部の固定パターンノイズ、リセットノイズが除去され、信号電荷に比例した出力が取り出される。

10

【0014】

浮遊拡散層(15)の電位を読み出すためのバッファトランジスタ(7)は、その読み出す電位を考慮し、図9ではしきい値電圧が負の値をとるディプリーション型を用いている。その電位の範囲によってはエンハンスメント型を使える場合もある。また、画素選択トランジスタ(8)によって読み出す画素を選択し、垂直信号線に接続した電流源トランジスタ(9)と、バッファトランジスタ(7)によって、ソースフォロワを形成し、浮遊拡散層の電位をカラムのノイズキャンセル回路に読み出す。

20

信号読み出し時に、RRを高い電圧にすることによって、中央のp型の浮遊拡散層が浮遊状態になったときの電圧レベルが、ホールが中央の電極に注入されることによって、例えば1V程度まで上昇する場合がある。このような場合、読み出し用バッファトランジスタ(7)としてエンハンスメント型を用いることができ、また画素選択トランジスタ(8)を省略することができる。画素選択トランジスタを省略した例を図11に示す。

これは、画素選択を、RRによって行っていることに相当し、RRに0Vまたは負の電圧が与えられたとき、中央のp型浮遊拡散層の電位は0Vで固定されるので、読み出し用バッファトランジスタ(7)がカットオフ状態になるためであり、RRに高い電圧が与えられて、浮遊拡散層の電位が上昇すると、読み出し用バッファトランジスタ(7)が電流源トランジスタ(9)との組み合わせでソースフォロワとして読み出されるような電圧になるためである。

30

イメージセンサ全体の構成は、図6と同様であるので、省略する。また、p基板上にn層と表面にp層を形成する場合を例示したが、n基板上にp層と表面にn層を形成するような逆の構造も当然可能であり、これらを排除するものではない。

【実施例3】

【0015】

本発明の画素デバイスでは、蓄積電荷のあふれ出し特性を利用することでダイナミックレンジの広い画像を得ることができる。図12は蓄積電荷のあふれ出しを示しており、図12(a)は、図3と同様に画素(20)の断面を示し、図12(b)は、断面に対応した位置のポテンシャルを示している。図12(b)に示すように、リセット信号Rを0Vにした状態で、非常に強い入射光があった場合には、フォトダイオードに蓄積される電荷がその容量を越え、第1の転送トランジスタ(21)のリセットゲート電位を越えてドレインであるn+領域(5)にあふれ出す。このとき、電荷蓄積部(2)の電荷の増加は抑えられるものの全く変化しないわけではなく、図13に示すように、入射光量に対して対数的に増加する。図13では、これをわかりやすくするために、横軸を対数でとっている。そのため、あふれ出しの領域になると直線的で小さい傾きで増加する。つまり、この電荷があふれ出す領域では、蓄積される電荷、及びその電荷に比例する読み出される信号電圧は、非常に広い範囲の光量に対して、対数的に応答し、この対数応答領域も含めて読み出すことで、ダイナミックレンジの広い映像信号を得ることができる。

40

このあふれ出しが起こる電荷量は、蓄積時に保持するリセット信号Rの電位によって制

50

御でき、1.0V程度にしてあふれ出しやすくすることも考えられる。また、画像の平均輝度または最大輝度などによって、蓄積時のリセット信号Rの電位を制御することも考えられる。

【0016】

なお、このときに注意しなければならないのは、入射光量が非常に大きいとき、リセット信号Rに高い電圧を与えて、電荷を初期化して、その後信号Rを0Vに戻したあとで、信号読み出しにサンプリングを行うと、短時間でフォトダイオードに電荷が蓄積し、リセットレベルが変化し、リセットレベルと信号レベルの差をとると差が小さくなり、明暗の逆転が生じる。つまり、非常に明るい領域が黒くなる。これを避けるため、図14のタイミング図に示したように、サンプリング制御信号S2を用いて、リセット信号Rを高くしたままの信号を、図6のカラムに別のサンプル&ホールド回路を設けて記憶し、非常に明るい信号に対しては、S2でサンプルした信号とRでサンプルした信号との差を求めて出力とするようにする。また、通常の線形領域の信号は図7と同様、RとS1でサンプルした信号との差を求めて出力とする。最終的には、これらを合成してダイナミックレンジの広い画像信号を生成する。これらの合成処理は、イメージセンサ上でアナログ処理、あるいはA/D変換後デジタル処理で行ってよいし、イメージセンサの外部に読み出して、ハードウェア、ソフトウェアいずれでも実行できる。

10

【産業上の利用可能性】

【0017】

これまで述べた構成により、低雑音で、暗電流が少なく、高感度なイメージセンサを実現できる。

20

【図面の簡単な説明】

【0018】

【図1】埋め込みフォトダイオードを用いた電荷転送型画素回路(従来技術1)を示す図

【図2】部分的にホールでピニングする画素構造の例(従来技術2)を示す図

【図3】埋め込みフォトダイオードと浮遊電極の電荷検出による画素構造(p層形成)を示す図

【図4】埋め込みフォトダイオードと浮遊電極の電荷検出による画素構造を示す図

【図5】埋め込みフォトダイオードと浮遊電極の電荷検出による画素構造(pチャンネルMOSトランジスタを一部使用)を示す図

30

【図6】イメージセンサ全体の構成を示す図

【図7】図3の構造における読み出し動作タイミングを示す図

【図8】浮遊電極による信号検出の原理図

【図9】浮遊拡散層を用いた画素構造を示す図

【図10】図9の構造における読み出し動作タイミングを示す図

【図11】浮遊2重拡散層を用いた画素構造2を示す図

【図12】蓄積電荷のあふれ出しを示す図

【図13】入射光量(対数)に対する蓄積電荷量を示す図

【図14】高輝度時の黒反転を避けるための動作タイミングを示す図

【符号の説明】

40

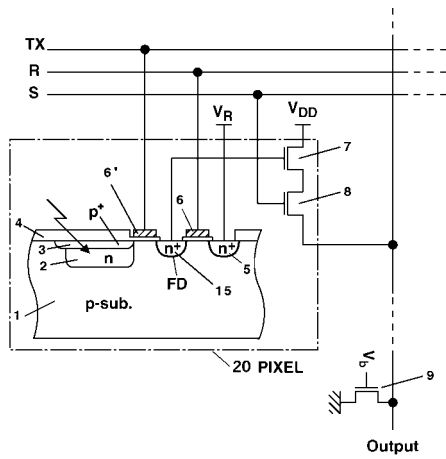
【0019】

- 1 p型半導体シリコン基板
- 2 電荷蓄積部(n型領域)
- 3 p型領域
- 4 シリコン酸化膜
- 5 n+領域
- 6 ゲート電極
- 7 バッファトランジスタ
- 8 画素選択トランジスタ
- 9 電流源トランジスタ

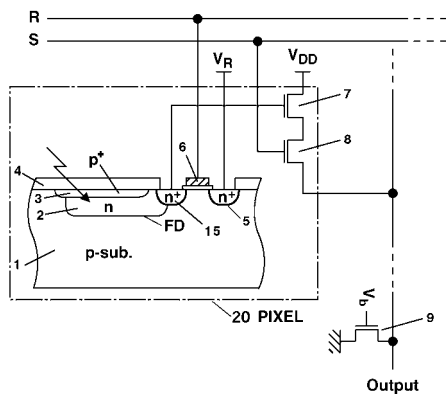
50

- 1 0 初期化用転送トランジスタ
- 1 1 低濃度 p 層
- 1 2 ホール・ピンニング領域
- 1 3 pチャネルMOSトランジスタ
- 1 4 浮遊電極
- 1 5 浮遊拡散層

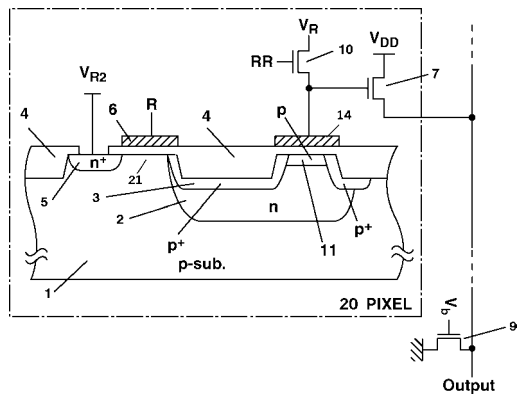
【図1】



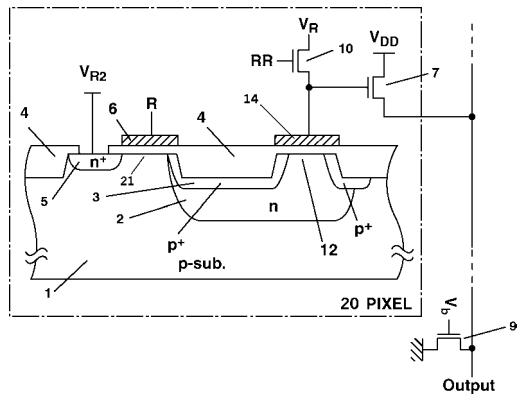
【図2】



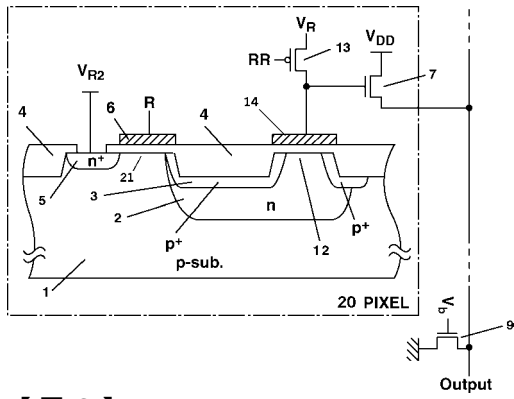
【図3】



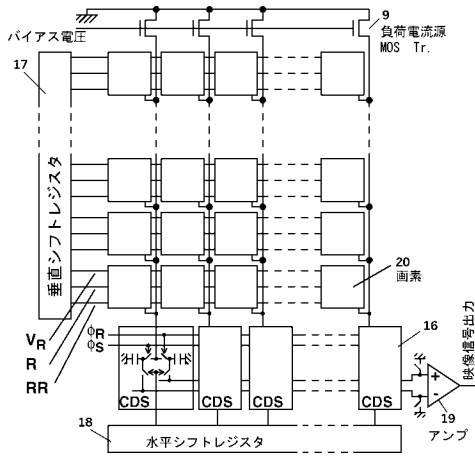
【図4】



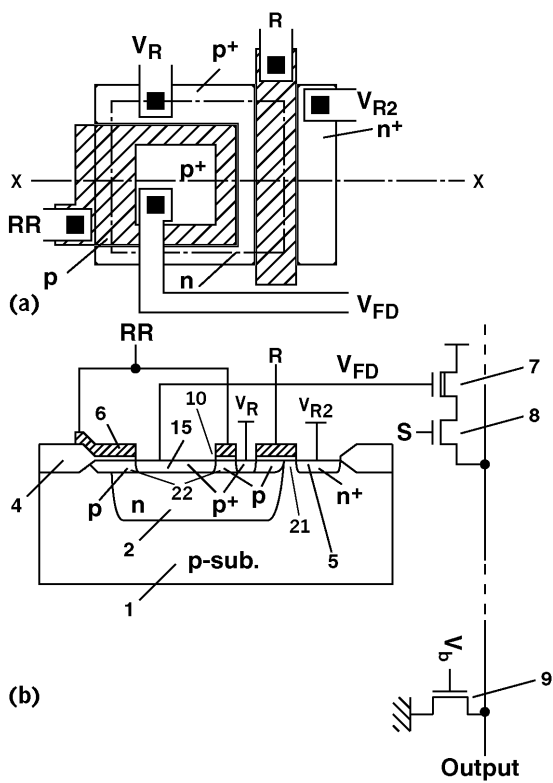
【図5】



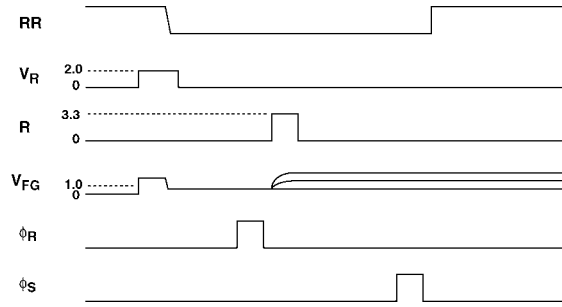
【図6】



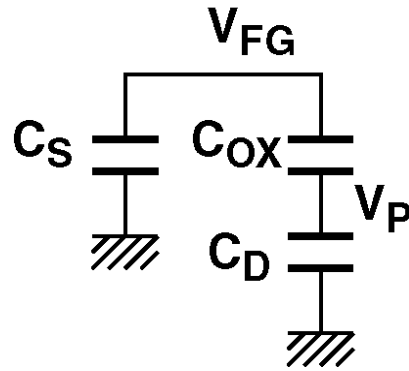
【図9】



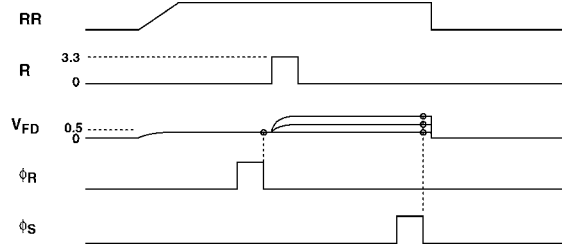
【図7】



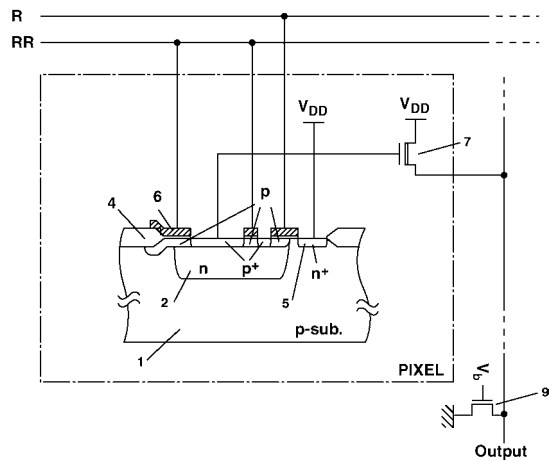
【図8】



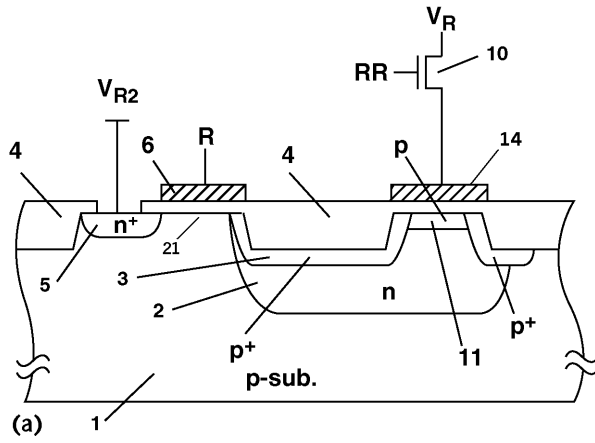
【図10】



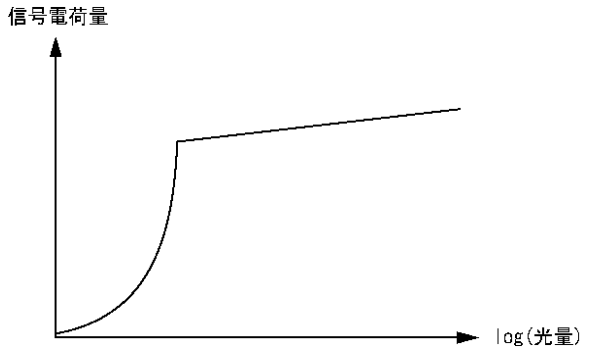
【図11】



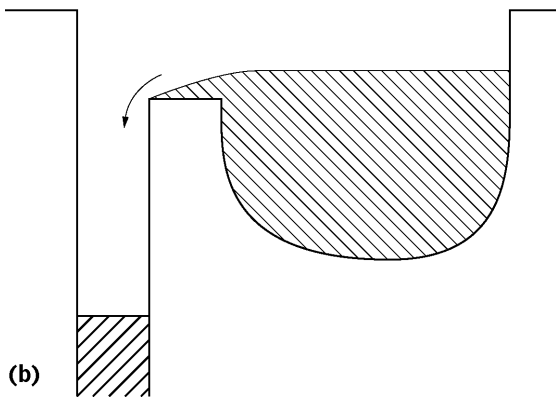
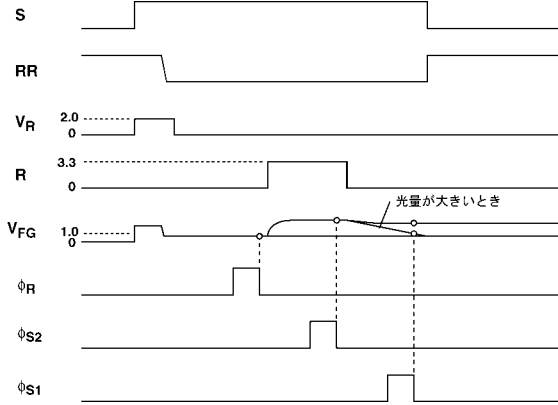
【図 1 2】



【図 1 3】



【図 1 4】



フロントページの続き

(56)参考文献 特開2000-312024(JP,A)
特開平06-013597(JP,A)
特開平08-214218(JP,A)

(58)調査した分野(Int.Cl., DB名)
H01L 27/146
H04N 5/335