

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4613311号  
(P4613311)

(45) 発行日 平成23年1月19日(2011.1.19)

(24) 登録日 平成22年10月29日(2010.10.29)

(51) Int.Cl.		F I	
<b>HO3M</b>	<b>1/52</b>	<b>(2006.01)</b>	HO3M 1/52
<b>HO3M</b>	<b>1/10</b>	<b>(2006.01)</b>	HO3M 1/10 B
<b>HO3M</b>	<b>1/18</b>	<b>(2006.01)</b>	HO3M 1/18
<b>HO4N</b>	<b>5/378</b>	<b>(2011.01)</b>	HO4N 5/335 780

請求項の数 15 (全 20 頁)

(21) 出願番号	特願2005-34798 (P2005-34798)	(73) 特許権者	304023318
(22) 出願日	平成17年2月10日 (2005.2.10)		国立大学法人静岡大学
(65) 公開番号	特開2006-222782 (P2006-222782A)		静岡県静岡市駿河区大谷836
(43) 公開日	平成18年8月24日 (2006.8.24)	(74) 代理人	100083806
審査請求日	平成20年1月29日 (2008.1.29)		弁理士 三好 秀和
		(74) 代理人	100108914
			弁理士 鈴木 壯兵衛
		(72) 発明者	川人 祥二
			静岡県浜松市広沢一丁目22-12
		(72) 発明者	榊原 雅樹
			静岡県浜松市広沢二丁目31-16
		審査官	柳下 勝幸

最終頁に続く

(54) 【発明の名称】 2重積分型A/D変換器、カラム処理回路、及び固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

アナログ信号出力回路から出力されるアナログ信号を処理するA/D変換器であって、  
1クロック毎に、一定のインクリメント電圧を階段状に逐次上昇するアナログ積分器と

、  
該アナログ積分器の出力を一方の端子に入力し、前記アナログ信号を他方の端子に入力し、前記アナログ信号が前記アナログ積分器の出力より大きければ、ハイレベルのデジタル信号を出力し、前記アナログ信号が前記アナログ積分器の出力より小さければロウレベルのデジタル信号を出力する比較器と、

該比較器のデジタル出力をデジタル領域で積分し、第1のA/D変換出力を出力する初段デジタル積分器と、

該初段デジタル積分器の出力をデジタル領域で積分し、前記第1のA/D変換出力よりも分解能の高い第2のA/D変換出力を出力する2段目デジタル積分器

とを備えることを特徴とする2重積分型A/D変換器。

【請求項2】

前記初段デジタル積分器は、

第1レジスタと、

該第1レジスタの出力を該第1レジスタの入力に加算する第1加算器と、

第2レジスタと、

該第2レジスタの出力を該第2レジスタの入力に加算する第2加算器

10

20

とを備え、前記第 1 レジスタから前記第 1 の A / D 変換出力を出力することを特徴とする請求項 1 に記載の 2 重積分型 A / D 変換器。

【請求項 3】

前記 2 段目デジタル積分器は、

前記第 2 レジスタの出力を入力する第 3 レジスタと、

該第 3 レジスタの出力を該第 3 レジスタの入力に加算する第 3 加算器

とを備え、前記第 3 レジスタから前記第 2 の A / D 変換出力を出力することを特徴とする請求項 2 に記載の 2 重積分型 A / D 変換器。

【請求項 4】

列方向に配列された複数のアクティブピクセル型の画素から、それぞれ出力されるアナログ信号を処理するカラム処理回路であって、

1 クロック毎に、一定のインクリメント電圧を階段状に逐次上昇するアナログ積分器と

、  
該アナログ積分器の出力を一方の端子に入力し、前記アナログ信号を他方の端子に入力し、前記アナログ信号が前記アナログ積分器の出力より大きければ、ハイレベルのデジタル信号を出力し、前記アナログ信号が前記アナログ積分器の出力より小さければロウレベルのデジタル信号を出力する比較器と、

該比較器のデジタル出力をデジタル領域で積分する初段デジタル積分器と、

該初段デジタル積分器の出力をデジタル領域で積分する 2 段目デジタル積分器

とを備える 2 重積分型 A / D 変換器を含むことを特徴とするカラム処理回路。

【請求項 5】

前記カラム処理回路は、

前記 2 重積分型 A / D 変換器が多数回サンプルした前記複数の画素からのリセット信号を、前記 2 重積分型 A / D 変換器から受信して格納するリセット信号用レジスタと、

前記 2 重積分型 A / D 変換器が多数回サンプルした前記複数の画素が受光したことによる受光信号を、前記 2 重積分型 A / D 変換器から受信して格納する受光信号用レジスタ、とを更に含むことを特徴とする請求項 4 に記載のカラム処理回路。

【請求項 6】

前記カラム処理回路は、

前記リセット信号用レジスタから出力されるリセット信号と前記受光信号用レジスタから出力される受光信号の差を求める減算回路

を更に含むことを特徴とする請求項 5 に記載のカラム処理回路。

【請求項 7】

前記カラム処理回路は、

前記リセット信号用レジスタの出力を外部回路に送信するためのリセット信号用出力端子と、

前記受光信号用レジスタの出力を前記外部回路に送信するための受光信号用出力端子

とを更に含むことを特徴とする請求項 5 に記載のカラム処理回路。

【請求項 8】

前記初段デジタル積分器は、

第 1 レジスタと、

該第 1 レジスタの出力を該第 1 レジスタの入力に加算する第 1 加算器と

第 2 レジスタと、

該第 2 レジスタの出力を該第 2 レジスタの入力に加算する第 2 加算器

とを備えることを特徴とする請求項 4 ~ 7 のいずれか 1 項に記載のカラム処理回路。

【請求項 9】

前記 2 段目デジタル積分器は、

前記第 2 レジスタの出力を入力する第 3 レジスタと、

該第 3 レジスタの出力を該第 3 レジスタの入力に加算する第 3 加算器

とを備えることを特徴とする請求項 8 に記載のカラム処理回路。

10

20

30

40

50

## 【請求項 10】

列方向に配列された複数のアクティブピクセル型の画素を備える画素アレイ部と、  
 1クロック毎に、一定のインクリメント電圧を階段状に逐次上昇するアナログ積分器、  
 該アナログ積分器の出力を一方の端子に入力し、前記複数の画素からそれぞれ出力される  
 アナログ信号を他方の端子に入力し、前記アナログ信号が前記アナログ積分器の出力より  
 大きければ、ハイレベルのデジタル信号を出力し、前記アナログ信号が前記アナログ積分  
 器の出力より小さければロウレベルのデジタル信号を出力する比較器、該比較器のデジタル  
 出力をデジタル領域で積分する初段デジタル積分器、該初段デジタル積分器の出力をデ  
 ジタル領域で積分する2段目デジタル積分器とを備える2重積分型A/D変換器を含むカ  
 ラム処理回路

10

とを備えることを特徴とする固体撮像装置。

## 【請求項 11】

列方向に配列された複数のアクティブピクセル型の画素からなる画素列を、複数本並列  
 に行方向に沿って配列したマトリクスより、複数の画素を2次元配列した画素アレイ部と

、  
 1クロック毎に、一定のインクリメント電圧を階段状に逐次上昇するアナログ積分器、  
 該アナログ積分器の出力を一方の端子に入力し、前記列方向に配列された複数の画素から  
 それぞれ出力されるアナログ信号を他方の端子に入力し、前記アナログ信号が前記アナ  
 ログ積分器の出力より大きければ、ハイレベルのデジタル信号を出力し、前記アナログ信号  
 が前記アナログ積分器の出力より小さければロウレベルのデジタル信号を出力する比較器  
 、該比較器のデジタル出力をデジタル領域で積分する初段デジタル積分器、該初段デジ  
 タル積分器の出力をデジタル領域で積分する2段目デジタル積分器とを備える2重積分型A  
 /D変換器を含み、前記複数本の画素列に対応してそれぞれ個別に設けられたコラム処理  
 回路

20

とを備えることを特徴とする固体撮像装置。

## 【請求項 12】

前記コラム処理回路は、

前記2重積分型A/D変換器が多数回サンプルした前記複数の画素からのリセット信号  
 を、前記2重積分型A/D変換器から受信して格納するリセット信号用レジスタと、

前記2重積分型A/D変換器が多数回サンプルした前記複数の画素が受光したことによ  
 る受光信号を、前記2重積分型A/D変換器から受信して格納する受光信号用レジスタ、

30

とを更に含むことを特徴とする請求項11に記載の固体撮像装置。

## 【請求項 13】

前記コラム処理回路は、

前記リセット信号用レジスタから出力されるリセット信号と前記受光信号用レジスタか  
 ら出力される受光信号の差を求める減算回路

を更に含むことを特徴とする請求項12に記載の固体撮像装置。

## 【請求項 14】

前記初段デジタル積分器は、

第1レジスタと、

40

該第1レジスタの出力を該第1レジスタの入力に加算する第1加算器と、

第2レジスタと、

該第2レジスタの出力を該第2レジスタの入力に加算する第2加算器

とを備えることを特徴とする請求項11～13のいずれか1項に記載の固体撮像装置。

## 【請求項 15】

前記2段目デジタル積分器は、

前記第2レジスタの出力を入力する第3レジスタと、

該第3レジスタの出力を該第3レジスタの入力に加算する第3加算器

とを備えることを特徴とする請求項14に記載の固体撮像装置。

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は2重積分型A/D変換器に係り、更にはこの2重積分型A/D変換器を集積化したカラム処理回路、及びこのカラム処理回路を搭載した固体撮像装置に関する。

## 【背景技術】

## 【0002】

ノイズは、固体撮像装置（イメージセンサ）の性能を決める重要な性能要因の1つである。最近、CMOS半導体技術をベースとしたCMOSイメージセンサの画質が向上し、  
10  
現在主流のCCDイメージセンサに近づこうとしている状況であるが、CMOSイメージセンサのノイズ性能は、画素で発生するノイズとその画素信号の読み出し回路でのノイズが関係し、未だやや不利な状況にある。

## 【0003】

しかし、CMOSイメージセンサでは、画素アレイ部に隣接する周辺回路（カラム処理回路）にノイズ低減回路を集積化することで、ノイズ低減を行い、更にA/D変換まで行って、外部から混入するノイズを低減する等のCCDでは不可能な処理が可能で、それらを駆使すれば、CCDを越える極めて低ノイズで高感度な固体撮像装置が実現できる可能性がある。

## 【0004】

従来、CMOSイメージセンサのカラム処理回路にA/D変換器を集積化する方式は、既に実用になっている積分型、逐次比較型などがある。オーバーサンプリングを用いて低ノイズ化を計りながら高分解能をA/D変換方式としては、デルタシグマ変調を用いた方式が報告されている（非特許文献1参照。）。積分型や、逐次比較型は、分解能で高々10b程度であり、それ以上に高分解能化は困難である。又、読み出し回路のノイズを低減する機能もない。デルタシグマ変調を用いたA/D変換要素をカラム処理回路に集積化する方式は、非特許文献1の中に明示的には書かれていないものの、読み出し回路のノイズ低減も可能であると思われる。しかし、非特許文献1に記載された方式では、その効果を十分に発揮するためには、高級且つ大規模なデジタルフィルタが必要となり、カラム処理回路にこれを集積化するのは極めて困難であり、未だ実用にはなっていない。  
20  
30

【非特許文献1】中村潤一（Junichi Nakamura）他4名、「電流モード・アクティブピクセル型センサ用の焦点面上の信号処理（On-Focal-Plane Signal Processing for Current-Mode Active Pixel Sensors）」、米国電子電気学会（IEEE）トランザクション・オン・エレクトロン・デバイス（Transaction on Electron Devices）、米国、1997年10月、第44巻、第10号、p. 1747 - 1758

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0005】

本発明は、画素等のアナログ信号出力回路からのアナログ信号を多数回サンプルすることでランダムノイズの低減を効率的に行うとともに、量子化ノイズの低減やダイナミックレンジの拡大を簡単な回路構成で実現でき、データ変換時間も大幅に短縮可能で、且つ高分解能なA/D変換出力を得ることができる2重積分型A/D変換器、この2重積分型A/D変換器を集積化したカラム処理回路、及びこのカラム処理回路を搭載した固体撮像装置を提供することを目的とする。  
40

## 【課題を解決するための手段】

## 【0006】

上記目的を達成するために、本発明の第1の態様は、アナログ信号出力回路から出力されるアナログ信号を処理するA/D変換器に関する。即ち、本発明の第1の態様は、（イ）1クロック毎に、一定のインクリメント電圧を階段状に逐次上昇するアナログ積分器と、（ロ）このアナログ積分器の出力を一方の端子に入力し、アナログ信号を他方の端子に  
50

入力し、アナログ信号がアナログ積分器の出力より大きければ、ハイレベルのデジタル信号を出力し、アナログ信号がアナログ積分器の出力より小さければロウレベルのデジタル信号を出力する比較器と、(八)この比較器のデジタル出力をデジタル領域で積分する初段デジタル積分器と、(二)この初段デジタル積分器の出力をデジタル領域で積分する2段目デジタル積分器とを備える2重積分型A/D変換器であることを要旨とする。

本発明の第2の態様は、列方向に配列された複数のアクティブピクセル型の画素から、それぞれ出力されるアナログ信号を処理するカラム処理回路に関する。即ち、本発明の第2の態様は、(イ)1クロック毎に、一定のインクリメント電圧を階段状に逐次上昇するアナログ積分器と、(ロ)このアナログ積分器の出力を一方の端子に入力し、アナログ信号を他方の端子に入力し、アナログ信号がアナログ積分器の出力より大きければ、ハイレベルのデジタル信号を出力し、アナログ信号がアナログ積分器の出力より小さければロウレベルのデジタル信号を出力する比較器と、(ハ)この比較器のデジタル出力をデジタル領域で積分する初段デジタル積分器と、(ニ)この初段デジタル積分器の出力をデジタル領域で積分する2段目デジタル積分器とを備える2重積分型A/D変換器を含むカラム処理回路であることを要旨とする。

【0007】

本発明の第3の態様は、(イ)列方向に配列された複数のアクティブピクセル型の画素を備える画素アレイ部と、(ロ)1クロック毎に、一定のインクリメント電圧を階段状に逐次上昇するアナログ積分器；このアナログ積分器の出力を一方の端子に入力し、複数の画素からそれぞれ出力されるアナログ信号を他方の端子に入力し、アナログ信号がアナログ積分器の出力より大きければ、ハイレベルのデジタル信号を出力し、アナログ信号がアナログ積分器の出力より小さければロウレベルのデジタル信号を出力する比較器；この比較器のデジタル出力をデジタル領域で積分する初段デジタル積分器；この初段デジタル積分器の出力をデジタル領域で積分する2段目デジタル積分器とを備える2重積分型A/D変換器を含むカラム処理回路とを備える固体撮像装置であることを要旨とする。

【0008】

本発明の第4の態様は、(イ)列方向に配列された複数のアクティブピクセル型の画素からなる画素列を、複数本並列に行方向に沿って配列したマトリクスより、複数の画素を2次元配列した画素アレイ部と、(ロ)1クロック毎に、一定のインクリメント電圧を階段状に逐次上昇するアナログ積分器；このアナログ積分器の出力を一方の端子に入力し、列方向に配列された複数の画素からそれぞれ出力されるアナログ信号を他方の端子に入力し、アナログ信号がアナログ積分器の出力より大きければ、ハイレベルのデジタル信号を出力し、アナログ信号がアナログ積分器の出力より小さければロウレベルのデジタル信号を出力する比較器；この比較器のデジタル出力をデジタル領域で積分する初段デジタル積分器；この初段デジタル積分器の出力をデジタル領域で積分する2段目デジタル積分器とを備える2重積分型A/D変換器を含み、複数本の画素列に対応してそれぞれ個別に設けられたカラム処理回路とを備える固体撮像装置であることを要旨とする。

【発明の効果】

【0009】

本発明によれば、画素等のアナログ信号出力回路からのアナログ信号を多数回サンプルすることでランダムノイズの低減を効率的に行うとともに、量子化ノイズの低減やダイナミックレンジの拡大を簡単な回路構成で実現でき、データ変換時間も大幅に短縮可能で、且つ高分解能なA/D変換出力を得ることができる2重積分型A/D変換器、この2重積分型A/D変換器を集積化したカラム処理回路、及びこのカラム処理回路を搭載した固体撮像装置を提供できる。

【発明を実施するための最良の形態】

【0010】

次に、図面を参照して、本発明の第1～第3の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、以下に示す第1～第3の実施の形態は、本発明の技術的思想を具体化するための装置や方法を例示

10

20

30

40

50

するものであって、本発明の技術的思想は、回路素子や回路ブロックの構成や配置、あるいは半導体チップ6上でのレイアウト等を下記のものに特定するものでない。本発明の技術的思想は、特許請求の範囲に記載された技術的範囲内において、種々の変更を加えることができる。

【0011】

(第1の実施の形態)

本発明の第1の実施の形態に係る固体撮像装置(2次元イメージセンサ)は、図1に示すように、画素アレイ部1と周辺回路部(2, 3, 4, 5)とを同一の半導体チップ6上に集積化している。画素アレイ部1には、2次元マトリクス状に多数の単位画素 $X_{ij}$ ( $i = 1 \sim m; j = 1 \sim n; m, n$ はそれぞれ整数である。)が配列されており、方形の撮像領域を構成している。そして、この画素アレイ部1の上辺部には画素行 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ 方向に沿って水平走査回路2が設けられ、画素アレイ部1の左辺部には画素列 $X_{11} \sim X_{n1}; X_{12} \sim X_{n2}; \dots; X_{1j} \sim X_{nj}; \dots; X_{1m} \sim X_{nm}$ 方向に沿って垂直走査回路3が設けられている。

【0012】

これらの水平走査回路2及び垂直走査回路3によって画素アレイ部1内の単位画素 $X_{ij}$ が順次走査され、画素信号の読み出しや電子シャッタ動作が実行される。即ち、本発明の第1の実施の形態に係る固体撮像装置では、画素アレイ部1を各画素行 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ 単位で垂直方向に走査することにより、各画素行 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ の画素信号を各画素列 $X_{11} \sim X_{n1}; X_{12} \sim X_{n2}; \dots; X_{1j} \sim X_{nj}; \dots; X_{1m} \sim X_{nm}$ 毎に設けられた垂直信号線によって画素信号を読み出す構成となっている。

【0013】

又、画素アレイ部1の下段(出力側)には、複数のカラム処理回路 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ を、それぞれ画素列 $X_{11} \sim X_{n1}; X_{12} \sim X_{n2}; \dots; X_{1j} \sim X_{nj}; \dots; X_{1m} \sim X_{nm}$ に対応して配置して、信号処理部5を構成している。画素アレイ部1から垂直信号線によって読み出された画素列 $X_{11} \sim X_{n1}$ の画素信号は、この信号処理部5のカラム処理回路 $Q_1$ に順次入力され、画素固有ノイズの除去処理が施される。同様に、画素列 $X_{12} \sim X_{n2}$ の画素信号は、この信号処理部5のカラム処理回路 $Q_2$ に順次入力され、画素固有ノイズの除去処理が施され、 $\dots$ 、画素列 $X_{1j} \sim X_{nj}$ の画素信号は、この信号処理部5のカラム処理回路 $Q_j$ に順次入力され、画素固有ノイズの除去処理が施される。又、画素列 $X_{1m} \sim X_{nm}$ の画素信号は、この信号処理部5のカラム処理回路 $Q_m$ に順次入力され、画素固有ノイズの除去処理が施される。即ち、画素アレイ部1の各単位画素 $X_{ij}$ には、それを構成するMOSトランジスタ等による固有の特性誤差が含まれているため、各単位画素 $X_{ij}$ から読み出した画素信号でそのまま映像信号を構成すると、各画素 $X_{ij}$ 間での特性のバラツキが映像信号に影響し、画像中にノイズとして現れる。

タイミング発生回路4は、水平走査回路2, 垂直走査回路3及び信号処理部5の動作に必要な各種タイミング信号を生成して、水平走査回路2, 垂直走査回路3及び信号処理部5に供給するものである。

【0014】

本発明の第1の実施の形態に係る固体撮像装置においては、画素アレイ部1の各画素 $X_{ij}$ 間の特性誤差による固定パターンノイズを除去するために、各画素列 $X_{11} \sim X_{n1}; X_{12} \sim X_{n2}; \dots; X_{1j} \sim X_{nj}; \dots; X_{1m} \sim X_{nm}$ の信号電荷を一旦対応するカラム処理回路 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ でそれぞれリセットし、そのリセットレベルを読み出し、その後、受光動作を実行して信号レベルを読み出して、リセットレベルと信号レベルとの差分をとることにより、リセット時に生じる各画素 $X_{ij}$ に固有の誤差を信号レベルの誤差で相殺し、各画素間の特性のバラツキによる固定パターンノイズを除去するものである。

【0015】

10

20

30

40

50

図1の信号処理部5のカラム処理回路 $Q_j$ の構成を図2に示す。カラム処理回路 $Q_j$ は、画素列 $X_{1j} \sim X_{nj}$ に接続されるのであるが、図2では画素列 $X_{1j} \sim X_{nj}$ を代表して画素 $X_{ij}$ のみを示している。画素 $X_{ij}$ は、フォトダイオード $D_{ij}$ と、このフォトダイオード $D_{ij}$ の出力を増幅するバッファ増幅器 $A_{ij}$ とで模式的に示しているが、実際には、周知の3トランジスタCMOSイメージセンサの画素構成が採用可能である。3トランジスタCMOSイメージセンサでは、フォトダイオード $D_{ij}$ の出のカソードにリセット用MOSトランジスタのドレイン(又はソース)と増幅用MOSトランジスタのゲートが接続される。更に増幅用MOSトランジスタと垂直信号線との間に画素選択用MOSトランジスタが接続される。画素選択用MOSトランジスタのゲートには水平走査線が接続されるのであるが、図2では模式的にこれらのトランジスタを省略して、図示している。又、画素 $X_{ij}$ としては、通常

10

【0016】

の3トランジスタのアクティブピクセル回路のほか、高い電圧ゲインを得るために埋め込みフォトダイオードと画素内電荷転送によるアクティブピクセル等他の構造を用いることもできる。この様に、画素 $X_{ij}$ はアナログ信号を出力する回路であれば構成は問わないが、ここでは簡単に1倍のバッファ増幅器 $A_{ij}$ で読み出されると仮定する。

20

【0017】

そして、カラム処理回路 $Q_j$ は画素 $X_{ij}$ に接続される2重積分型A/D変換器 $11_j$ と、この2重積分型A/D変換器 $11_j$ に、それぞれスイッチを介して接続される受光信号用レジスタ $12_j$ とリセット信号用レジスタ $13_j$ と、これらの受光信号用レジスタ $12_j$ とリセット信号用レジスタ $13_j$ との出力をバスを介して減算する減算回路 $15_j$ とを備えている。減算回路 $15_j$ の出力は、出力端子 $O_j$ から半導体チップ6の外部に取り出される。

30

【0018】

図2に示したカラム処理回路 $Q_j$ においては、画素 $X_{ij}$ から、例えば、基準となるリセット信号を2重積分型A/D変換器 $11_j$ によって多数回サンプルし、その値をリセット信号用レジスタ $13_j$ に格納する。続いて画素 $X_{ij}$ のフォトダイオード $D_{ij}$ が受光し、バッファ増幅器 $A_{ij}$ の信号が画素 $X_{ij}$ から出力される。同様に2重積分型A/D変換器 $11_j$ で多数回サンプルし、受光信号用レジスタ $12_j$ に格納する。リセット信号用レジスタ $13_j$ から出力されるリセット信号と受光信号用レジスタ $12_j$ から出力される受光信号の差を減算回路 $15_j$ でとることで、受光した正味の信号が求まり、固定パターンノイズが除去できる。このイメージセンサの固定パターンノイズを除去するために減算回路 $15_j$ で信号の差をとる処理は、「デジタル相関2重サンプリング(CDS)」と呼ばれる。このように、リセット信号を取って受光信号を取るの

40

【0019】

のは4トランジスタ方式の画素 $X_{ij}$ におもに適用される方式である。一方、3トランジスタ方式の画素 $X_{ij}$ では、受光信号を取ってからリセット信号をとる方式が主に適応される。

40

【0020】

本発明の第1の実施の形態に係るカラム処理回路 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ は、2重積分型A/D変換器 $11_j$ に特徴があり、画素 $X_{ij}$ からの信号を多重サンプリングし、それらの信号を加算平均することでランダムノイズの低減、A/D変換器の量子化ノイズの低減ならびにダイナミックレンジの拡大を図り、又、なるべく時間のかからないA/D変換の方法を提供するものである。

50

。初段デジタル積分器 2 5 は、第 1 レジスタ 2 5 1 と第 2 レジスタ 2 5 2 を備え、2 段目デジタル積分器 2 6 は第 3 レジスタ 2 6 1 を備える。第 1 レジスタ 2 5 1 の出力は第 1 レジスタ 2 5 1 の入力側に帰還され、第 1 加算器 2 5 3 で加算される。第 1 加算器 2 5 3 と第 1 レジスタ 2 5 1 の入力側との間は、スイッチ S W 5 により導通が制御される。又、比較器 2 4 の出力側と第 1 加算器 2 5 3 との間は、スイッチ S W 4 により導通が制御される。一方、第 2 レジスタ 2 5 2 の出力は第 2 レジスタ 2 5 2 の入力側に帰還され、第 2 加算器 2 5 4 で加算される。そして、比較器 2 4 の出力側と第 2 加算器 2 5 4 との間は、スイッチ S W 6 により導通が制御される。第 3 レジスタ 2 6 1 の出力は第 3 レジスタ 2 6 1 の入力側に帰還され、第 3 加算器 2 6 2 で加算される。

【 0 0 2 1 】

アナログ積分器 2 3 は、オペアンプ A 2 3 と、オペアンプ A 2 3 の反転入力端子 ( - ) と出力端子間に接続された初期化スイッチ S W 3 と帰還容量  $C_1$  とを備える。オペアンプ A 2 3 の非反転入力端子 ( + ) は接地されている。

【 0 0 2 2 】

1 ビットデジタル・アナログ変換器 2 2 はサンプリング容量  $C_2$  とサンプリング容量  $C_2$  の両端に接続されたサンプリングスイッチ S W 1 及びサンプリングスイッチ S W 2 を備える。サンプリングスイッチ S W 1 はインクリメント電圧 と接地間の切換を行い、サンプリングスイッチ S W 2 はオペアンプ A 2 3 の反転入力端子 ( - ) と接地間の切換を行う。

【 0 0 2 3 】

更に、本発明の第 1 の実施の形態に係る 2 重積分型 A / D 変換器 1 1  $_j$  は、スイッチ S W 1 , S W 2 , S W 4 , S W 5 及び S W 6 を制御するコントローラ 2 1 を備える。

【 0 0 2 4 】

図 4 に示すように、2 段目デジタル積分器 2 6 の出力 F と初段デジタル積分器 2 5 の出力 C は片方の信号をシフトして、その後加算器で加算をして有効な桁を出力し、後段の受光信号用レジスタ 1 2  $_j$  とリセット信号用レジスタ 1 3  $_j$  に、それぞれ格納する。初段デジタル積分器 2 5 の出力 C をシフトする場合は、図 4 ( a ) に示すように、初段デジタル積分器 2 5 の出力 C を上にシフトレジスタ 2 7 1 で m ビットシフトし、又、2 段目デジタル積分器 2 6 の出力 F をシフトする場合は、図 4 ( b ) に示すように、2 段目デジタル積分器 2 6 の出力 F をシフトレジスタ 2 8 1 で下に m ビットシフトする。m は平均化回数を M とすると：

$$m = \log_2 ( M ) \quad \cdot \cdot \cdot \cdot ( 1 )$$

である。2<sup>10</sup> = 1 0 2 4 回の場合は m = 1 0 ビットである。2 段目デジタル積分器 2 6 の出力 F は、図 5 ( a ) の左側に示したインクリメンタルモードで信号が比較の誤判定した場合に (例えばノイズにより 1 段少なくカウントしてしまった場合)、図 5 ( b ) の左側に示した平均化モードでその穴埋めを行う (「インクリメンタルモード」及び「平均化モード」については、図 5 を用いて後述する。)。即ち、平均化モードの出力信号は誤判定が起こらなかった場合の + 1 の信号が出る。本来なら 0 ~ 1 出力を繰り返すところが 1 ~ 2 出力を繰り返すわけである。初段デジタル積分器 2 5 が 8 値 ( 3 ビット ) である理由の一部である。2 段目デジタル積分器 2 6 もそれに対応できるビット幅を持っている。シフト後は、上記の誤判定の場合の桁上がりを考慮して、加算器で加算を行う。ここで、比較器の判定誤りを吸収する。

【 0 0 2 5 】

加算器でそれぞれ加算された信号は、ビット切り捨て回路 2 7 2 , 2 8 2 で、それぞれ下位数ビットを切り捨てる。これは 1 0 2 4 回の加算で分解能 5 ビットの改善効果であり、下位ビットはランダムノイズ成分が支配的で信号として意味をなさないためである。切り捨て量 K は、適宜設定すれば良い。図 4 のビット切り捨て回路 2 7 2 , 2 8 2 の出力は、図 2 に示したように、後段の受光信号用レジスタ 1 2  $_j$  とリセット信号用レジスタ 1 3  $_j$  に格納される。受光信号用レジスタ 1 2  $_j$  とリセット信号用レジスタ 1 3  $_j$  への接続は、シリアルでもパラレルでもかまわないが、カラム処理回路 Q  $_j$  に回路が並ぶので、シリアル接続の方が簡単である。もしくはシフトレジスタを用いてビットシフトを行いながら、受

10

20

30

40

50



光信号用レジスタ  $12_j$  とリセット信号用レジスタ  $13_j$  に格納していく方法でも良い。

【0026】

図5は、本発明の第1の実施の形態に係る2重積分型A/D変換器  $11_j$  のアナログ信号  $x$ 、即ち、比較器24の一方の端子( - )に、画素  $X_{ij}$  から、一例として、 $x = 8.6$  の直流電圧が入力される場合の動作タイミングを示す：

(イ) 先ず、初期化信号  $init$  により、アナログ積分器23の初期化スイッチ  $SW3$  を閉じ、オペアンプ  $A23$  の反転入力端子と出力端子間に接続された帰還容量  $C_1$  に蓄積されるアナログ信号を0にセットする。このとき初段デジタル積分器25もリセットされ0が格納される。初期化が終了したら、初期化スイッチ  $SW3$  を断(オープン)にする。

【0027】

(ロ) 比較器24は、アナログ積分器23の出力電圧  $u$  と画素  $X_{ij}$  からのアナログ信号  $x$  を、比較器24で比較し、画素  $X_{ij}$  からのアナログ信号  $x$  の方が大きければ、比較器24からハイレベルのデジタル信号  $w = 1$  を出力し、画素  $X_{ij}$  からのアナログ信号  $x$  の方が小さければロウレベルのデジタル信号  $w = -1$  を出力する。図5(a)に示すように、実際の回路の動作は、1クロックサイクルの時間(T)毎に、サンプリングスイッチ  $SW1$  はインクリメント電圧 と接地間の切換を行い、この切換と同期してサンプリングスイッチ  $SW2$  がオペアンプ  $A23$  の反転入力端子( - )と接地間の切換を行うので、サンプリング容量  $C_2$  に蓄積されたインクリメント電圧 に対応した電荷が、アナログ積分器23の帰還容量  $C_1$  に転送される。つまり、サンプリングスイッチ  $SW2$  により、サンプリング容量  $C_2$  と帰還容量  $C_1$  とが接続されている期間に、アナログ積分器23の積分がなされ、サンプリングスイッチ  $SW2$  により、サンプリング容量  $C_2$  と帰還容量  $C_1$  とが切り離されることにより帰還容量  $C_1$  に積分値が保持され、サンプリング容量  $C_2$  に残留した電荷は放電される。即ち、1クロックサイクルの時間(T)毎に、アナログ積分器23の帰還容量  $C_1$  がステップ状に増大し、アナログ積分器23の出力電圧  $u = X_i(t)$  がインクリメント電圧 分、逐次上昇する。こうして、アナログ積分器23の出力  $u = X_i(t)$  が1クロック毎に1段( ) 増えてゆき、図5(a)の左側に示した「インクリメンタルモード」が達成される。図5(b)の上段には、初段デジタル積分器25の第1レジスタ251の出力  $C$  が  $0123 \dots 6789$  と増大する様子を示した。このとき、図5(b)の中段の初段デジタル積分器25の第2レジスタ252の出力信号  $a = v$ 、及び下段の2段目デジタル積分器26の出力信号  $y$  は、共に  $000 \dots$  で変化がない。

【0028】

(ハ) アナログ積分器23の出力  $u = X_i(t)$  が増大して、最終的にアナログ信号  $x$  近辺になると、即ち時刻(LT)にて、比較器24の出力がハイレベルのデジタル信号  $w = 1$  からロウレベルのデジタル信号  $w = -1$  になる。この反転した時点でのデジタル値は初段デジタル積分器25の第1レジスタ251に格納される。

【0029】

そしてカラム処理回路  $Q_j$  のすべての回路の動作が終了する時刻(NT)まで2重積分型A/D変換器  $11_j$  はアイドル状態になる。したがって、時刻(LT)から時刻(NT)までは、図5(b)の上段に示した第1レジスタ251の出力  $C$  は、 $88 \dots$  の値を維持し、図5(b)の中段の初段デジタル積分器25の第2レジスタ252の出力信号  $a = v$ 、及び下段の2段目デジタル積分器26の出力信号  $y$  は、依然として  $000 \dots$  を維持している。これらのタイミング制御はカラム処理回路  $Q_j$  のコントローラ21により行われる。

【0030】

(ニ) 時刻(NT)になると、2重積分型A/D変換器  $11_j$  は、図5(a)の右側に示した「平均化モード」になり、1クロック毎に1回A/D変換をしたことと同じ効果が得られる。1クロック毎の出力は初段デジタル積分器25の第2レジスタ252に格納されており、これは初段デジタル積分器25の第1レジスタ251の出力  $C$  からのずれを示している。したがって、時刻(NT)以降は、図5(b)の上段に示した第1レジスタ251の出力  $C$  は、 $88 \dots 8$  の値を維持しているが、図5(b)の中段に示した第

10

20

30

40

50

2レジスタ252の出力信号 $a = v$ は、図5(a)に対応し、101210101と変化する。平均化するために第2レジスタ252の出力信号 $a = v$ の値を2段目デジタル積分器26を通して加算するので、図5(b)の下段に示した2段目デジタル積分器26の出力信号 $y$ は、時刻(N T)以降は、112455667と変化する。この処理を積分回数M行った後、最終的に2段目デジタル積分器26から出力信号 $y = F$ を取り出すので出力Fは(1/M)のダウンサンプルが行われる。2重積分型A/D変換器11<sub>j</sub>の出力は、初段デジタル積分器25の第1レジスタ251からの粗い出力Cと2段目デジタル積分器26から平均化した出力Fが出力される。

#### 【0031】

図5(a)に示した動作タイミングチャートの動作を見てわかるが、2重積分型A/D変換器11<sub>j</sub>のインクリメンタルモードで一度信号のレベル $x = 8.6$ を検出すると、その後の平均化モードの動作が1クロックサイクルですべて加算平均処理になり、ノイズ低減を高速に行うことができる。

#### 【0032】

実際に、図3に示した2重積分型A/D変換器11<sub>j</sub>の回路を、MATLAB(登録商標)という計算機ソフトを用いて記述し、アナログ信号 $x$ にガウス分布のランダムノイズを加えて、回路のノイズ低減効果をシミュレーションした結果を図6に示す。図6の横軸は、入力したノイズ電圧の標準偏差であり、縦軸は平均化回数Mに対するノイズ電力の関係を示す。ノイズの標準偏差が0のときは2重積分型A/D変換器11<sub>j</sub>の量子化ノイズが見えていて、ノイズ電力の値は平均化回数Mによらず $1/12 = 0.0833\dots$ である。図6は、ノイズ電圧の標準偏差が大きくなると、ランダムノイズが増大するが、平均化回数Mを $M = 64, 128, 256, 512, 1024$ と増やせば増やすほどランダムノイズが低減でき、平均化回数Mの極限では、ランダムノイズが低減でき、ゼロに低減できるという結果を示している。そして、平均化回数Mに関係なく、ノイズの標準偏差が、0.3から0.4あたり(は、A/D変換器のステップ)で、一番効率よくランダムノイズならびに量子化ノイズの両方が低減されていることがわかる。

#### 【0033】

このため、1ビットデジタル・アナログ変換器22に供給するインクリメント電圧を可変にして調整することにより、等価的にノイズの標準偏差を0.3から0.4のあたりに設定し、ランダムノイズならびに量子化ノイズの両方を低減することが可能である。

#### 【0034】

以上説明したように、本発明の第1の実施の形態に係る2重積分型A/D変換器11<sub>j</sub>によれば、単位画素 $X_{ij}$ ( $i = 1 \sim m; j = 1 \sim n$ )からの出力信号(アナログ信号) $x$ を多数回サンプルすることで、ランダムノイズの低減を効率的に行うとともに、量子化ノイズの低減やダイナミックレンジの拡大が行える。例えば、従来の積分型、逐次比較型では、高々10b程度の分解能であるが、本発明の第1の実施の形態に係る2重積分型A/D変換器11<sub>j</sub>によれば、14b以上の分解能とすることも可能である。従来のデルタシグマ変調方式では、12bが可能という報告もあるが、その性能を得るには、複雑なデジタルフィルタが必要となる問題がある。本発明の第1の実施の形態に係る2重積分型A/D変換器11<sub>j</sub>では、図3に示すような、簡単なレジスタ251, 252, 261と加算器253, 254, 262により、このデジタルフィルタと同様な機能を実現しており、図1に示した信号処理部5のカラム処理回路Q<sub>j</sub>に十分集積化できるコンパクトな回路になっている。

#### 【0035】

従来のA/D変換回路を用いて、多数回サンプリングし、平均化を行う方法も考えられるが、この場合には1サンプリングあたりのA/D変換に多くの時間を要するので、これを例えば1000回積分をすると仮定すると、データ変換の時間が通常の1000倍かかり、実質的には適用不可能である。これに対して、本発明の第1の実施の形態に係る2重積分型A/D変換器11<sub>j</sub>では、図5に示すように、インクリメンタルモードで、粗いA

10

20

30

40

50

/D変換が一旦終了すると、その後は、入力信号に追従しながら積分する動作となるため、平均化のための1つのサンプリングでA/D変換が行える(A/D変換値の更新)。このため、データ変換時間を大幅に短縮しながら、十分な平均化回数Mにより大きなランダムノイズ低減効果が得られる。

【0036】

本発明の第1の実施の形態に係る2重積分型A/D変換器11<sub>j</sub>によれば、相関2重サンプリング処理をデジタル領域で行うことで、画素部X<sub>ij</sub>から、読み出し回路、すべてのランダムノイズに対して低減効果が得られる。従来、カラム処理回路のアナログ読み出し回路で、相関2重サンプリング処理を行った後、A/D変換を行う方法が一般的であるが、この場合には、A/D変換器で多数回サンプリングを行っても、画素部X<sub>ij</sub>のノイズに対しては低減効果が得られない。

10

【0037】

本発明の第1の実施の形態に係る2重積分型A/D変換器11<sub>j</sub>によれば、A/D変換器が原理的に持つ量子化雑音までもランダムノイズとともに低減できる。この効果はディザリングとして知られているが、外部よりランダムノイズを意図的に重畳させるのではなく回路本体が持つランダムノイズを使用して低減するために、ノイズを重畳させる特別な回路が必要ない。又、信号の積分をデジタル領域で行うため、そのビット幅(分解能)を十分とっておけば、積分によって信号を増やししながらランダムノイズを低減できるため、ダイナミックレンジの拡大を図ることができる。

【0038】

20

(第2の実施の形態)

本発明の第2の実施の形態に係る固体撮像装置の信号処理部の構成を図7に示す。第1の実施の形態に係る固体撮像装置では、図1に示した信号処理部5のカラム処理回路Q<sub>j</sub>の内部に受光信号用レジスタ12<sub>j</sub>とリセット信号用レジスタ13<sub>j</sub>とが含まれ、同一の半導体チップ6上に集積化されていたが、第2の実施の形態に係る固体撮像装置では、受光信号用レジスタ12<sub>j</sub>とリセット信号用レジスタ13<sub>j</sub>と、これらの受光信号用レジスタ12<sub>j</sub>とリセット信号用レジスタ13<sub>j</sub>との出力をバスを介して減算する減算回路15<sub>j</sub>とは、半導体チップ6の外部処理回路7に構成されている点が、第1の実施の形態に係る固体撮像装置とは異なる。

【0039】

30

第1の実施の形態で説明したように、カラム処理回路Q<sub>j</sub>は、画素列X<sub>1j</sub>~X<sub>nj</sub>に接続されるのであるが、図7では画素列X<sub>1j</sub>~X<sub>nj</sub>を代表して画素X<sub>ij</sub>のみを示している。画素X<sub>ij</sub>は、フォトダイオードD<sub>ij</sub>と、このフォトダイオードD<sub>ij</sub>の出力を増幅するバッファ増幅器A<sub>ij</sub>とで模式的に示しているが、実際には、周知の3トランジスタCMOSイメージセンサの画素構成等種々の構成が採用可能である点は、第1の実施の形態に係る固体撮像装置と同様である。即ち、第2の実施の形態に係る固体撮像装置のカラム処理回路Q<sub>j</sub>は、画素X<sub>ij</sub>に接続される2重積分型A/D変換器11<sub>j</sub>を備える。そして、この2重積分型A/D変換器11<sub>j</sub>が集積された半導体チップ6とは別の外部処理回路7の受光信号用レジスタ12<sub>j</sub>とリセット信号用レジスタ13<sub>j</sub>に、半導体チップ6の出力端子(ボンディングパッド)O<sub>j</sub>を介して、2重積分型A/D変換器11<sub>j</sub>の出力が接続される。

40

【0040】

2重積分型A/D変換器11<sub>j</sub>の構成は、第1の実施の形態に係る固体撮像装置で説明した図2及び図3の構成と基本的に同じであり、2重積分型A/D変換器11<sub>j</sub>は、初段デジタル積分器25と2段目デジタル積分器26を備える。初段デジタル積分器25は、第1レジスタ251と第2レジスタ252を備え、2段目デジタル積分器26は第3レジスタ261を備え、それぞれメモリの機能を兼ねる。このため、図3に示したビット切り捨て回路272, 282の出力は、1本のバスを用いてシリアルに外部処理回路7に接続でき、ビット切り捨て回路272, 282の出力は、順に受光信号用レジスタ12<sub>j</sub>とリセット信号用レジスタ13<sub>j</sub>に格納される。

【0041】

50

図7に示したカラム処理回路 $Q_j$ においては、画素 $X_{ij}$ から、基準となるリセット信号を2重積分型A/D変換器 $11_j$ によって多数回サンプルし、その値を外部処理回路7のリセット信号用レジスタ $13_j$ に格納する。続いて画素 $X_{ij}$ のフォトダイオード $D_{ij}$ が受光し、バッファ増幅器 $A_{ij}$ の信号が画素 $X_{ij}$ から出力されると、2重積分型A/D変換器 $11_j$ で多数回サンプルし、外部処理回路7の受光信号用レジスタ $12_j$ に格納する。外部処理回路7では、リセット信号用レジスタ $13_j$ から出力されるリセット信号と受光信号用レジスタ $12_j$ から出力される受光信号の差を減算回路 $15_j$ で演算し、受光した正味の信号を求め、固定パターンノイズが除去し、デジタルCDSの機能を実現している。図示を省略した他のカラム処理回路 $Q_1, Q_2, \dots, Q_m$ も、図7に示したカラム処理回路 $Q_j$ と同様に、外部処理回路7のリセット信号用レジスタ $13_j$ と受光信号用レジスタ $12_j$ とを用いて、それらの出力信号の差を減算回路 $15_j$ で演算し、デジタルCDSの機能を実現している。外部処理回路7は、半導体チップ6とは別の半導体チップに集積化してハイブリッド集積回路を構成しても良く、外部処理回路7を、パーソナルコンピュータ等の種々のプロセッサで処理しても良い。

#### 【0042】

図示を省略しているが、第2の実施の形態に係る固体撮像装置の全体構成は、ブロック図として見る限り、図1と同様であり、画素アレイ部1、水平走査回路2、垂直走査回路3、タイミング発生回路4及び信号処理部5を同一の半導体チップ6上に集積化している。画素アレイ部1、水平走査回路2、垂直走査回路3、タイミング発生回路4の構成や機能は、第1の実施の形態に係る固体撮像装置と同様であり、重複した説明を省略する。但し、上記説明から理解できるように、信号処理部5を構成する複数のカラム処理回路 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ の構成と機能は、第1の実施の形態に係る固体撮像装置とは異なり、したがって、複数のカラム処理回路 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ にそれぞれ接続される出力端子 $O_1, O_2, \dots, O_j, \dots, O_m$ から出力される信号は、第1の実施の形態に係る固体撮像装置の出力端子 $O_1, O_2, \dots, O_j, \dots, O_m$ から出力される信号とは、その内容が異なる。

#### 【0043】

いずれにせよ、本発明の第2の実施の形態に係るカラム処理回路 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ においても2重積分型A/D変換器 $11_j$ に特徴があり、画素 $X_{ij}$ からの信号を多重サンプリングし、それらの信号を加算平均することでランダムノイズの低減、A/D変換器の量子化ノイズの低減ならびにダイナミックレンジの拡大が可能であり、更に処理時間の短縮が可能なA/D変換の方法を提供できる点は、第1の実施の形態に係る固体撮像装置と同様である。但し、2重積分型A/D変換器 $11_j$ の構成や機能は、第1の実施の形態に係る固体撮像装置と同様であり、重複した説明を省略する。

#### 【0044】

(第3の実施の形態)

本発明の第3の実施の形態に係る固体撮像装置の信号処理部の構成を図8に示す。第1の実施の形態に係る固体撮像装置では、図1に示した信号処理部5のカラム処理回路 $Q_j$ の内部に受光信号用レジスタ $12_j$ 、リセット信号用レジスタ $13_j$ 、これらのリセット信号用レジスタ $13_j$ から出力されるリセット信号と受光信号用レジスタ $12_j$ から出力される受光信号の差をとる減算回路 $15_j$ が同一の半導体チップ6上に集積化されていたが、第3の実施の形態に係る固体撮像装置では、カラム処理回路 $Q_j$ の内部に受光信号用レジスタ $12_j$ とリセット信号用レジスタ $13_j$ が集積化され、受光信号用レジスタ $12_j$ とリセット信号用レジスタ $13_j$ が集積化された半導体チップ6とは異なる外部処理回路(図示省略)に、これらの受光信号用レジスタ $12_j$ とリセット信号用レジスタ $13_j$ との出力を減算する減算回路(図示省略)が配置されている点が、第1の実施の形態に係る固体撮像装置とは異なる。

#### 【0045】

第1の実施の形態で説明したように、カラム処理回路 $Q_j$ は、画素列 $X_{1j} \sim X_{nj}$ に接続されるのであるが、図8では画素列 $X_{1j} \sim X_{nj}$ を代表して画素 $X_{ij}$ のみを示している。即

10

20

30

40

50

ち、第3の実施の形態に係る固体撮像装置のカラム処理回路 $Q_j$ は、画素 $X_{ij}$ に接続される2重積分型A/D変換器 $11_j$ 、受光信号用レジスタ $12_j$ 及びリセット信号用レジスタ $13_j$ を備える。そして、この2重積分型A/D変換器 $11_j$ が集積された半導体チップ6とは別の外部処理回路の減算回路に、半導体チップ6の出力端子(ボンディングパッド) $O_j$ 及び $R_j$ を介して、受光信号用レジスタ $12_j$ の出力とリセット信号用レジスタ $13_j$ の出力とが、それぞれ別個に接続される。このため、図示を省略しているが、外部処理回路側にも出力端子 $O_j$ 及び $R_j$ に対応した入力端子がそれぞれ配置されている。

【0046】

図示を省略しているが、第3の実施の形態に係る固体撮像装置の全体構成は、ブロック図として見る限り、図1と同様であり、画素アレイ部1、水平走査回路2、垂直走査回路3、タイミング発生回路4及び信号処理部5とを同一の半導体チップ6上に集積化している。受光信号用レジスタ $12_j$ の出力端子 $O_j$ までの経路、リセット信号用レジスタ $13_j$ の出力端子 $R_j$ までの経路には、それぞれ水平走査回路2により制御されるスイッチを備え、水平走査回路2により制御されて、受光信号用レジスタ $12_j$ の出力とリセット信号用レジスタ $13_j$ の出力とが順次、外部処理回路に送信される。

【0047】

2重積分型A/D変換器 $11_j$ の構成及び機能は、第1の実施の形態に係る固体撮像装置で説明した図2及び図3の構成と基本的に同じであり、重複した説明を省略する。

【0048】

図8に示したカラム処理回路 $Q_j$ においては、画素 $X_{ij}$ から、基準となるリセット信号を2重積分型A/D変換器 $11_j$ によって多数回サンプルし、その値をリセット信号用レジスタ $13_j$ に格納し、その後出力端子 $R_j$ に出力する。続いて画素 $X_{ij}$ のフォトダイオード $D_{ij}$ が受光し、バッファ増幅器 $A_{ij}$ の信号が画素 $X_{ij}$ から出力されると、2重積分型A/D変換器 $11_j$ で多数回サンプルし、受光信号用レジスタ $12_j$ に格納し、その後出力端子 $O_j$ に出力する。外部処理回路では、出力端子 $R_j$ から出力されるリセット信号と、出力端子 $O_j$ から出力される受光信号との差を減算回路で演算し、受光した正味の信号を求め、デジタルCDSの機能を実現し、これにより固定パターンノイズが除去される。

【0049】

図示を省略した他のカラム処理回路 $Q_1, Q_2, \dots, Q_m$ も、図8に示したカラム処理回路 $Q_j$ と同様に、リセット信号用レジスタ $13_j$ 及び受光信号用レジスタ $12_j$ のそれぞれの出力信号を、水平走査回路2により制御して外部処理回路に送信し、それらの出力信号の差を、外部処理回路に配置された減算回路でとり、デジタルCDSの機能を実現している。外部処理回路は、半導体チップ6とは別の半導体チップに集積化してハイブリッド集積回路を構成しても良く、外部処理回路を、パーソナルコンピュータ等の種々のプロセッサで処理しても良い。

【0050】

画素アレイ部1、水平走査回路2、垂直走査回路3、タイミング発生回路4の構成や機能は、第1の実施の形態に係る固体撮像装置と同様であり、重複した説明を省略するが、上記説明から理解できるように、信号処理部5を構成する複数のカラム処理回路 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ の構成と機能は、第1の実施の形態に係る固体撮像装置とは異なる。このため、複数のカラム処理回路 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ からは出力端子 $O_1, O_2, \dots, O_j, \dots, O_m$ 以外に、出力端子 $R_1, R_2, \dots, R_j, \dots, R_m$ が、それぞれ並列接続されている。又、出力端子 $O_1, O_2, \dots, O_j, \dots, O_m$ から出力される信号の内容は、第1の実施の形態に係る固体撮像装置の出力端子 $O_1, O_2, \dots, O_j, \dots, O_m$ から出力される信号とは異なる。

【0051】

いずれにせよ、本発明の第3の実施の形態に係るカラム処理回路 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ においても2重積分型A/D変換器 $11_j$ に特徴があり、画素 $X_{ij}$ からの信号を多重サンプリングし、それらの信号を加算平均することでランダムノイズ

10

20

30

40

50

の低減、A/D変換器の量子化ノイズの低減ならびにダイナミックレンジの拡大が可能であり、更に処理時間の短縮が可能なA/D変換の方法を提供できる点は、第1及び第2の実施の形態に係る固体撮像装置と同様である。

【0052】

(その他の実施の形態)

上記のように、本発明は第1～第3の実施の形態によって記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0053】

既に述べた第1～第3の実施の形態の説明においては、2次元固体撮像装置(エリアセンサ)に用いられる2重積分型A/D変換器 $11_j$ について、例示的に説明したが、本発明の2重積分型A/D変換器 $11_j$ は2次元固体撮像装置のカラム処理回路 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ に用いられる場合のみに限定して解釈すべきではない。

10

【0054】

例えば、図1に示した2次元マトリクスにおいて、 $j = m = 1$ とした1次元固体撮像装置(ラインセンサ)のカラム処理回路に適用可能であることは、上記開示の内容から、容易に理解できるはずである。

【0055】

更に、図9に示すような、アナログ信号出力回路10にも適用可能である。図9のアナログ信号出力回路10は、フォトダイオードDと、このフォトダイオードDの出力を増幅するバッファ増幅器Aとで模式的に示しているが、詳細なアナログ信号出力回路10の回路構成は図9に限定される必要はなく、アナログ信号出力回路10はアナログ信号を出力する回路であれば、その構成は問わない。図9に示したアナログ信号出力回路10は、図1に示した2次元マトリクスにおいて、 $i = n = 1; j = m = 1$ とした単独の単位画素 $X_{11}$ に相当すると解釈できるが、カラム処理回路は存在せず、リセット信号用レジスタ及び受光信号用レジスタを用いたデジタルCDSの処理等も省略可能である。

20

【0056】

図9に示した2重積分型A/D変換器 $11$ の構成は、基本的に図3に示す2重積分型A/D変換器 $11_j$ の構成と同様であり、1ビットデジタル・アナログ変換器22、アナログ積分器23、比較器24、初段デジタル積分器25、2段目デジタル積分器26及びコントローラ21を備える。第1の実施の形態と同様に、アナログ積分器23は、クロック毎に、一定のインクリメント電圧を階段状に逐次上昇させ、比較器24は、このアナログ積分器23の出力を一方の端子に入力し、アナログ信号(入力信号) $V_{in}$ を他方の端子に入力し、アナログ信号(入力信号) $V_{in}$ がアナログ積分器23の出力より大きければ、ハイレベルのデジタル信号を出力し、アナログ信号(入力信号) $V_{in}$ がアナログ積分器23の出力より小さければロウレベルのデジタル信号を出力する。初段デジタル積分器25は、比較器24のデジタル出力をデジタル領域で積分し、第1のA/D変換出力を出力端子Cから出力する。2段目デジタル積分器26は、初段デジタル積分器25の出力をデジタル領域で積分し、第1のA/D変換出力よりも分解能の高い第1のA/D変換出力を、出力端子Fから出力する。

30

40

【0057】

第1の実施の形態で説明したように、初段デジタル積分器25は、第1レジスタ251と、この第1レジスタ251の出力をこの第1レジスタ251の入力に加算する第1加算器253と、第2レジスタ252と、この第2レジスタ252の出力をこの第2レジスタ252の入力に加算する第2加算器254とを備える。そして、第1レジスタ251に接続された出力端子Cから、第1のA/D変換出力を出力する。2段目デジタル積分器26は、第2レジスタ252の出力を入力する第3レジスタ261と、この第3レジスタ261の出力をこの第3レジスタ261の入力に加算する第3加算器262とを備える。そして、第3レジスタ261に接続された出力端子Fから、第2のA/D変換出力を出力す

50

る。

【0058】

図9に示した2重積分型A/D変換器11は、図5に示したと同様な動作タイミングで動作する。即ち、図9に示した2重積分型A/D変換器11は、最初にインクリメンタルモードで、粗くA/D変換する。具体的には、アナログ信号出力回路10から入力信号 $V_{in}$ が、2重積分型A/D変換器11に入力されると、図5(a)に示したように、時刻(LT)までインクリメンタルモードで、アナログ積分器23の出力 $u = X_i(t)$ が1クロック毎に1段( )ずつ増えてゆく。そして、時刻(LT)で、アナログ積分器23の出力 $u = X_i(t)$ が入力信号 $V_{in}$ 近辺になるとアイドル状態になる。時刻(NT)まで2重積分型A/D変換器11はアイドル状態になり、時刻(NT)になると、2重積分型A/D変換器11は、図5(a)に示したように平均化モードになる。平均化モードでは、入力信号 $V_{in}$ に追従させながら、A/D変換を行いつつ、これを2段目デジタル積分器26で、フィルタの機能を持たせることで、分解能を更に上げることができる(この追従させながらフィルタをかけるところの動作は、従来のデルタ変調型A/D変換器に、デジタルフィルタを接続するというものに相当しているとの解釈も可能である。)

10

【0059】

このように、図9に示した2重積分型A/D変換器11の構成や動作は、基本的に第1の実施の形態と同様であり、第1の実施の形態と重複する内容となる詳細な説明は省略する。図9に示した2重積分型A/D変換器11の構成によれば、インクリメンタルモードで一度入力信号 $V_{in}$ のレベルを検出すると、その後の平均化モードの動作が1クロックサイクルですべて加算平均処理になり、ノイズ低減を高速に行うことができるという第1~第3の実施の形態で説明したと同様な効果を得ることが可能である。

20

【0060】

この様に、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【図面の簡単な説明】

【0061】

【図1】本発明の第1の実施の形態に係る固体撮像装置(2次元イメージセンサ)の半導体チップ上のレイアウトを説明する模式的平面図である。

30

【図2】本発明の第1の実施の形態に係る固体撮像装置のカラム処理回路の構成を説明する概略的なブロック図である。

【図3】図2のカラム処理回路の内の1つに配置された2重積分型A/D変換器の構成を説明する概略的な回路図である。

【図4】図3に示した第1の実施の形態に係る2重積分型A/D変換器の出力段の回路構成を説明する図である。

【図5】本発明の第1の実施の形態に係る2重積分型A/D変換器の動作を説明するタイミング図である。

【図6】シミュレーションにより得られた、第1の実施の形態に係る2重積分型A/D変換器のノイズ電圧の標準偏差とノイズ電力の関係を示す図である。

40

【図7】本発明の第2の実施の形態に係る固体撮像装置のカラム処理回路の構成を外部処理回路を含めて説明する概略的なブロック図である。

【図8】本発明の第3の実施の形態に係る固体撮像装置のカラム処理回路の構成を説明する概略的なブロック図である。

【図9】本発明の他の実施の形態に係る2重積分型A/D変換器の適用例を説明する概略的なブロック図である。

【符号の説明】

【0062】

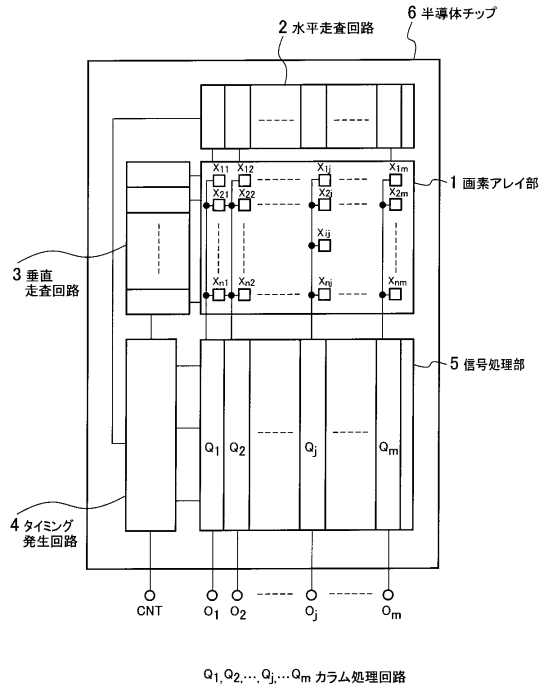
1 ...画素アレイ部

50

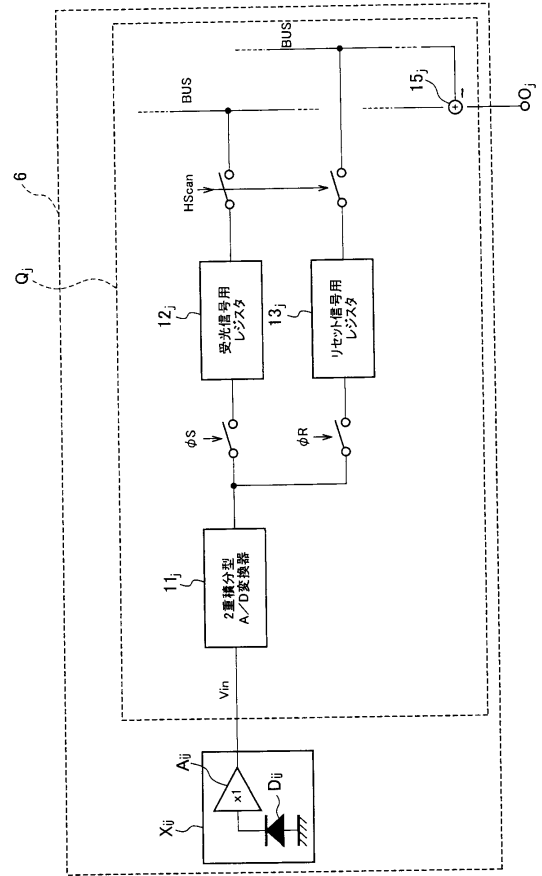
2 ... 水平走査回路	
3 ... 垂直走査回路	
4 ... タイミング発生回路	
5 ... 信号処理部	
6 ... 半導体チップ	
7 ... 外部処理回路	
1 0 ... アナログ信号出力回路	
1 1 <sub>j</sub> ... 変換器	
1 2 <sub>j</sub> ... 受光信号用レジスタ	
1 3 <sub>j</sub> ... リセット信号用レジスタ	10
1 5 <sub>j</sub> ... 減算回路	
2 1 ... コントローラ	
2 2 ... ビットデジタル・アナログ変換器	
2 3 ... アナログ積分器	
2 4 ... 比較器	
2 5 ... 初段デジタル積分器	
2 6 ... 第2段目デジタル積分器	
2 5 1 ... 第1レジスタ	
2 5 2 ... 第2レジスタ	
2 5 3, 2 5 3, 2 6 2 ... 加算器	20
2 6 1 ... 第3レジスタ	
2 7 2, 2 8 2 ... 回路	
$O_1, \dots, O_m, R_1 \sim R_m$ ... 出力端子	
$Q_1 \sim Q_m$ ... カラム処理回路	
$X_{ij}$ ( $i = 1 \sim m; j = 1 \sim n$ ) ... 画素 (単位画素)	
$SW 1, SW 2, SW 4, SW 5, SW 6$ ... スイッチ	
a ... 出力信号	
u ... 出力電圧	
x ... 入力信号	
y ... 出力信号	30



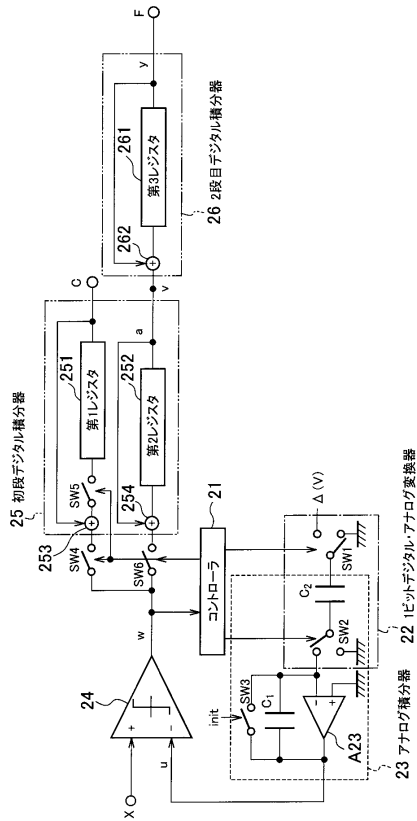
【図1】



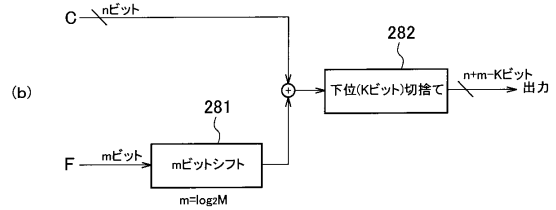
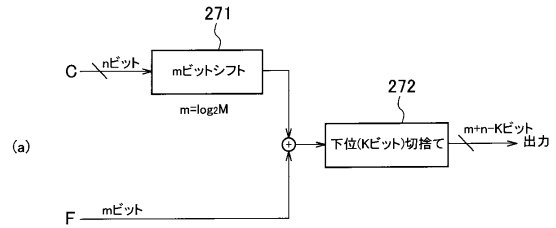
【図2】



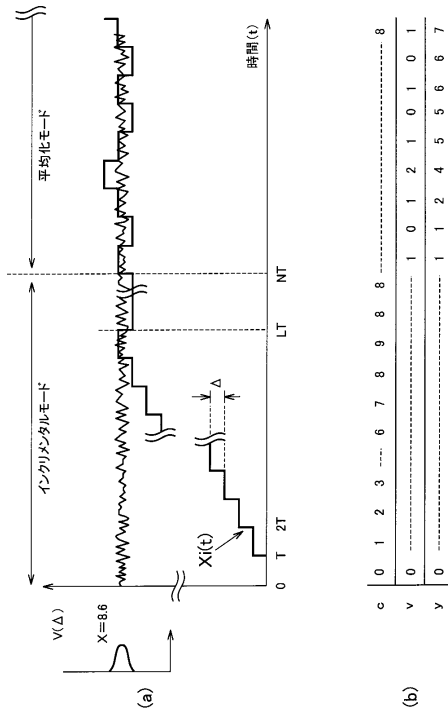
【図3】



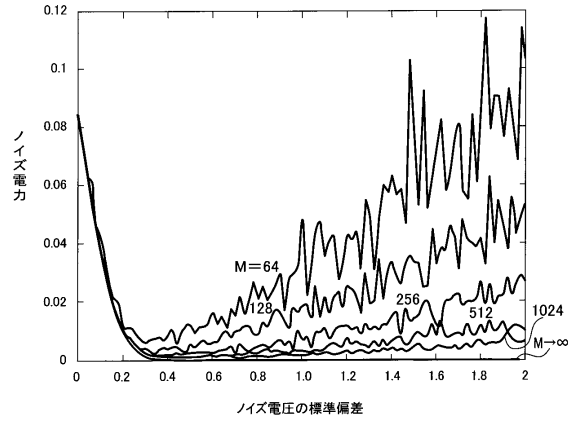
【図4】



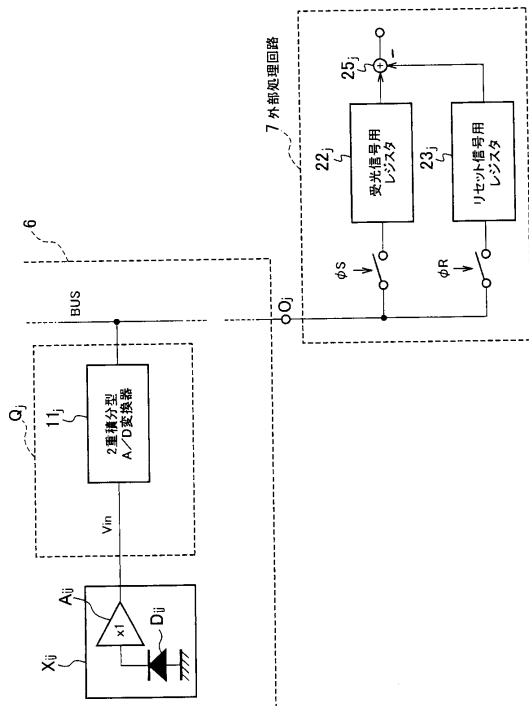
【図5】



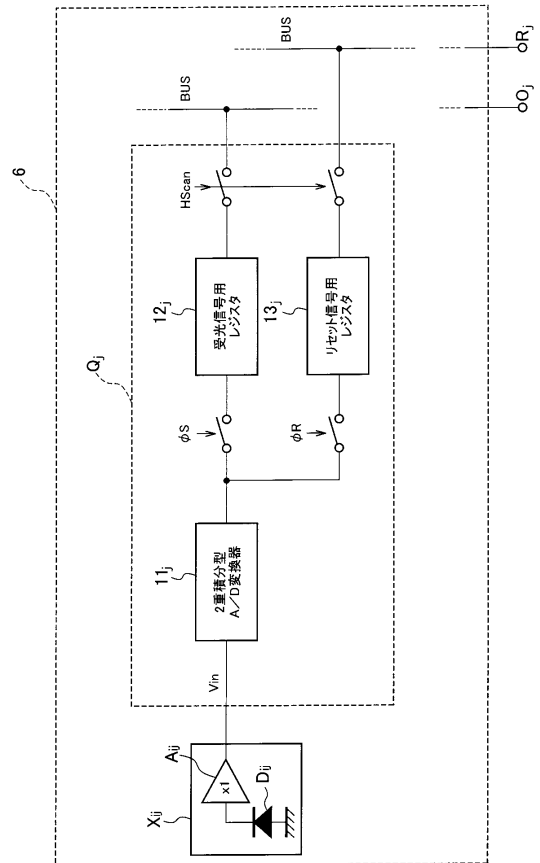
【図6】



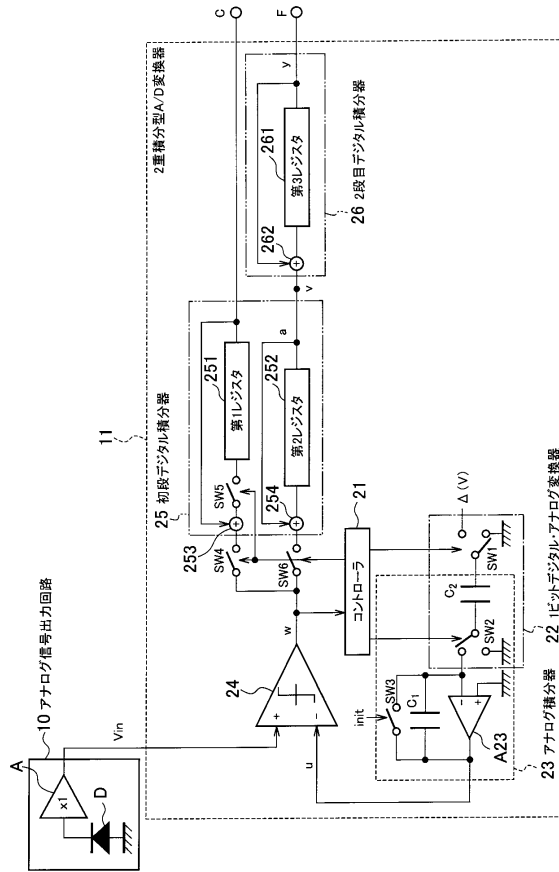
【図7】



【図8】



【図9】



10 アナログ信号出力回路

11

2重積分型A/D変換器

25 初段デジタル積分器

24 アナログ積分器

26 2段目デジタル積分器

22 1ビットデジタル・アナログ変換器

23 アナログ積分器

21 コントローラ

SW4

SW5

SW6

SW3

SW2

SW1

C1

C2

init

u

w

a

y

v

262

261

254

252

251

253

255

256

257

258

259

260

263

264

265

266

267

268

269

270

271

272

273

274

275

276

277

278

279

280

281

282

283

284

285

286

287

288

289

290

291

292

293

294

295

296

297

298

299

300

301

302

303

304

305

306

307

308

309

310

311

312

313

314

315

316

317

318

319

320

321

322

323

324

325

326

327

328

329

330

331

332

333

334

335

336

337

338

339

340

341

342

343

344

345

346

347

348

349

350

351

352

353

354

355

356

357

358

359

360

361

362

363

364

365

366

367

368

369

370

---

フロントページの続き

(56)参考文献 特開2001-345700(JP,A)  
特開昭58-173917(JP,A)  
特表平4-126477(JP,A)  
特開昭49-5183(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H03M1/00-1/88  
H04N 5/335