

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5224256号
(P5224256)

(45) 発行日 平成25年7月3日(2013.7.3)

(24) 登録日 平成25年3月22日(2013.3.22)

(51) Int. Cl. F I
 H O 1 L 21/203 (2006.01) H O 1 L 21/203 Z
 C 2 3 C 14/06 (2006.01) C 2 3 C 14/06 B

請求項の数 9 (全 19 頁)

<p>(21) 出願番号 特願2005-162166 (P2005-162166) (22) 出願日 平成17年6月2日(2005.6.2) (65) 公開番号 特開2006-339397 (P2006-339397A) (43) 公開日 平成18年12月14日(2006.12.14) 審査請求日 平成20年5月22日(2008.5.22)</p> <p>前置審査</p>	<p>(73) 特許権者 503092180 学校法人関西学院 兵庫県西宮市上ヶ原一番町1番155号 (74) 代理人 100089196 弁理士 梶 良之 (74) 代理人 100104226 弁理士 須原 誠 (72) 発明者 金子 忠昭 兵庫県三田市学園3-1-A210</p> <p>審査官 山本 雄一</p>
---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------	-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------

最終頁に続く

(54) 【発明の名称】 単結晶炭化ケイ素基板の処理方法、半導体素子の製造方法

(57) 【特許請求の範囲】

【請求項1】

単結晶炭化ケイ素基板と多結晶炭化ケイ素基板との間にスペーサを介在させることで、前記単結晶炭化ケイ素基板に対し前記多結晶炭化ケイ素基板を近接させて密閉容器内に収納配置して、前記密閉容器内を 10^{-2} Pa 以下の真空として、1600 以上2100 以下の等温環境で熱処理し、前記多結晶炭化ケイ素基板から SiC 分子を昇華させて前記単結晶炭化ケイ素基板の表面に気相エピタキシャル成長させることで単結晶炭化ケイ素薄膜を形成し、これにより前記単結晶炭化ケイ素基板表面のマイクロパイプ欠陥を修復することを特徴とする、単結晶炭化ケイ素基板の処理方法。

【請求項2】

単結晶炭化ケイ素基板と、半導体を形成可能な不純物原子をイオンドーピングした多結晶炭化ケイ素基板との間にスペーサを介在させることで、前記単結晶炭化ケイ素基板に対し前記多結晶炭化ケイ素基板のイオン注入面を近接させて密閉容器内に収納配置して、前記密閉容器内を 10^{-2} Pa 以下の真空として、1600 以上2100 以下の等温環境で熱処理し、前記多結晶炭化ケイ素基板から SiC 分子及び前記不純物原子イオンを昇華させて前記単結晶炭化ケイ素基板の表面に気相エピタキシャル成長させることで単結晶炭化ケイ素半導体薄膜を形成し、これにより前記単結晶炭化ケイ素基板表面のマイクロパイプ欠陥を修復することを特徴とする、単結晶炭化ケイ素基板の処理方法。

【請求項3】

請求項1又は請求項2に記載の単結晶炭化ケイ素基板の処理方法であって、

前記の熱処理は、前記多結晶炭化ケイ素基板に対し前記単結晶炭化ケイ素基板を、0 . 6 mm以内の距離で近接させるようにして前記密閉容器内に収納配置して行われることを特徴とする、単結晶炭化ケイ素基板の処理方法。

【請求項 4】

請求項 1 から請求項 3 までの何れか一項に記載の単結晶炭化ケイ素基板の処理方法であって、

前記の熱処理は、前記単結晶炭化ケイ素基板と前記多結晶炭化ケイ素基板からなる一対の組を、厚み方向に複数組積層した状態で前記密閉容器内に配置されて等温環境で行われることを特徴とする、単結晶炭化ケイ素基板の処理方法。

【請求項 5】

請求項 4 に記載の単結晶炭化ケイ素基板の処理方法であって、

前記単結晶炭化ケイ素基板と前記多結晶炭化ケイ素基板からなる組の積層方向の少なくとも一方の端部には、別の多結晶炭化ケイ素基板を付加的に積層させることで、前記密閉容器内の Si C 分圧または Si 分圧を所定の値に制御することを特徴とする、単結晶炭化ケイ素基板の処理方法。

【請求項 6】

請求項 2 に記載の単結晶炭化ケイ素基板の処理方法であって、

半導体を形成可能な不純物原子を前記多結晶炭化ケイ素基板の前記単結晶炭化ケイ素基板に対向しない面にイオンドーピングすることで、前記密閉容器内のドーパントイオンの分圧を所定の値に制御することを特徴とする、単結晶炭化ケイ素基板の処理方法。

【請求項 7】

請求項 2 に記載の単結晶炭化ケイ素基板の処理方法であって、

前記の半導体を形成可能な不純物原子が、アルミニウム、ボロン、又はリンを少なくとも含むことを特徴とする、単結晶炭化ケイ素基板の処理方法。

【請求項 8】

請求項 1 から請求項 7 までの何れか一項に記載の単結晶炭化ケイ素基板の処理方法であって、

前記の熱処理は、前記単結晶炭化ケイ素基板と前記多結晶炭化ケイ素基板を密閉容器に收容配置して、予備加熱室と前室と本加熱室とを有する加熱炉において、

前記単結晶炭化ケイ素基板と前記多結晶炭化ケイ素基板を前記予備加熱室で、真空下又は希薄ガス雰囲気下で 800 以上の温度に予熱した後、前記前室へ移動し、予め 1, 600 以上 2, 100 以下の温度に昇温してある前記本加熱室へ、真空下又は希薄ガス雰囲気下で前記前室から更に移動させることにより行われることを特徴とする、単結晶炭化ケイ素基板の処理方法。

【請求項 9】

請求項 1 から請求項 8 までの何れか一項に記載の処理方法により単結晶炭化ケイ素基板を処理する工程を含む、半導体素子製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、単結晶炭化ケイ素 (SiC) 表面のマイクロパイプを修復可能な基板の処理方法、およびこの処理方法を用いた半導体素子の製造方法に関する。

【背景技術】

【0002】

炭化ケイ素 (SiC) は、耐熱性及び機械的強度に優れ、放射線にも強く、不純物の添加によって電子や正孔の価電子制御も容易にできるとともに、広い禁制帯幅 (6H型の単結晶SiCで約 3.0 eV、4H型の単結晶SiCで 3.3 eV) を有するという特徴を備えている。従って、ケイ素 (Si) やガリウムヒ素 (GaAs) などの既存の半導体材料では実現できない高温、高周波、耐電圧・耐環境性を実現することが可能であるとされ

10

20

30

40

50

、次世代のパワーデバイス、高周波デバイス用半導体の材料として期待が高まっている。

【0003】

この単結晶SiC基板から半導体デバイスを製造する方法に関し、特許文献1は単結晶SiC基板を昇華法で成長させた後のSi溶解液に含浸してマイクロパイプを修正する方法を開示する。具体的には特許文献1は、Si溶解液坩堝に単結晶SiC基板を回転させながら含浸させてSiC液相エピタキシャル層を成長させる製造方法を開示している。

【0004】

また、特許文献2は、SiC半導体素子を製作する際に、アクセプター原子に加えてC原子を付加的にイオン注入することで、アクセプター原子の電気的活性化率を向上するとともに、熱処理による拡散を抑制できることを開示する。

10

【0005】

更に、特許文献3は、SiC半導体にリン原子をドナー不純物としてドーブする方法に関して、リン原子の注入温度を1,200以上の高温とすることで、電気的活性化率を上げることができる旨を開示する。

【0006】

また、非特許文献1は、近接昇華法4H-SiCエピタキシャル成長を開示しており、基板に4H-SiC単結晶基板の8°オフ(0001)方位<1120>を使用し、エピタキシャル成長供給材料は3C-SiC多結晶基板を使用している。この非特許文献1の方法では、4H-SiC単結晶基板と3C-SiC多結晶基板の間隔は1.5mmとし、加熱温度を2,000としている。この結果、4H-SiCエピタキシャル成長速度は40μm/h、表面粗さは20nmと報告されている。

20

【特許文献1】特表平10-509943号公報(PCT/US95/15276、要約など)

【特許文献2】特開2004-292305号公報(要約など)

【特許文献3】特開平11-121393号公報(要約など)

【非特許文献1】Materials Science and Engineering B61-62 1999 P121-124. 'Epitaxial growth of 4H-SiC by sublimation close Space technique' 西野茂弘

【発明の開示】

【発明が解決しようとする課題】

【0007】

しかしながら、上記の特許文献1の方法では、Si溶解液坩堝内のSi融液温度はSiの溶解温度1450に制約されてしまい、この温度は、SiC液相成長に必要な温度(1800以上)よりもかなり低くなってしまふ。従って、マイクロパイプ内の良質な単結晶SiC液相エピタキシャル成長を期待するのは困難である。

30

【0008】

ここで、本願発明者が実験等から得た知見によれば、SiC半導体を製造すべく単結晶SiC基板表面にアルミニウムやボロン等の不純物(ドーパント)をイオンドーブしてドーパントを十分に電気的に活性化するためには、一般に、相当な高温(例えば、1,600以上)でのポストアニール処理が必要となる。しかしながら、このような高温での処理を行うと、単結晶SiC基板の表面からSiCやSiの昇華が始まり、表面の肌粗れが発生する原因となる。

40

【0009】

従って、従来のSiC半導体は、低温でのアニール処理により、ドーパントの活性化が不十分のままの製品化を余儀なくされ、半導体素子の性能向上の余地が大きく残されていた。また、過剰ドーピングによる濃度消光(クエンチング)や、バラツキ、ムラ等による歩留まりの低下も無視できないものであった。

【0010】

端的に言えば、イオンの十分な電気的活性化のためには相当な高温かつ長時間のポストアニールを行う必要があるが、他方、結晶表面の良好な平坦性のためにはアニール処理は低温かつ短時間とすべきという、矛盾する2つのニーズが存在するのである。

50

【0011】

また、不純物の電氣的活性化率を向上させる観点で上記特許文献2や特許文献3等の方法が提案されてはいるが、これらの方法では工程が複雑になり、スループットが低下してしまう。

【0012】

更に、非特許文献1では、近接昇華法4H-SiCエピタキシャル成長により表面粗さを20nm程度とできたと報告されているが、それでも、半導体素子に使用できる平坦度のレベルとしては満足できるものではない。

【0013】

本発明は上記の事情に鑑みてされたものであり、その主要な目的は、単結晶炭化ケイ素基板の表面のマイクロパイプ欠陥を修復し、表面の平坦レベルを顕著に改善できる処理方法ないし半導体製造方法を提供することにある。

【課題を解決するための手段及び効果】

【0014】

本発明の解決しようとする課題は以上の如くであり、次にこの課題を解決するための手段とその効果を説明する。

【0015】

本発明の第1の観点によれば、単結晶炭化ケイ素基板と多結晶炭化ケイ素基板との間にスペースを介在させて、前記単結晶炭化ケイ素基板に対し前記多結晶炭化ケイ素基板を近接させて密閉容器内に収納配置して、前記密閉容器内を 10^{-2} Pa以下の真空として、 1600 以上 2100 以下の等温環境で熱処理し、前記多結晶炭化ケイ素基板からSiC分子を昇華させて前記単結晶炭化ケイ素基板の表面に気相エピタキシャル成長させることで単結晶炭化ケイ素薄膜を形成し、これにより前記単結晶炭化ケイ素基板表面のマイクロパイプ欠陥を修復する、単結晶炭化ケイ素基板の処理方法が提供される。

【0016】

これにより、前記単結晶炭化ケイ素基板表面のマイクロパイプ欠陥を単結晶炭化ケイ素薄膜によって短時間に修復することが可能になり、高レベルで平坦な表面を有する単結晶炭化ケイ素基板を提供できる。

【0017】

本発明の第2の観点によれば、単結晶炭化ケイ素基板と、半導体を形成可能な不純物原子をイオンドーピングした多結晶炭化ケイ素基板との間にスペースを介在させることで、前記単結晶炭化ケイ素基板に対し前記多結晶炭化ケイ素基板のイオン注入面を近接させて密閉容器内に収納配置して、前記密閉容器内を 10^{-2} Pa以下の真空として、 1600 以上 2100 以下の等温環境で熱処理し、前記多結晶炭化ケイ素基板からSiC分子及び前記不純物原子イオンを昇華させて前記単結晶炭化ケイ素基板の表面に気相エピタキシャル成長させることで単結晶炭化ケイ素半導体薄膜を形成し、これにより前記単結晶炭化ケイ素基板表面のマイクロパイプ欠陥を修復する、単結晶炭化ケイ素基板の処理方法が提供される。

【0018】

これにより、前記単結晶炭化ケイ素基板表面のマイクロパイプ欠陥を修復しつつ、単結晶炭化ケイ素半導体薄膜を短時間で成長形成させることができる。従って、マイクロパイプ欠陥の殆ど無い単結晶炭化ケイ素半導体を提供することができる。また、不純物原子イオンの気相エピタキシャル成長の際にドーパントが電氣的に活性化された状態とすることができるから、ポストアニール工程を省略できる余地があり、工程の簡素化に寄与できる。

【0019】

前記の単結晶炭化ケイ素基板の処理方法においては、前記の熱処理は、前記多結晶炭化ケイ素基板に対し前記単結晶炭化ケイ素基板を、0.6mm以内の距離で近接させるようにして前記密閉容器内に収納配置して行われることが好ましい。

【0020】

これにより、単結晶炭化ケイ素基板表面のマイクロパイプ欠陥を効果的に修復できる薄膜を短時間で成長させることができる。また、単結晶炭化ケイ素薄膜に半導体を形成する場合、単結晶炭化ケイ素半導体薄膜をそのまま用いる場合、の何れであっても、無欠点に近い単結晶炭化ケイ素半導体を形成でき、より高品質の単結晶炭化ケイ素半導体素子を提供できる。

【 0 0 2 3 】

前記の単結晶炭化ケイ素基板の処理方法においては、前記の熱処理は、前記単結晶炭化ケイ素基板と前記多結晶炭化ケイ素基板からなる一対の組を、厚み方向に複数組積層した状態で前記密閉容器内に配置されて等温環境で行われることが好ましい。

【 0 0 2 4 】

これにより、一度に多数の単結晶炭化ケイ素基板を処理することができるので、処理効率を顕著に向上でき、高スループット化への貢献を大とできる。

【 0 0 2 5 】

前記の単結晶炭化ケイ素基板の処理方法においては、前記単結晶炭化ケイ素基板と前記多結晶炭化ケイ素基板からなる組の積層方向の少なくとも一方の端部には、別の多結晶炭化ケイ素基板を付加的に積層させることで、前記密閉容器内の S i C 分圧または S i 分圧を所定の値に制御することが好ましい。

【 0 0 2 6 】

これにより、熱処理時に密閉容器内の S i C や S i 分圧を所定の値に容易に制御することができる。

【 0 0 2 7 】

前記の単結晶炭化ケイ素基板の処理方法においては、半導体を形成可能な不純物原子を前記多結晶炭化ケイ素基板の前記単結晶炭化ケイ素基板に対向しない面にイオンドーピングすることで、前記密閉容器内のドーパントイオンの分圧を所定の値に制御することが好ましい。

【 0 0 2 8 】

これにより、熱処理時に密閉容器内のドーパントの分圧を、ダミーのイオンドープ層によって所定の値に容易に制御することができる。

【 0 0 2 9 】

前記の単結晶炭化ケイ素基板の処理方法において単結晶炭化ケイ素半導体薄膜を気相エピタキシャル成長させる場合、不純物原子としては、アルミニウム、ボロン、又はリンを挙げることができる。

【 0 0 3 0 】

前記の単結晶炭化ケイ素基板の処理方法においては、前記の熱処理は、前記単結晶炭化ケイ素基板と前記多結晶炭化ケイ素基板を密閉容器に収容配置して、予備加熱室と前室と本加熱室とを有する加熱炉において、前記単結晶炭化ケイ素基板と前記多結晶炭化ケイ素基板を前記予備加熱室で、真空下又は希薄ガス雰囲気下で 8 0 0 以上の温度に予熱した後、前記前室へ移動し、予め 1 , 6 0 0 以上 2 , 1 0 0 以下の温度に昇温してある前記本加熱室へ、真空下又は希薄ガス雰囲気下で前記前室から更に移動させることにより行われることが好ましい。

【 0 0 3 1 】

これにより、気相エピタキシャル成長のための等温環境での熱処理の際に上記の高温 (1 , 6 0 0 ~ 2 , 1 0 0) への急速な加熱が可能になり、マイクロパイプ欠陥の修復のための気相エピタキシャル成長を安定して行うことができる。

【 0 0 3 2 】

本発明の他の観点によれば、前記の処理方法により単結晶炭化ケイ素基板を処理する工程を含む半導体素子製造方法が提供される。

【発明を実施するための最良の形態】

【 0 0 3 3 】

[第 1 実施形態]

10

20

30

40

50

次に、発明の実施の形態を説明する。図1には第1実施形態の単結晶炭化ケイ素(SiC)基板の処理方法の概念図が示されており、以下、これに沿って説明する。

【0034】

まず、図1(a)に示すように、処理対象としての単結晶炭化ケイ素(SiC)結晶基板5に対し、多結晶炭化ケイ素(SiC)結晶基板19を近接させて、図示しない密閉容器内に配置して等温環境で高温熱処理する。

【0035】

具体的には、前記単結晶SiC基板5と多結晶SiC基板19との間には適宜のスペーサ50が介在され、単結晶SiC基板5と多結晶SiC基板19との間には適宜の隙間gが形成されている。このスペーサ50は、例えばタンタルやタンタルカーバイドにより構成されている。

【0036】

ここで、前記単結晶SiC基板5は、後述する気相エピタキシャル成長のベースとなるものであり、例えば、昇華法で作製された単結晶6H-SiCのウエハより所望の大きさに切り出されたものを使用することができる。あるいは、熱処理によって表面改良が行われた単結晶6H若しくは4H-SiC基板を使用することもできる。

【0037】

また、前記多結晶SiC基板19は、例えば、CVD法で作製されたSi半導体製造工程でダミーウエハとして使用されるSiCから所望の大きさに切り出されたものを使用することができる。また、この多結晶SiC基板は、平均粒子径が1μm以上10μm以下で、粒子径が揃っているものが好ましい。また、その多結晶SiC基板19の結晶構造としては、3C-SiC、4H-SiC、6H-SiCのいずれも使用することができる。

【0038】

そして、単結晶SiC基板5の表面は、鏡面に研磨加工するとともに、その表面に付着した油類、酸化膜、金属等を洗浄等によって除去しておく。多結晶SiC基板19の単結晶SiC基板5側を向く面についても同様である。

【0039】

上記の等温環境での高温熱処理を行うことで、図1(b)に示すように、多結晶SiC基板19からSiC分子が昇華し、この昇華したSiC分子が前記単結晶炭化ケイ素基板5の表面に気相エピタキシャル成長し、単結晶SiC薄膜31を形成する。その後、スペーサ50及び多結晶SiC基板19を取り去り、図1(c)に示すように処理後の単結晶SiC基板5を得る。

【0040】

なお、図1(a)に示すように、処理前の単結晶SiC基板5には多数のマイクロパイプ60が含まれており、このマイクロパイプ60が前記単結晶SiC基板5の表面に開口している。しかしながら、図1(b)に示す昇華SiC分子による気相エピタキシャル成長により、上記マイクロパイプ60の開口を埋めるようにしながら、単結晶SiC基板5の表面に単結晶SiC薄膜31が形成される。即ち、単結晶SiC基板5の基板表面のマイクロパイプ欠陥が単結晶SiC薄膜31により修復されることになる。

【0041】

なお、図1(a)に示す単結晶SiC基板5と多結晶SiC基板19との間隔gは、0.6mm以下、更に好ましくは0.3mm以下の距離をおいて近接させることが好ましい。

【0042】

このような小さな距離での近接を本明細書では「超近接」と称することとするが、上記のように超近接昇華成長方法とも言うべき方法によれば、単結晶SiC基板5表面のマイクロパイプを効果的に修復できる薄膜31を短時間で成長させることができ、無欠点に近い単結晶SiC基板5の表面が得られる。そして、この表面に不純物原子を適宜ドーピングすれば単結晶炭化ケイ素半導体を形成でき、元の表面を無欠点とできる分、SiC高耐

10

20

30

40

50

圧半導体が従来よりも高い歩留まりとスループットで生産できることになる。

【0043】

なお、単結晶SiC基板5の表面に上記の気相エピタキシャル成長をさせるための高温熱処理は、等温環境で1,600以上2,100以下(好ましくは1,700以上1,900以下)の温度に加熱することで行われることが好ましい。これにより、単結晶SiC基板5表面のマイクロパイプ60による開口を効果的に修復できる薄膜31が、短時間(例えば数分)で成長できるので、高品質のSiC半導体を製造するのに好適な表面を有する単結晶SiC基板5を高いスループットで提供できる。

【0044】

[第2実施形態]

次に、第2実施形態を、図2の概念図を参照して説明する。

【0045】

図2の(a)~(d)には第2実施形態の処理方法の概念図が示され、まず図2(a)に示すように、多結晶SiC基板19に不純物原子(ここでは、アルミニウム(Al)またはボロン(B))をイオンドーピングし、イオンドープ層20を予め形成しておく。そして図2(b)に示すように、前記単結晶SiC基板5に対し多結晶SiC基板19を、そのイオンドープ層20側の面(イオン注入面)が単結晶SiC基板5の表面に対し適宜の隙間gをおいて近接するようにスペーサ50を介在させながら配置し、この状態で、図示しない密閉容器内に収納して等温環境で高温熱処理する。

【0046】

なお、前記単結晶SiC基板5や前記多結晶SiC基板19としては第1実施形態と同様のものを使用することができるので、ここでは詳細な説明は省略する。

【0047】

上記の等温環境での高温熱処理を行うことで、図2(c)に示すように、多結晶SiC基板19のイオンドープ層20からSiC分子及び不純物原子イオンが昇華し、この昇華したSiC分子及び不純物原子イオンが前記単結晶SiC基板5の表面に気相エピタキシャル成長し、単結晶SiC半導体薄膜32を形成する。その後、スペーサ50及び多結晶SiC基板19を取り去り、図2(d)に示すように処理後の単結晶SiC基板5を得る。

【0048】

なお、前記第1実施形態と同様、図2(b)に示す処理前の単結晶SiC基板5には多数のマイクロパイプ60が含まれており、このマイクロパイプ60が前記単結晶SiC基板5の表面に開口している。しかしながら、図2(c)に示す昇華SiC分子及び昇華不純物原子イオンによる気相エピタキシャル成長により、上記マイクロパイプ60の開口を埋めるようにしながら、単結晶SiC基板5の表面に単結晶SiC半導体薄膜32が形成される。即ち、単結晶SiC基板5の基板表面のマイクロパイプ欠陥が単結晶SiC半導体薄膜32により修復されることになる。

【0049】

また、この第2実施形態でも前記の第1実施形態と同様に、図2(b)に示す単結晶SiC基板5と多結晶SiC基板19のイオン注入面との間隔gは、0.6mm以下、更に好ましくは0.3mm以下の距離をおいて近接させることが好ましい。

【0050】

以上に示すような超近接での熱処理方法(いわば、超近接昇華成長方法)を採ることにより、単結晶SiC基板5表面のマイクロパイプ60の開口を効果的に修復できる半導体薄膜32を短時間で成長させることができ、しかも、無欠点に近い半導体薄膜32が、不純物原子をイオン注入した多結晶SiC基板19をソースとした気相エピタキシャル成長により得られる。これは、SiC高耐压半導体が従来よりも高い歩留まりとスループットで生産できることを意味する。

【0051】

10

20

30

40

50

また、例えば後述のように熱処理時の温度条件を適宜定めることにより、図2(c)の気相エピタキシャル成長の際に、ドーパントが電気的に十分に活性化された状態とすることができる。従って、事後の特別なポストアニール工程を不要とでき、工程の簡素化に寄与できる。

【0052】

また、前記の熱処理は、等温環境で1,600以上2,100以下(好ましくは1,700以上1,900以下)の温度に加熱することで行われることが、形成される半導体の品質及びスループットの観点から好ましいことは、前記第1実施形態と同様である。

【0053】

また、多結晶SiC基板19に事前にドーピングする不純物原子としては、上記ではアルミニウム又はボロンとしたが、その他には例えばリンを典型的なものとして挙げる事ができ、その他にも種々のドーパントが考えられる。

【0054】

[第3実施形態]

次に、第3実施形態の処理方法について説明する。まず、本実施形態の基板処理方法に好適な熱処理装置としての加熱炉の一例を、図3の模式断面図を参照して説明する。

【0055】

図3において、加熱炉1は、本加熱室2と、予備加熱室3と、この予備加熱室3から前記本加熱室2に続く部分にある前室4とを主要部分として構成されている。この構成で、前記単結晶SiC基板5等が収納された密閉容器(熱処理容器)16が予備加熱室3から前室4、本加熱室2へと順次移動することで、単結晶SiC基板5を短時間で所定の温度(1,600~2,100、好ましくは1,700~1,900、例えば約1,800)で加熱できるようになっている。

【0056】

この加熱炉1では、図3に示すように、本加熱室2と前室4との接続部分、及び、前室4と予備加熱室3との接続部分が、それぞれ連通部を有して仕切られている。このため、上記の各室2・3・4は予め所定の圧力下に制御することが可能である。また必要な場合には、各室毎にゲートバルブ7を設けることによって、各室2・3・4毎に圧力調整を行うようにすることもできる。これによって、単結晶SiC基板5等を収納した密閉容器16の移動時において、外気に触れることなく、所定圧力下の炉内を適宜の移動手段(図略)によって移動させることができ、不純物の混入を抑制することができる。

【0057】

予備加熱室3には、加熱手段としてのハロゲンランプ6が設けられており、この構成により、約 10^{-2} Pa以下の減圧下で所定の範囲の温度(例えば、約800~1,000の範囲内)に急速に加熱することができる。また前述したように、予備加熱室3と前室4との接続部分にはゲートバルブ7が設けられて、予備加熱室3及び前室4の圧力制御を容易なものにしている。

【0058】

単結晶SiC基板5等が収納された密閉容器16は、この予備加熱室3で、テーブル8に載置された状態で約800以上に予め加熱される。その後、予備加熱室3と前室4との圧力調整が行われ、調整完了後、前室4に設けられている昇降式のサセプタ9に載置されるように移動する。

【0059】

前室4に移動した密閉容器16は、一部図示している昇降式の移動手段10によって、サセプタ9とともに前室4から本加熱室2へ移動する。本加熱室2は、図示しない真空ポンプによって予め約 10^{-2} Paの減圧下に調整され、また、加熱ヒータ11によって所望の温度(例えば、1,800)となるように温度調節されている。なお、前記本加熱室2の圧力環境は、例えば約 10^{-2} Pa以下の真空、好ましくは約 10^{-5} Pa以下の真空の環境とするのが好ましい。又は、例えば約 10^{-2} Pa以下の真空、好ましくは約 10^{-5} P

10

20

30

40

50

a以下の真空にした後に、若干の不活性ガスが導入された希薄ガス雰囲気下であることが好ましい。

【0060】

上記本加熱室2の状態をこのように設定しておき、密閉容器16を前室4から本加熱室2内へ前記移動手段10によって高速で移動させることによって、密閉容器16を前記の所望の温度(気相エピタキシャル成長温度)に急速に短時間で加熱することができる。

【0061】

本加熱室2内には、加熱ヒータ11の周囲に反射鏡12が設置されており、加熱ヒータ11からの熱を反射して、加熱ヒータ11の内部に位置する単結晶SiC基板5側に熱が集中するようにしている。この反射鏡12は、金メッキしたW、Ta、Mo等の高融点金属や、WC、TaC、MoC等の高耐熱炭化物で形成されていることが好ましい。また、本加熱室2には窓17が設けられており、本加熱室2の外部に設置された赤外線放射温度計18によって本加熱室2の内部温度を計測できるようになっている。

【0062】

また、移動手段10と本加熱室2との嵌合部25は、移動手段10に設けられている凸状の段付き部21と、本加熱室2に形成されている凹状の段付き部22とで構成されている。また、本加熱室2の密閉のために、移動手段10の段付き部21の各段部には図略のシール部材(例えば、リング)が設けられている。

【0063】

本加熱室2内の加熱ヒータ11の内側には、汚染物除去機構29が設けられている。この汚染物除去機構29は、単結晶SiC基板5等から熱処理中に排出される不純物を、加熱ヒータ11と接触しないように除去する。これによって、加熱ヒータ11が単結晶SiC基板5等から排出される不純物と反応し劣化することを防止できる。なお、この汚染物除去機構29は、単結晶SiC基板5等から排出する不純物を吸着するものであれば、特に限定されるものではない。

【0064】

加熱ヒータ11は、W又はTa等の金属製の抵抗加熱ヒータであり、前記サセプタ9側に設置されたベースヒータ11aと、本加熱室2側に設けられた上部ヒータ11bとで構成されている。前記移動手段10によって密閉容器16がベースヒータ11aとともに本加熱室2側へ上昇移動すると、密閉容器16が加熱ヒータ11によって取り囲まれる形となる。このような加熱ヒータ11のレイアウトにより、前述の反射鏡12ともあいまって、加熱領域の温度分布を高精度で均一に制御できるようになっている。この結果、密閉容器16を均一に加熱でき、熱処理時におけるドーパント活性化のパラツキやムラを低減できる。なお、本加熱室2の加熱方式としては、抵抗加熱ヒータに限定せず、例えば高周波誘導加熱式のものを採用することができる。

【0065】

次に、図4を参照しつつ、図1(b)又は図2(c)の熱処理に用いられる前記密閉容器16及びその内部に配置される基板等について説明する。図4は密閉容器の上容器と下容器とを取り外した状態の斜視図である。図5は、熱処理前の密閉容器の様子を示す模式断面図である。

【0066】

前述の密閉容器16は、図4や図5に示すような上容器16aと下容器16bとを嵌め合わせることにより構成されている。密閉容器16の形状は図4に示すようにほぼ六面体状とされているが、これは一例であって、例えば円筒状に構成されていても良い。密閉容器16の素材としては適宜のものを採用できるが、例えば、タンタル又はタンタルカーバイドで形成されていることが好ましい。

【0067】

また、上容器16aと下容器16bとを図5に示すように嵌め合わせたときの嵌合部分の遊びは、約2mm以下であることが好ましい。これによって、略密閉状態が実現され、密閉容器16の内圧を保ち、密閉容器16内への不純物の混入を抑制することができる。

10

20

30

40

50

また、前記本加熱室 2 での熱処理時に密閉容器 16 内の SiC 分圧あるいは Si 分圧を高め、密閉容器 16 に収納される前記多結晶 SiC 基板 19 等からの昇華を有効に利用できる。逆に言えば、上記の嵌合部の遊びが約 2 mm より大きい場合には、密閉容器 16 内の SiC 分圧あるいは Si 分圧等を所定圧に制御することが困難になり、また、不純物がこの嵌合部を介して密閉容器 16 内に侵入するおそれが大きくなるため、好ましくない。

【0068】

そして、この密閉容器 16 の内部では図 5 (a) あるいは図 5 (b) に示すような、単結晶 SiC 基板 5 と多結晶 SiC 基板 19 の積層構造が収納されている。図 5 (a) の積層例は、前記第 1 実施形態 (図 1) で説明したような単結晶 SiC エピタキシャル成長を行うためのものであり、図 5 (b) の積層例は、前記第 2 実施形態 (図 2) で説明したよ

10

【0069】

具体的には、図 5 (a) の積層例では、単結晶 SiC 基板 5 と多結晶 SiC 基板 19 とを適宜のスペーサ 50 を介在させて近接させたものを一組とし、これを基板 5・19 の厚み方向に複数組 (図 5 (a) では、4 組) 積層させたものを、密閉容器 16 内に収納している。このスペーサ 50 は前述の第 1 実施形態等と同様に、タンタルやタンタルカーバイドにより構成されている。

【0070】

図 5 (b) の積層例でも図 5 (a) と同様に、単結晶 SiC 基板 5 と多結晶 SiC 基板 19 (イオンドープ層 20 を形成したもの) とを適宜のスペーサ 50 を介在させて近接させたものを一組とし、これを基板 5・19 の厚み方向に複数組 (図 5 (b) では、4 組) 積層させたものを、密閉容器 16 内に収納している。

20

【0071】

以上に説明した図 5 (a) や図 5 (b) のような積層構造を密閉容器 16 内に配置することで、1 度に複数枚の単結晶 SiC 基板 5 を処理することができ、極めて高いスループットを実現できる。

【0072】

以上に説明した図 5 (a) 及び図 5 (b) の積層例において、各組における基板 5・19 の間の隙間 g の大きさは、0.6 mm 以下とするのが好ましい。なお、必要に応じて、最上層の多結晶 SiC 基板 19 の上に重石を載置することとしても良い。

30

【0073】

なお、図示しないが、図 5 (a) や図 5 (b) の積層構造の積層方向の少なくとも一端に、処理対象としての単結晶 SiC 基板 5 と組をなさない多結晶 SiC 基板を付加的に積層させても良い。この場合、密閉容器 16 内の SiC や Si の分圧を容易に所定の値に制御することができる。

【0074】

また、これも図示しないが、図 5 (b) の積層構造においては、その積層方向の少なくとも一端に位置する多結晶 SiC 基板 19 に、ボロンやリンを単結晶 SiC 基板 5 に対向しない面にドーピングすることも可能である。具体例を挙げれば、図 5 (b) の最上層に位置する多結晶 SiC 基板 19 に、単結晶 SiC 基板 5 に対向する下面側のみならず上面側にもイオンドープ層を形成するようにする。このダミーのイオンドープ層によって、気相エピタキシャル成長時のドーパントイオンの分圧を容易に所定の値に制御することができる。また、このダミーのイオンドープ層は、上記のように付加的に積層させた多結晶 SiC 基板を有する場合は、その付加された多結晶 SiC 基板の一側又は両側の面に形成することが考えられる。

40

【0075】

そして、以上に説明した積層構造を収容した密閉容器 16 が、図 3 の加熱炉 1 の予備加熱室 3 内に設置された後、上述のように 10^{-2} Pa 以下の真空、好ましくは 10^{-5} Pa 以下の真空で 800 以上 (好ましくは 1,000 以上) に加熱される。このとき、本加

50

熱室 2 内も同様に、 10^{-2} Pa 以下の真空、好ましくは 10^{-5} Pa 以下の真空に設定された後、1,800 に予め加熱しておく。

【0076】

上記の予備加熱工程の後、ゲートバルブ 7 が開かれるとともに、密閉容器 16 は前室 4 のサセプタ 9 上へ移動した後、移動手段 10 によって、1,800 に加熱されている本加熱室 2 内へ上昇移動される。これによって、密閉容器 16 は、30 分以内の短時間で急速に 1,800 に加熱され、気相エピタキシャル成長が行われる。

【0077】

なお、上記の熱処理は、できるだけ短時間に 1,800 に昇温することが好ましい。気相エピタキシャル成長を短時間で終了でき、表面の処理あるいは半導体素子製造の効率化を図ることができるからである。また同様の理由から、1,800 まで昇温した後にその温度を保持しておく時間（気相エピタキシャル成長時間）は、30 分以内、好ましくは 10 分以内、更に好ましくは 2 分以内とする。本実施形態の加熱炉 1 は、予備加熱室 3 での予熱後に、予め 1,800 程度まで昇温してある本加熱室 2 に移動させる加熱形態を採ることで、上記の短時間での加熱処理が可能になっており、工程のスループットに優れ、コストを低減することができる。

【0078】

[確認実験]

次に、本実施形態の超近接昇華法気相エピタキシャル成長方法の有用性を調べるために本願の発明者が行った確認実験を以下に説明する。

【0079】

まず、単結晶 SiC 基板 5 の表面に対し多結晶 SiC 基板 19 を、0.25 mm の大きさの隙間 g を形成しつつ覆うように積層させ、1,800 で 2 分間熱処理して気相エピタキシャル成長させた後の単結晶 SiC 基板 5 の表面を、X 線透過型顕微鏡と光学式反射型顕微鏡で観察した。すると図 6 に示すように、処理後の単結晶 SiC 基板 5 は、X 線透過（図 6 (a)）ではマイクロパイプ欠陥が確認できる一方、反射光観察（図 6 (b)）ではその対応する位置にマイクロパイプ欠陥の開口を確認できなかった。これは、気相エピタキシャル成長が行われることによって、開いていた状態のマイクロパイプ欠陥の表面が閉塞して基板表面のマイクロパイプ欠陥が修復された事実を裏付けるものである。

【0080】

次に、図 7 に示すように、気相エピタキシャル成長温度を 1,400、1,600、1,800、1,900 の 4 段階に変化させながら高温熱処理を行い、処理後の基板表面のマイクロパイプ欠陥の密度を計測した。すると、1,400 の気相エピタキシャル成長温度ではマイクロパイプ欠陥の密度は 100 個/cm² 程度であったが、1,600、1,800 と気相エピタキシャル成長温度が上昇するに従ってマイクロパイプ欠陥の密度が減少し、1,800 及び 1,900 の気相エピタキシャル成長温度ではマイクロパイプ欠陥密度が数個/cm² 程度以下となった。一方、図 7 の上記比較例で単結晶 SiC 基板 5 と多結晶 SiC 基板 19 との間隔を 10 mm 以上に十分に大きくして近接昇華効果を与えない場合では、1,400、1,800、1,900 の何れの気相エピタキシャル成長温度でも、マイクロパイプ欠陥の密度の改善は全くみられなかった。

【0081】

図 8 には、単結晶 SiC 基板 5 と多結晶 SiC 基板 19 との隙間 g の大きさ（具体的に言えば、スペーサ 50 の厚み）を様々に変えながら気相エピタキシャル成長を行い、気相エピタキシャル成長前後の基板表面の表面粗さを調べた拡大写真を示す。なお、気相エピタキシャル成長条件は 1,800、4 分間とした。

【0082】

また、単結晶 SiC 基板 5 と多結晶 SiC 基板 19 とを密接させた状態（g = 0）から増大させて気相エピタキシャル成長させて表面粗さを観察した。なお、気相エピタキシャル成長条件は 1,800、4 分間とした。この結果が図 9 のグラフに示され、密接させ

10

20

30

40

50

た状態での表面粗さは数 nm 程度であり、隙間 g が 0.1 mm 以上 0.3 mm 以下の範囲で表面粗さは 0.1 nm 程度と、極めて良好な結果を示している。その後は、隙間 g が大きくなるにつれて表面粗さは徐々に増大した。

【0083】

また、隙間 g の大きさが 0.6 mm 以上に大きくなると、グラフに示すように表面の粗さが増大するだけでなく、直径サイズが nm オーダーのピンホールが無数に発生することが観察された。また、図9の比較例のように単結晶 SiC 基板5と多結晶 SiC 基板19との距離を 10 mm 以上に大きく離すと、表面粗さが数 10 nm オーダーに悪化することが判った。

【0084】

これは、隙間 g が大きすぎると、気相エピタキシャル成長の速さより単結晶 SiC 基板5表面からの Si 及び SiC の昇華の速度のバランスが崩れて局部的な昇華が開始され、これがピンホールの原因になっていると考えられる。また、図9の比較例のように隙間 g が大きすぎる場合、単結晶 SiC 基板5表面からの Si 及び SiC の蒸発昇華が支配的となって、表面粗さの大幅な悪化の原因になっていると考えられる。

【0085】

この図9の結果から、上記の隙間(間隔) g の大きさは 0.6 mm 以内であることが好ましく、0.1 mm 以上 0.3 mm 以下であることが極めて好ましいとの知見が得られた。

【0086】

次に、前述した第2実施形態(図2)の方法による半導体薄膜32の形成に関し、気相エピタキシャル成長させる温度と当該半導体薄膜32のイオンドープ活性化率の関係を調べ、グラフとして図10に示した。なお、熱処理時間は30分間及び2分間の2種類とし、単結晶 SiC 基板5と多結晶 SiC 基板19との間隔は 0.25 mm とした。

【0087】

この図10に示すように、気相エピタキシャル成長させる温度が 1,500 の場合は、2分間の高温熱処理では活性化率は殆どゼロであり、高温熱処理を30分間行った場合でも30%程度である。一方、高い気相エピタキシャル成長温度(高温熱処理)では活性化率が大きく上昇する傾向がみられ、上記実施形態で示した 1,800 での高温熱処理では、30分間、2分間の何れの処理時間でも、ほぼ100%の活性化率が得られることが判った。1,900 での高温熱処理でも同様に、ほぼ100%の活性化率が得られた。

【0088】

なお、上記実験のサンプルとして用いられる多結晶 SiC 基板19は、結晶構造を 4H-SiC とし、アルミニウムを 10^{18} だけイオン注入し、約 0.7 μm の厚みのイオンドープ層とした。単結晶 SiC 基板は 4H 型 SiC の (0001) 面に対して 8° オフセットさせた面を露出させ、その表面に CVD 法によって SiC エピタキシャル膜を 10 μm 程度の厚さだけ成長させたものを使用した。

【0089】

以上に本発明の単結晶 SiC 基板の処理方法の好適な実施形態を説明したが、上記の実施形態は更に以下のように変更して実施することができる。

【0090】

(1) 前記の単結晶 SiC 基板5と多結晶 SiC 基板19とを積層させる組の数は、図5では4組としたが、1組~3組でも良いし、5組以上であっても良い。ただし、高スループットを実現する観点からは、均熱性が許す限り、できるだけ多数組を積層して1度に処理することが好ましい。

【0091】

(2) スペース50はタンタル等から形成される基板5・19とは別体の薄板状の部材としたが、これに代えて、単結晶 SiC 基板5や多結晶 SiC 基板19に機械加工等で一体的に設けた凸部としても良い。なお、上記の凸部スペースとする場合、多結晶 SiC 基板19は単結晶 SiC 基板5よりも機械加工が容易であるので、多結晶 SiC 基板19に凸

10

20

30

40

50

部を設けることが好ましい。

【0092】

(3) 更に、多結晶SiC基板19に対しイオン注入されるドーパント(不純物)としては、例示したアルミニウム、ボロン、リンのほか、他の不純物も用いることが可能である。

【図面の簡単な説明】

【0093】

【図1】本発明の第1の実施形態に係る超近接昇華成長法により単結晶炭化ケイ素基板表面にほぼ無欠点の単結晶炭化ケイ素薄膜を気相エピタキシャル成長させてマイクロパイプを修復する工程概念図。

10

【図2】本発明の第2の実施形態に係る超近接昇華成長法により単結晶炭化ケイ素基板表面に単結晶炭化ケイ素半導体膜を気相エピタキシャル成長させてマイクロパイプの存在しない単結晶炭化ケイ素半導体を製造する工程概念図。

【図3】超近接昇華成長法により気相エピタキシャル成長の熱処理に用いられる加熱炉の模式断面図。

【図4】気相エピタキシャル成長の熱処理のための単結晶SiC基板等を収納する密閉容器を示す分解斜視図。

【図5】密閉容器の内部の様子を示す断面図で、(a)は単結晶炭化ケイ素基板表面に無欠点の単結晶炭化ケイ素膜を気相エピタキシャル成長させてマイクロパイプを修復する高温熱処理する形態の概念図。(b)は単結晶炭化ケイ素基板表面に単結晶炭化ケイ素半導体膜を気相エピタキシャル成長させてマイクロパイプの存在しない単結晶炭化ケイ素半導体を製造する高温熱処理する形態の概念図。

20

【図6】気相エピタキシャル成長で修復された単結晶SiC基板のマイクロパイプ欠陥の修復状況を(a)透過X線写真と(b)反射光学写真で拡大観察した図。

【図7】気相エピタキシャル成長温度と単結晶SiC基板表面のマイクロパイプ欠陥密度との関係を示すグラフ図。

【図8】本実施形態における(a)気相エピタキシャル成長前、及び(b)気相エピタキシャル成長後の単結晶SiC基板表面の顕微鏡拡大写真。

【図9】気相エピタキシャル成長時の多結晶SiC基板と単結晶SiC基板との間の距離と、単結晶SiC基板の表面に成長した気相エピタキシャル成長膜の表面粗さとの関係の概念を示すグラフ図。

30

【図10】単結晶炭化ケイ素半導体膜を気相エピタキシャル成長させる時の温度と半導体イオンドープ活性化率の関係を示すグラフ図。

【符号の説明】

【0094】

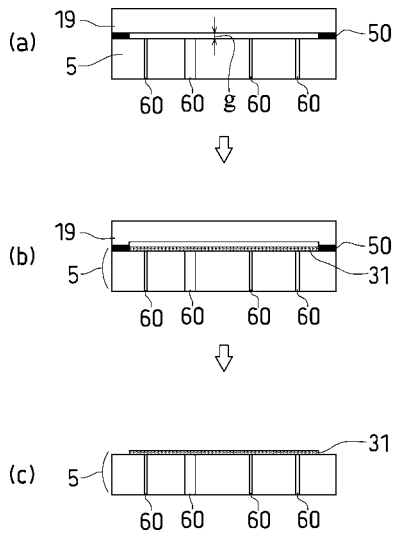
- 1 加熱炉
- 2 本加熱室
- 3 予備加熱室
- 4 前室
- 5 単結晶SiC基板
- 6 ハロゲンランプ
- 7 ゲートバルブ
- 8 テーブル
- 9 サセプタ
- 10 移動手段
- 11 加熱ヒータ
- 12 反射鏡
- 16 密閉容器
- 17 窓
- 18 赤外線放射温度計

40

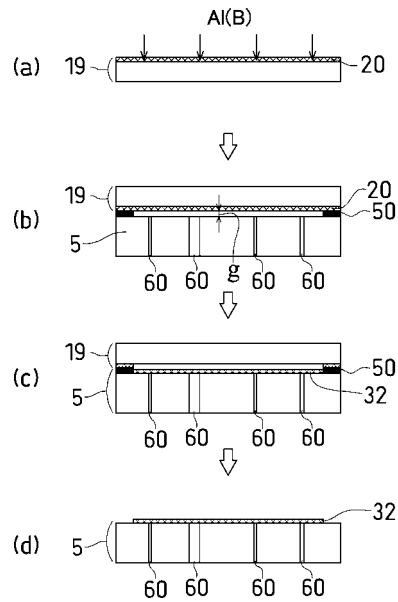
50

- 19 多結晶SiC基板
- 20 不純物イオン注入多結晶SiC層
- 21・22 段付き部
- 25 嵌合部
- 29 汚染物除去機構
- 31 単結晶SiCエピタキシャル成長膜
- 32 単結晶SiC半導体エピタキシャル成長膜
- 50 スペース
- 60 単結晶SiC基板のマイクロパイプ欠陥

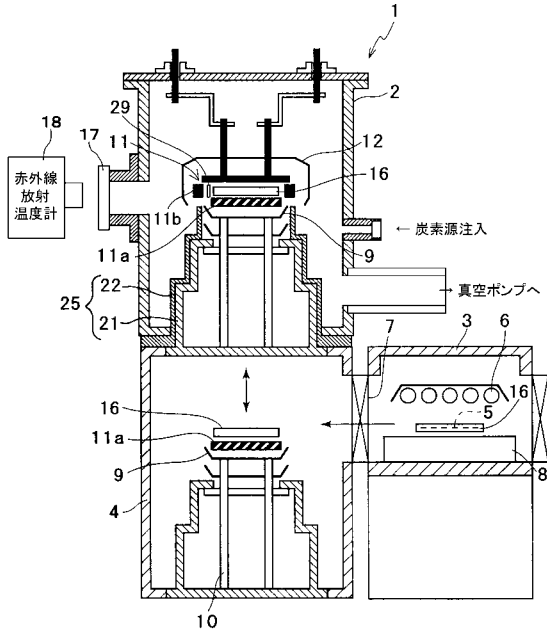
【図1】



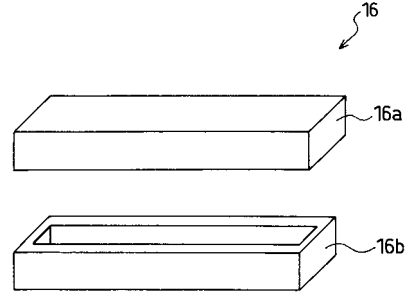
【図2】



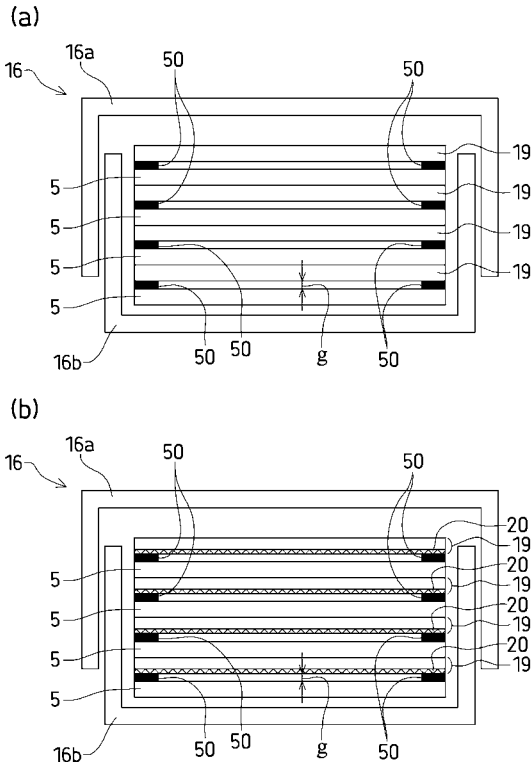
【図3】



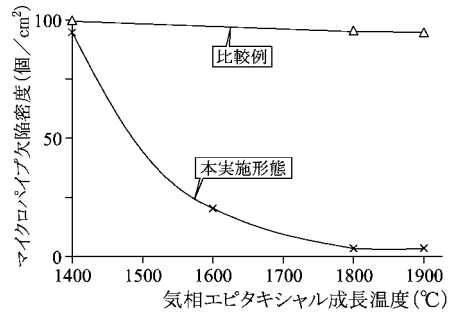
【図4】



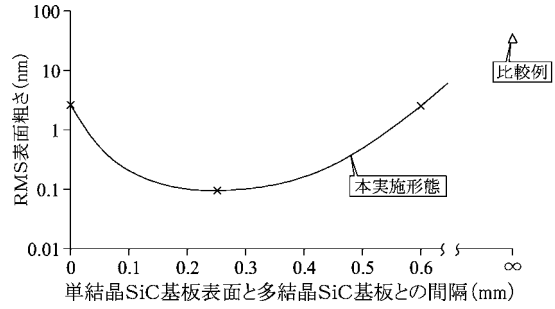
【図5】

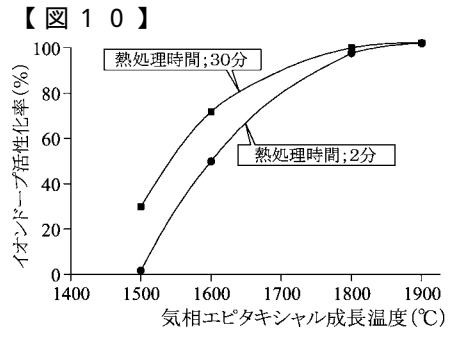


【図7】

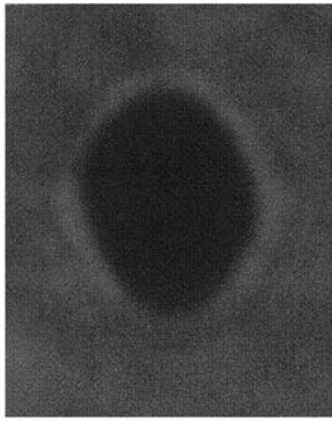


【図9】

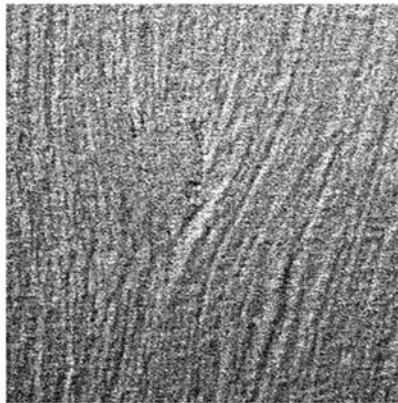




【 図 6 】

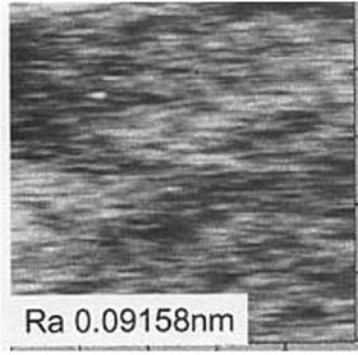


(a) 20 μ m

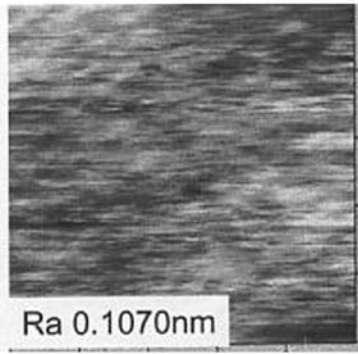


(b) 20 μ m

【 図 8 】



(a) $2\mu\text{m}$



(b) $2\mu\text{m}$

フロントページの続き

(56)参考文献 特開2001-158696(JP,A)
特開2000-044393(JP,A)
特開2002-029895(JP,A)
特開2004-292305(JP,A)
特開平11-315000(JP,A)
特開2000-072598(JP,A)
特開2002-179498(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/203
C23C 14/00 - 14/58
C30B 29/36