

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-221702

(P2006-221702A)

(43) 公開日 平成18年8月24日(2006.8.24)

(51) Int. Cl.

G11C 27/02 (2006.01)

F I

G11C 27/02 601T

テーマコード (参考)

審査請求 未請求 請求項の数 2 O L (全 8 頁)

(21) 出願番号 特願2005-32503 (P2005-32503)  
 (22) 出願日 平成17年2月9日(2005.2.9)

(71) 出願人 304021277  
 国立大学法人 名古屋工業大学  
 愛知県名古屋市昭和区御器所町(番地なし)  
 (72) 発明者 寺田 信行  
 名古屋市名東区香坂1105  
 (72) 発明者 加藤 正史  
 名古屋市北区名城3丁目1番名城住宅1棟  
 201  
 (72) 発明者 荒井 英輔  
 名古屋市北区名城3丁目1番名城住宅2棟  
 107

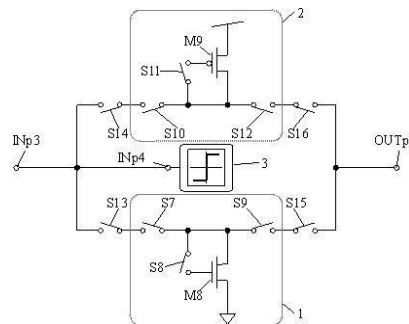
(54) 【発明の名称】 サンプルホールド回路

(57) 【要約】

【目的】 2つの相補的なメモリセルと入力電流の極性を判別する極性判別器を用いることで低消費電力なスイッチトカレントサンプルホールド回路を提供することにある。

【構成】 本発明回路は、スイッチトカレント技術に基づくサンプルホールド回路であるメモリセルであって、nMOSトランジスタとスイッチを持つn型メモリセルとpMOSトランジスタとスイッチを持つp型メモリセルの2つの相補的なメモリセルと入力電流の極性を判別する極性判別器により構成される。この回路は入力電流の極性を極性判別器により判別し、その結果に応じて2つのメモリセルを片方のみを使うことをよりサンプルホールド動作を行う。これにより広い入力電流範囲における低消費電力なサンプルホールド機能を実現している。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項1】

nMOSトランジスタとスイッチを持つn型メモリセルとpMOSトランジスタとスイッチを持つp型メモリセルの2つの相補的なメモリセルを備えた、入力電流の極性に応じて2つのメモリセルを適宜使い分けることを特徴とするサンプルホールド回路。

## 【請求項2】

入力電流の極性によりn型メモリセル、p型メモリセルの片方のみを使用し、その選択のため、入力電流の極性を判別する極性判別器を備えた請求項1の回路。

## 【発明の詳細な説明】

## 【技術分野】

10

## 【0001】

本発明は、サンプルホールド回路の低消費電力化に関する。

## 【背景技術】

## 【0002】

近年、アナログ信号処理回路の分野においてスイッチトカレント回路が注目されている。例えば、非特許文献1～4が開示されている。

【非特許文献1】C.Toumazou et al: " SWITCHED-CURRENTS an analogue technique for digital technology ", Peter Peregrinus Ltd., 1993

【非特許文献2】Jose M. de la Rosa et al: " Systematic Design of CMOS Bandpass Sigma-Delta Modulators for Digital Communication Chips ", Kluwer Academic Pub., 2002

20

【非特許文献3】Nianxiong Tan: " SWITCHED-CURRENT DESIGN AND IMPLEMENTATION OVERSAMPLING A/D CONVERTERS ", Kluwer Academic Pub., 1995

【非特許文献4】Bengt E. Jonsson: " SWITCHED-CURRENT SIGNAL PROCESSING AND A/D CONVERSION CIRCUITS ", Kluwer Academic Pub., 1997

スイッチトカレント回路は線形容量、演算増幅器のいずれも必要としない。そのため、演算増幅器のゲイン帯域幅の影響による速度制限はない。また、線形容量を必要としないことは、ディジタルプロセス技術に最適である。したがって、SI技術は標準ディジタルCMOS技術に基づくアナログ・ディジタル混在集積回路の設計に理想的に適應するため、安価な回路設計の実現可能性も高い。また、信号を電流で表すため、信号振幅が電源電圧により直接制限されることがないため低電源電圧化も容易である。

30

## 【0003】

スイッチトカレント回路の基本構成要素であるメモリセルは入力電流をサンプルホールドする回路であり、基本回路構成を図5に示す。また、図5の回路に用いたスイッチの制御クロックを図6に示す。

図5のメモリセルの動作原理を図6に示す期間A、B、C、D、E、F毎での回路状態を基に説明する。なお、入力電流を $I_{in}$ 、定電流源 $I_0$ により供給されるバイアス電流を $I_{bias}$ とする。まず、期間Aになると、スイッチ $S_2$ が閉じる。このとき、nMOSトランジスタ $M_0$ はダイオード接続されるため、常に飽和領域で動作し、入力電流が流れ込むことが可能となる。次にA-B間でスイッチ $S_1$ が閉じ、入力電流 $I_{in}$ はバイアス電流 $I_{bias}$ に加わりnMOSトランジスタ $M_0$ に流れる。このとき入力電流 $I_{in}$ に対応する電荷がゲート・ソース間寄生容量に蓄積される。そして、期間Cまでがサンプリング期間にあたり、期間Cから期間Dに切り替わるときの入力電流がホールド、つまり保持される。

40

## 【0004】

期間D、E、Fはホールド期間にあたる。期間Dでは、スイッチ $S_2$ が開いているため、この期間からnMOSトランジスタ $M_0$ のゲート・ソース間寄生容量に保持されたゲート・ソース間電圧は変化せず、つまりこのゲート・ソース間電圧に対応する電流 $I_{bias}+I_{in}$ の“記憶”を実現する。そしてD-E間にてスイッチ $S_3$ が閉じ、出力端 $OUTp_1$ には、期間Fの間、キルヒホッフの電流則により $I_{in}$ と等しい振幅の電流が出力される。このようにして、メモリセルは入力電流のサンプルホールドを実現する。

50

## 【 0 0 0 5 】

図5のメモリセルでサンプルホールド動作を実現するためには、nMOSトランジスタM0に流れるドレイン電流が常に正となる必要がある。そのため、最大入力電流振幅と同じ大きさ以上のバイアス電流 $I_{bias}$ を必要とし、消費電力を増加させる一因となっている。しかし、常に大きなバイアス電流 $I_{bias}$ が必要なわけではない。 $I_{in} < 0$ では、nMOSトランジスタM0に流れるドレイン電流は正でなければならないため、この回路は $I_{bias} + I_{in} > 0$ となる範囲でのみ正常に動作する。つまり、入力電流に応じた適切なバイアス電流が必要となる。これに対し、 $I_{in} > 0$ の場合、入力電流によりドレイン電流は常に正となるため、バイアス電流は不要である。

## 【 0 0 0 6 】

上述のバイアス電流が不要となる入力電流振幅範囲に注目することによりメモリセルの低消費電力化を実現している事例がある。例えば、(5)山田暁他：“低消費電力スイッチトカレントサンプルホールド回路”電気学会論文誌 T.IEE Japan, Vol.120-C, No.10, pp.1352-1356, 2000、(6)佐々木慎也 他：“AB級動作スイッチトカレント回路の低消費電力化の提案”電気学会電子回路研究会資料, ECT-02-80, pp.61-66, 2002に開示されている。文献(6)は文献(5)を基に回路構成を見直したものである。

## 【 0 0 0 7 】

上記の文献(5)及び文献(6)では、入力電流の振幅に応じてバイアス電流の値を制御することによりメモリセルの低消費電力化を達成している。文献(6)に開示されているメモリセルを図7に示す。

## 【 0 0 0 8 】

図7のメモリセルは、カレントミラー構造を成すMOSトランジスタ対 M2-M3、M4-M5、M6-M7、スイッチS4、S5、S6、定電流源の役割を成すpMOSトランジスタM1で構成されている。ここでnMOSトランジスタM4は図5のnMOSトランジスタM0と同様の役割を担っている。また、カレントミラーを構成するMOSトランジスタ対 M2-M3、M4-M5、M6-M7のトランスコンダクタンスパラメータはそれぞれ1:a、1:c1、1:1の比を有する。

## 【 0 0 0 9 】

図7のメモリセルの動作は、入力電流 $I_{in}$ の変化によりカレントミラーを成すnMOSトランジスタM4、M5を経て、ドレイン電流 $I_{4b}$ が一定の電流値であるドレイン電流 $I_{3b}$ より小さくなった場合、すなわち $I_{in} < I_{3b}/c1$ であるときと、ドレイン電流 $I_{4b}$ がドレイン電流 $I_{3b}$ と等しくなる場合、すなわち $I_{in} = I_{3b}/c1$ であるときの二領域に分けられる。

## 【 0 0 1 0 】

入力電流 $I_{in}$ が $I_{in} < I_{3b}/c1$ の関係を満たす場合、ドレイン電流 $I_{2b}$ は減少し、カレントミラーを成すnMOSトランジスタM4、M5によりドレイン電流 $I_{4b}$ も減少する。ここでnMOSトランジスタM5、M6のドレイン端は定電流源を成しているpMOSトランジスタM1につながられているため、nMOSトランジスタM6のドレイン電流 $I_{5b}$ が増加する。したがって、カレントミラーによりドレイン電流 $I_{6b}$ は増加し、ドレイン電流 $I_{1b}$ も増加する。これにより、nMOSトランジスタM4のドレイン電流 $I_{2b}$ は入力電流が減少しても常に正となるように保たれ、図5のメモリセルと同様にスイッチS4、S5、S6が切り替わることで入力電流のサンプルホールドが実現される。

## 【 0 0 1 1 】

入力電流 $I_{in}$ が $I_{in} = I_{3b}/c1$ の関係を満たす場合、ドレイン電流 $I_{2b}$ は増加し、カレントミラーによりnMOSトランジスタM5のドレイン電流 $I_{4b}$ も増加する。しかしながら、nMOSトランジスタM5のドレイン電流とnMOSトランジスタM6のドレイン電流の和は、一定の電流値であるドレイン電流 $I_{3b}$ に制限されている。そのため、ドレイン電流 $I_{4b}$ が増加するとドレイン電流 $I_{5b}$ が減少し、最終的には0となる。したがって、カレントミラーによりドレイン電流 $I_{6b}$ 、 $I_{1b}$ も0となる。このとき、この回路はnMOSトランジスタM4に対するバイアス電流が0となるが入力電流 $I_{in}$ によりnMOSトランジスタM4のドレイン電流が常に正となるため、 $I_{in} < I_{3b}/c1$ の場合と同様にスイッチS4、S5、S6が切り替わることで入力電流のサンプルホールドが実現される。

10

20

30

40

50

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0012】

上述した従来のメモリセルの低消費電力化手法では、入力電流 $I_{in}$ が $I_{in} < I_{3b/c1}$ の関係を満たす場合の更なる低消費電力化が困難であるといった問題点があった。

## 【0013】

本発明は上記の問題点を鑑みて、その目的はメモリセルの更なる低消費電力化手法を提供することにある。

## 【課題を解決するための手段】

## 【0014】

上記の問題点を解決するために請求項1記載の発明が講じた手段は、nMOSトランジスタとスイッチを持つn型メモリセルとpMOSトランジスタとスイッチを持つp型メモリセルの2つの相補的なメモリセルを用いることであり、この2つのメモリセルを入力電流の極性により適宜使い分けることを特徴とする。

## 【0015】

加えて、請求項2記載の発明では、入力電流の極性に応じてn型メモリセル、p型メモリセルの片方のみを使用するため、入力電流の極性を判別する極性判別器を備えたことを特徴とする。

## 【発明の効果】

## 【0016】

図3に本発明による図1のメモリセルに対する入出力特性を示す。この図3は、図1のメモリセルを完全差動型の構成とし、極性判別器に文献(3)に開示されている電流1ビット量子化器を用い、電源電圧を1.5V、サンプリング周波数を250kHz、入力信号を-100mA~100mA、2.5kHzの三角波電流と設定した場合に得られる正相と逆相の入出力電流をそれぞれ差分することにより獲得され、入力信号の半周期分を示している。図3より、出力電流は入力電流を正しくサンプルホールドして波形になっており図1の本発明に基づくメモリセルがサンプルホールド回路として正しく機能していることがわかる。

## 【0017】

図4に本発明による図1の回路と文献(6)に開示されたメモリセルの消費電力を示す。図4は、図3と同様に電源電圧を1.5V、サンプリング周波数を250kHz、入力信号を-100mA~100mA、2.5kHzの三角波電流と設定した場合に獲得される消費電力であり、入力信号の半周期分に対応している。ここで消費電力の計算には文献(5)及び文献(6)に示されている方法を用いた。図1の本発明によるメモリセルでは、入力電流の振幅に依存せず広い入力電流範囲で低消費電力化がなされていることがわかる。このとき平均消費電力は文献(6)に開示されているメモリセルの平均消費電力約41mWに対し、本発明に基づく図1のメモリセルの平均消費電力約1.65mWとなり、大幅な低消費電力化を実現している。

## 【0018】

このように本発明による回路はサンプルホールド機能を有し、従来回路より低消費電力であることが確かめられた。

## 【発明を実施するための最良の形態】

## 【0019】

本発明におけるメモリセルの回路図を図1に示す。また、図1の回路に用いたスイッチS7、S8、S9、S10、S11、S12の制御クロックを図2に示す。この回路は、nMOSトランジスタM8とスイッチS7、S8、S9を持つn型メモリセル1とpMOSトランジスタM9とスイッチS10、S11、S12を持つp型メモリセル2、極性判別器3、スイッチS13、S14、S15、S16より構成される。n型メモリセル1及びp型メモリセル2は、上記の従来型のメモリセルと同様にメモリセルの役割を成し、極性判別器3は入力電流の極性情報を判別し、その結果を基にスイッチS13、S14、S15、S16を制御する。

## 【0020】

図1の本発明回路の動作は、入力電流 $I_{in}$ の極性により動作が異なる。以下にそれぞれ

10

20

30

40

50

の場合について、図 2 中に示す期間 A、B、C、D、E、F 毎の回路状態により説明する。

【 0 0 2 1 】

まず、入力電流  $I_{in}$  が  $I_{in} > 0$  の関係を満たす場合について説明する。まず、期間 A においてスイッチ S11 及び S8 が閉じ、メモリセルの役割を成す nMOS トランジスタ M8 及び pMOS トランジスタ M9 はダイオード接続されるため、常に飽和領域で動作し、入力電流が流れ込むことが可能な状態となる。次に A-B 間で入力電流  $I_{in}$  が極性判別器 3 に流れ、極性の判別が行われる。そして、このとき入力電流  $I_{in}$  は  $I_{in} > 0$  であり、この場合スイッチ S13、S15 が閉じる。また、この期間ではスイッチ S7 及び S10 も閉じる。このとき、nMOS トランジスタ M8 及び pMOS トランジスタ M9 は共にサンプリング可能な結線状態となるが、スイッチ S14 は開いているため、入力電流  $I_{in}$  は nMOS トランジスタ M8 のみに流れる。入力電流  $I_{in}$  が  $I_{in} > 0$  であるため、nMOS トランジスタ M8 のドレイン電流は常に正となる。そのため、nMOS トランジスタ M8 のゲート・ソース間寄生容量に入力電流  $I_{in}$  に相当する電荷が蓄積される。なお、極性判別器 3 内部にはスイッチが設けられており、入力電流  $I_{in}$  が極性判別器 3 の入力端  $I_{np4}$  に流れ込むことのできる期間は期間 B のみとしてある。そして、期間 C までがサンプリング期間にあたり、期間 C から期間 D に切り替わるときの入力電流がホールド、つまり保持される。

10

【 0 0 2 2 】

期間 D、E、F はホールド期間である。期間 D では、スイッチ S8 及び S11 が開いているため、この期間から nMOS トランジスタ M8 のゲート・ソース間寄生容量に保持されたゲート・ソース間電圧は変化せず、つまりこのゲート・ソース間電圧に対応する電流  $I_{in}$  の“記憶”を実現する。そして D-E 間にてスイッチ S9 及び S12 が閉じ、出力端子 OUTp3 には、期間 F の間、キルヒホッフの電流則により  $I_{in}$  と等しい振幅の電流が出力される。このようにして、図 1 のメモリセルは入力電流のサンプルホールドを実現する。

20

【 0 0 2 3 】

次に、入力電流  $I_{in}$  が  $I_{in} < 0$  の関係を満たす場合について説明する。まず、期間 A においてスイッチ S11 及び S8 が閉じ、メモリセルの役割を成す nMOS トランジスタ M8 及び pMOS トランジスタ M9 はダイオード接続されるため、常に飽和領域で動作し、入力電流が流れ込むことが可能な状態となる。次に A-B 間で入力電流  $I_{in}$  が極性判別器 3 に流れ、極性の判別が行われる。そして、このとき入力電流  $I_{in}$  は  $I_{in} < 0$  であり、この場合スイッチ S14、S16 が閉じる。また、この期間ではスイッチ S7 及び S10 も閉じる。このとき、nMOS トランジスタ M8 及び pMOS トランジスタ M9 は共にサンプリング可能な結線状態となるが、スイッチ S13 は開いているため、入力電流  $I_{in}$  は、先の  $I_{in} > 0$  の場合とは異なり、pMOS トランジスタ M9 のみに流れる。pMOS トランジスタの物理特性と nMOS トランジスタの物理特性は反対であるため、 $I_{in} < 0$  である場合であっても pMOS トランジスタを使用することにより、入力電流  $I_{in}$  は pMOS トランジスタ M9 に流れ、pMOS トランジスタ M9 のゲート・ソース間寄生容量に入力電流  $I_{in}$  に相当した電荷が蓄積される。なお、 $I_{in} > 0$  の場合と同様、極性判別器は期間 B のみ入力電流が流れる。そして、期間 C までがサンプリング期間にあたり、期間 C から期間 D に切り替わるときの入力電流がホールド、つまり保持される。

30

【 0 0 2 4 】

期間 D、E、F はホールド期間である。期間 D では、スイッチ S8 及び S11 が開いているため、この期間から pMOS トランジスタ M9 のゲート・ソース間寄生容量に保持されたゲート・ソース間電圧は変化せず、つまりこのゲート・ソース間電圧に対応する電流  $I_{in}$  の“記憶”を実現する。そして D-E 間にてスイッチ S9 及び S12 が閉じ、出力端子 OUTp3 には、期間 F の間、キルヒホッフの電流則により  $I_{in}$  と等しい振幅の電流が出力される。このようにして、 $I_{in} > 0$  の場合と同様に図 1 のメモリセルは入力電流のサンプルホールドを実現する。

40

【 0 0 2 5 】

この図 1 に示す本発明に基づくメモリセルは、入力電流の極性情報により 2 つのメモリセルを使い分けるが、上述の動作原理より入力電流のサンプルホールド機能が常に実現されることがわかる。

なお、入力電流の極性を判別する回路である極性判別器は、文献 ( 2 )、文献 ( 3 ) に

50

開示されているようなDS変調器を構成する際に用いられる回路要素である電流1ビット量子化器をそのまま適用することで実現できる。

【図面の簡単な説明】

【0026】

【図1】本発明に基づくメモリセルの回路図

【図2】本発明に基づくメモリセルに用いられるスイッチS7、S8、S9、S10、S11、S12の制御クロック

【図3】本発明に基づくメモリセルの入出力特性

【図4】文献(6)に開示されているメモリセルと消費電力と、本発明に基づくメモリセルの消費電力の比較

10

【図5】基本構成のメモリセルの回路図

【図6】基本構成のメモリセルに用いられるスイッチS1、S2、S3の制御クロック

【図7】文献(6)に開示されているメモリセルの回路図

【符号の説明】

【0027】

1 : n型メモリセル

2 : p型メモリセル

3 : 極性判別器

I0 : バイアス電流を供給する電流源

M0、M4、M5、M6、M7、M8 : nMOSトランジスタ

20

M1、M2、M3、M9 : pMOSトランジスタ

S1、S2、S3、S4、S5、S6、S7、S8、S9、S10、S11、S12、S13、S14、S15、S16 : スイ  
ッチ

INp1 : 基本構成のメモリセルの入力端子

INp2 : 文献(6)に開示されているメモリセルの入力端子

INp3 : 本発明に基づくメモリセルの入力端子

INp4 : 極性判別器3の入力端子

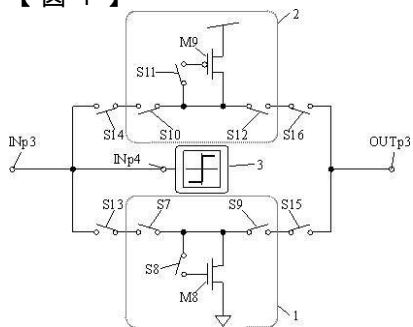
OUTp1 : 基本構成のメモリセルの出力端子

OUTp2 : 文献(6)に開示されているメモリセルの出力端子

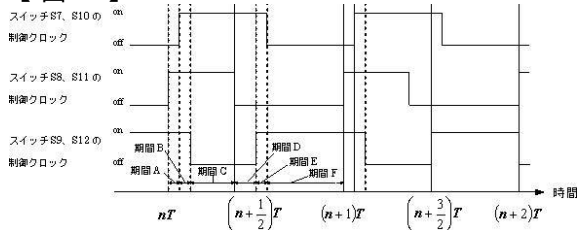
OUTp3 : 本発明に基づくメモリセルの出力端子

30

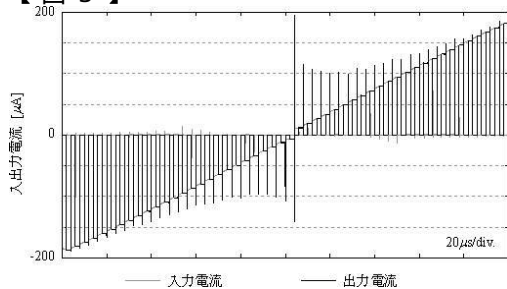
【 図 1 】



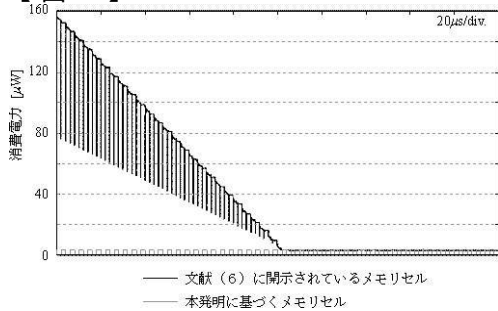
【 図 2 】



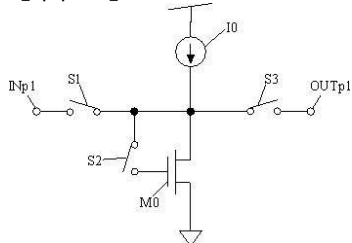
【 図 3 】



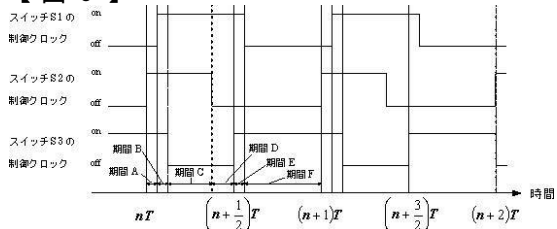
【 図 4 】



【 図 5 】



【 図 6 】



【 図 7 】

