

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-79847
(P2004-79847A)

(43) 公開日 平成16年3月11日(2004.3.11)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 21/302	HO 1 L 21/302 2 O 1 B	5 F O O 4
HO 1 L 21/8247	HO 1 L 27/10 4 5 1	5 F O 8 3
HO 1 L 27/10	HO 1 L 29/78 3 7 1	5 F 1 O 1
HO 1 L 29/788		
HO 1 L 29/792		

審査請求 未請求 請求項の数 6 O L (全 17 頁)

(21) 出願番号	特願2002-239427 (P2002-239427)	(71) 出願人	597154966 学校法人高知工科大学 高知県香美郡土佐山田町宮ノ口185番地
(22) 出願日	平成14年8月20日 (2002.8.20)	(74) 代理人	100083806 弁理士 三好 秀和
		(74) 代理人	100068342 弁理士 三好 保男
		(74) 代理人	100100712 弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100087365 弁理士 栗原 彰
		(74) 代理人	100100929 弁理士 川又 澄雄
		(74) 代理人	100095500 弁理士 伊藤 正和

最終頁に続く

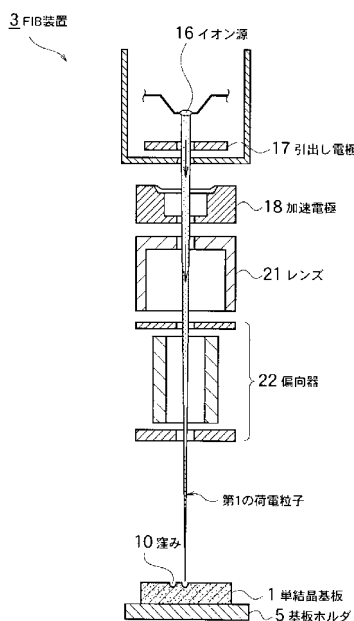
(54) 【発明の名称】 微細パターンの形成方法及び半導体装置の製造方法

(57) 【要約】

【課題】 簡単且つ安価に半導体表面に微細パターンを形成する。

【解決手段】 集積イオンビーム (FIB) 装置3で単結晶基板1の表面に第1の荷電粒子をFIBとして選択的に照射する工程と、第2の荷電粒子を注入する工程とから少なくともなる。高価な電子ビーム露光装置やX線露光装置等を用いなくても、ナノメートルレベルの微細構造を簡単に形成することが可能である。例えば、規則正しく深さ250nm、直径約50nmの凹部、凹部同士を隔てる壁の厚さが約5nm程度の微細構造を単結晶基板1の表面に簡単に作製出来る。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

第 1 の荷電粒子を単結晶基板の表面に選択的に照射する工程と、
前記単結晶基板に第 2 の荷電粒子を注入する工程
とを含む微細パターンの形成方法。

【請求項 2】

前記第 2 の荷電粒子を注入するときの前記単結晶基板の温度は、0 K 以上で前記単結晶基板を成す物質の融点である絶対温度の $1/3$ 以下にすることを特徴とする請求項 1 記載の微細パターンの形成方法。

【請求項 3】

前記第 1 の荷電粒子を集束イオンビームにして前記単結晶基板に照射することを特徴とする請求項 1 又は 2 記載の微細パターンの形成方法。

【請求項 4】

第 1 の荷電粒子を第 1 導電型化合物半導体単結晶基板の表面に選択的に照射する工程と、
前記第 1 導電型化合物半導体単結晶基板に第 2 の荷電粒子を注入し、複数の凹部の周期的配列を形成する工程と、

前記複数の凹部の内部に、第 2 導電型化合物半導体層を埋め込む工程
とを含む半導体装置の製造方法。

【請求項 5】

前記第 2 の荷電粒子を注入するときの前記第 1 導電型化合物半導体単結晶基板の温度は、
0 K 以上で前記第 1 導電型化合物半導体単結晶基板を成す物質の融点である絶対温度の $1/3$ 以下の温度にすることを特徴とする請求項 4 記載の半導体装置の製造方法。

【請求項 6】

前記第 1 の荷電粒子を集束イオンビームにして前記第 1 導電型化合物半導体単結晶基板に照射することを特徴とする請求項 4 又は 5 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は単結晶基板の表面に微細パターンを形成する方法、及びこれを用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】

現在、半導体集積回路の集積化は進み、リフレッシュ動作が必要な随時書き込み読み出しメモリ (DRAM) 等の半導体メモリにおいては、ギガビットレベルの集積密度を有した構造が実現されつつある。ギガビットレベルの集積密度を有する半導体集積回路を製造するためには、半導体集積回路を構成する半導体素子の寸法をナノメートルレベルの微細寸法にすることが要求される。また、このような微細加工技術の進歩に伴い、メゾスコピックスケールからアトミックスケールの半導体素子も形成出来るようになり、熱電子放射を用いたトランジスタや、単電子の振る舞いを利用した半導体素子等の量子力学的設計を用いた種々の半導体装置の試作が開始されている。更に、最近では光の波長オーダの周期構造を持つ 1 次元、2 次元、3 次元の構造体を構成し、古典光学とは異なる量子光学的現象を得ようとするフォトニック結晶の議論もなされている。

【0003】

従来、半導体基板の表面に微細パターンを形成するためにはエキシマレーザ光等の短波長の光を用いたフォトリソグラフィ法により微細加工を行っていた。しかし、微細パターンの寸法がナノメートルレベル、即ち、光の波長以下になると、光では目的とする微細パターンを露光出来ない。そのため光学的露光法に代わり、電子ビーム露光法や X 線露光法が使用されつつある。

【0004】

また、半導体基板の表面にイオン注入することで、微細パターンを形成する方法がある。

10

20

30

40

50

本発明者等が室温でガリウム砒素 (GaAs) やインジウム燐 (InP) 等の半導体基板の表面にイオン注入を行った結果、表面から一定の深さで非晶質層と損傷領域が形成されるだけで凹部は形成されなかった。通常、室温等の一定温度以上で、イオン注入された半導体基板の表面は、注入されたエネルギーが臨界値以上の範囲の深さまで非晶質化するだけであり、表面に凹部が形成されるような変形はみられない。本発明者等が「特開 2001-148354 号公報」で提案した方法によれば、単結晶基板を -273 ~ -50 に冷却して、イオン注入を行うと単結晶基板の表面に凹部よりなる微細パターンの形成が可能であることが確認された。

【0005】

【発明が解決しようとする課題】

電子ビーム露光装置や X 線露光装置等は、装置が大型且つ高価であるのみでなく、ランニングコストも高い。更に、微細パターンを形成する際に、複数の露光マスクによるパターン相互の位置合わせ (アライメント) が必要になるので、ウェハ上に転写されるパターンのアライメント精度の要求も厳しくなる。

10

【0006】

「特開 2001-148354 号公報」に記載したイオン注入による微細パターンの形成方法では、凹部を形成するためのイオン注入の初期段階でランダムにボイド (空洞欠陥) が形成されてしまい、それに伴い凹部もランダムに形成されてしまう。しかし、ナノスケール寸法を持つ半導体デバイスの微細パターン形成方法として実用化していくためには、隣接する凹部同士の間隔を制御しなくてはならない。したがって、凹部がランダムに形成されてしまうと実用化には問題がある。

20

【0007】

本発明の目的は、上記問題に鑑み、フォトリソグラフィ工程を可能な限り削減し、極めて簡単な方法で、且つ安価に単結晶基板表面に規則的なナノメートルレベルの微細パターンを形成する方法を提供することである。

【0008】

本発明の他の目的は、安価に、規則的なナノメートルレベルの微細パターンを有する半導体装置の製造方法を提供することである。

【0009】

【課題を解決するための手段】

上記課題を解決するため、本発明の第 1 の特徴は、第 1 の荷電粒子を単結晶基板の表面に選択的に照射する工程と、単結晶基板に第 2 の荷電粒子を注入し、複数の凹部を形成する工程とを含む微細パターンの形成方法である。

30

【0010】

本発明の第 1 の特徴によれば、予め第 1 の荷電粒子としてガリウム (Ga)、金 (Au)、錫 (Sn)、インジウム (In) 等のイオン源をビーム径、ビーム強度、及び、ビーム方向が制御された集束イオンビーム (FIB) 等で、単結晶基板に照射することで選択的に欠陥を形成し、欠陥が形成されている単結晶基板に第 2 の荷電粒子として錫イオン (Sn^+)、炭素イオン (C^+)、シリコンイオン (Si^+)、ゲルマニウムイオン (Ge^+) 等の注入を行うと、点欠陥が生成し、点欠陥の一部の原子空孔と欠陥が一体化し選択的に凹部を配置することが出来る。そのとき、点欠陥の一部として生成する格子間原子の一部は、凹部と凹部を隔てる壁を高くすることによって、凹部の成長に間接的に寄与する。

40

【0011】

本発明の第 2 の特徴は、第 1 の荷電粒子を第 1 導電型化合物半導体単結晶基板の表面に選択的に照射する工程と、第 1 導電型化合物半導体単結晶基板に第 2 の荷電粒子を注入し、複数の凹部の周期的配列を形成する工程と、複数の凹部の内部に、第 2 導電型化合物半導体層を埋め込む工程とを含む半導体装置の製造方法である。

【0012】

本発明の第 2 の特徴によれば、第 1 導電型化合物半導体単結晶基板に複数の凹部を選択的に配置することが出来、複数の凹部のサイズも制御することが出来るので、基板の面積を

50

有効に使用出来、半導体装置の小型化に寄与することが出来る。また、凹部と凹部との間の壁の厚さが数nm程度の構造が可能なので、高価な電子ビーム露光装置やX線露光装置等を用いなくても、トンネル注入効果、バリステック輸送効果やその他の量子力学的効果を用いたメゾスコピックスケール、アトミックスケールの半導体装置を簡単に製造することが出来る。

【0013】

【発明の実施の形態】

図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号で表している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なる。したがって、具体的な厚みや寸法は以下の説明を照らし合わせて判断するべきものである。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

10

【0014】

(第1の実施の形態)

まず、単結晶基板に選択的に凹部構造を形成するためには、FIB装置3とイオン注入装置を用いる。

【0015】

FIB装置3は、図1に示すように、引き出し電極17と、加速電極18と、レンズ21と、偏向器22とを少なくとも有する。FIB装置3の動作としては、イオン源16が引き出し電極17から電圧をかけられることで、イオンビームが引き出される。引き出されたイオンビームは、加速電極18により加速されレンズ21に入射する。レンズ21に入射したイオンビームは、集束されFIBとなる。更に、FIBは偏向器22により所望の箇所への照射が可能になる。FIBを単結晶基板1に照射するときには、FIB装置3の試料室内で、単結晶基板1と基板ホルダ5aとを互いに密着性を保つように固定して行う。試料室の圧力は、 10^{-5} Paのオーダまで真空排気する。イオン源16には、Ga, Au, Sn, In等の単体金属や共晶金属を用いることが可能である。

20

【0016】

イオン注入装置の試料室6は、図2に示すように、試料室6に設置する基板ホルダ5b上の単結晶基板1を冷却する冷媒7を循環させる構造を有するシュラウド26を備えている。シュラウド26の断面形状はU字状であり、内側の底部に基板ホルダ5bの底面と側面が密接されて設置されている。シュラウド26は、冷媒7を投入する入力配管27と、冷媒7を排出する出力配管28を備えている。入力配管27と出力配管28は、試料室6の外部で冷媒7の投入と排出を行うために試料室6の壁部を貫通している。シュラウド26は、試料室6を貫通している入力配管27と出力配管28によって試料室6に保持されている。入力配管27, 出力配管28と試料室6を貫通した箇所のそれぞれは、試料室6の室内の気密性が保たれるように溶接等が施されている。イオン注入装置は、シュラウド26を備えることで、単結晶基板1を所望の温度に冷却することが出来る。単結晶基板1にイオン注入をするときは、イオン注入装置の試料室6内の基板ホルダ5aと単結晶基板1とが互いに密着するように固定する。この試料室6の内部を、 10^{-3} Pa ~ 10^{-8} Paの所定の圧力まで真空排気する。所定の圧力まで真空排気したら試料室6の内部の液体窒素シュラウド26に液体窒素7を投入し、単結晶基板1を83K程度に冷却する。この際、熱電対等の温度モニタで基板ホルダ5bの温度を測定しながら冷却する。尚、図2に示す冷却方法で液体窒素の代わりに液体ヘリウムを用いれば、13K程度まで冷却可能である。0Kまで冷却するには、周知の極低温技術を転用すれば良い。また、冷凍機を用いることにより、極低温の温度制御をすることも可能である。照射するイオンとしては、 Sn^+ , C^+ , Si^+ , Ge^+ 等、種々の元素のイオンを用いることが可能である。

30

40

【0017】

以下に、図3(a)~図3(d)を参照して、単結晶基板の表面にナノメートルレベルの規則的な微細パターンの形成方法を説明する。

【0018】

50

(イ) まず、図 1 に示す、FIB 装置 3 の試料室内で、単結晶基板 1 と基板ホルダ 5 a とを互いに密着性を保つように固定し、所定の圧力まで真空排気する。その後、単結晶基板 1 に FIB を第 1 の荷電粒子として所望の箇所に照射し、図 3 (a) に示すように表面に欠陥を生成し、窪み 1 0 を選択的に形成する。窪み 1 0 は、第 1 の荷電粒子による物理的スパッタリングで形成される。例えば、実効的な照射飛程が短くなるように、FIB を単結晶基板 1 に対して角度をつけて Ga^+ を選択的に照射すると、照射された箇所は、スパッタリングされ、選択的に窪み 1 0 を形成することが出来る。窪み 1 0 のサイズは、直径数 $nm \sim 100 nm$ 程度で、深さ $5 nm \sim 100 nm$ 程度である。尚、単結晶基板 1 には、ガリウム・アンチモン ($GaSb$)、インジウム・アンチモン ($InSb$)、ガリウム砒素 ($GaAs$)、インジウム砒素 ($InAs$)、ガリウム燐 (GaP) やインジウム燐 (InP) 等の化合物半導体単結晶基板やその他の無機材料からなる単結晶基板を用いることが可能である。

10

【 0 0 1 9 】

(ロ) 次に、FIB 装置 3 の試料室から、図 2 に示すイオン注入装置の試料室 6 に単結晶基板 1 を移動する。そして、イオン注入装置の試料室 6 内の基板ホルダ 5 a と単結晶基板 1 とが互いに密着するように固定し、 $10^{-3} Pa \sim 10^{-8} Pa$ 程度の所定の圧力まで真空排気する。所定の圧力まで真空排気されたら冷媒を用いて単結晶基板 1 を $0 K \sim 223 K$ に冷却する。

【 0 0 2 0 】

(ハ) 次に、図 3 (b) に示すように、単結晶基板 1 の表面全面に第 2 の荷電粒子の Sn^+ を注入する。 Sn^+ を低温の単結晶基板 1 の全面に照射すると損傷領域に点欠陥 (格子間原子 8 と原子空孔 9) が生成される。単結晶基板 1 が保持されている低温条件では、イオン注入により生成される点欠陥のうち、格子間原子 8 はある程度の距離を移動するが、原子空孔 9 はあまり移動しない。

20

【 0 0 2 1 】

(ニ) 図 3 (c) に示すように、第 2 の荷電粒子としての Sn^+ 注入によって窪み 1 0 の近くに生成された原子空孔 9 は、窪み 1 0 と一体化する。つまり、原子空孔 9 は、窪み 1 0 を大きくすることに寄与する。また、 Sn^+ 注入によって生成した格子間原子 8 は、一部が窪み 1 0 と窪み 1 0 の間に移動し、窪み 1 0 と窪み 1 0 の間は盛り上げられ成長することで壁 2 3 となる。壁 2 3 が出来ることにより、窪み 1 0 は見かけ上成長することになり、壁 2 3 に囲まれた部分が凹部 2 となる。

30

【 0 0 2 2 】

(ホ) 更に、第 2 の荷電粒子としての Sn^+ の注入を続けると、壁 2 3 の上部では点欠陥は形成されるが、格子間原子 8 と原子空孔 9 が再結合して消滅する。若しくは、格子間原子 8 と原子空孔 9 は、表面に拡散移動して消滅するので壁 2 3 の成長に寄与しない。壁 2 3 の下部は Sn^+ が届かないため、点欠陥は形成されない。図 3 (d) に示すように、凹部 2 の直下 (イオン照射飛程 $30 nm$ 程度) では、点欠陥が形成される。格子間原子 8 の一部は濃度勾配により、濃度の低い方、即ち、壁 2 3 の下へ拡散移動する。壁 2 3 の根元部分に移動した格子間原子 8 は、壁 2 3 の下部で集合体となり、壁 2 3 を高くすることに寄与する。凹部 2 の直下に形成される原子空孔 9 は、凹部 2 と一体化し凹部 2 を深くすることに寄与する。この結果、図 4 (a) , 図 4 (b) に示すように、規則的なマトリクス状の凹部構造が形成される。凹部 2 のサイズは、単結晶基板 1 の表面に直径 $2r$ が $15 nm \sim 200 nm$ 程度、深さ d が $50 nm \sim 500 nm$ 程度、壁の厚さ t が $5 nm \sim 10 nm$ 程度が代表的である。

40

【 0 0 2 3 】

尚、FIB 装置 3 の試料室とイオン注入装置の試料室 6 とをゲートバルブを介して接続しておけば、試料を大気中に晒さずに、真空中で搬送することが出来る。真空中での搬送には周知の磁気駆動系等が使用出来る。

【 0 0 2 4 】

本発明の第 1 の実施の形態に係る微細パターンの形成方法によれば、単結晶基板に FIB

50

等で凹部となる箇所に予め窪みをパターンニングしておくことで、ナノメートルレベルの規則的なマトリクス状の凹部構造を簡単に形成することが出来る。更に、第2の荷電粒子の単結晶基板注入時の温度、第2の荷電粒子加速電圧と第2の荷電粒子の種類（イオン種）、ドーズ量を選ぶことにより、単結晶基板の表面に、凹部の直径、深さ、隣接する凹部の間の壁の厚さを精密に制御することが出来る。本発明の第1の実施の形態に係る微細パターン形成方法において、以下に記すように条件を選定することにより、凹部の寸法や形状が制御出来る。

【0025】

(イ) 単結晶基板の温度：格子間原子と原子空孔の移動度のバランスを考慮して単結晶基板の温度を決めれば良い。

10

【0026】

(ロ) 加速電圧とイオン種：格子間原子が表面から深さ h に形成される場合、一部は横方向に h 程度まで移動出来る。格子間原子の横方向移動距離が凹部のサイズを決め、凹部の半径が h 程度になる。加速電圧を低くする、或いはイオン種を重くすると、注入イオンは基板表面の浅いところまでしか届かず、凹部の半径は小さくなる。逆に、加速電圧を高くする、或いはイオン種を軽くすると、注入イオンは基板表面から深いところまで届き、凹部の半径は大きくなる。凹部成長初期では、イオン注入のドーズ量もサイズに関係する。

【0027】

(ハ) イオン注入のドーズ量：ドーズ量が多いと形成される格子間原子の量が多くなり、壁がより高くなる。即ち、凹部が深くなる。注入イオン種も質量が大きいほど、欠陥形成量が増え、凹部が深くなる。

20

【0028】

(半導体装置の製造方法)

上記規則的なマトリクス状の凹部構造は、そのサイズから、光学デバイスや量子効果半導体デバイスを中心とする広範囲の応用が可能である。例えば、本発明の第1の実施の形態に係る微細パターンの形成方法により形成された構造の隔壁の厚さは約5nm程度であり、トンネル効果等の量子力学的効果が現れる。また、上記の微細パターンの形成方法により形成された凹部、若しくは凹部と凹部との間のサイズが光の波長オーダーになるので、2次元、3次元のフォトニック結晶が簡単に製造出来る。即ち、本発明の第1の実施の形態に係る微細パターンの形成方法により、ナノメートルレベルの規則的組織構造を構成し、フォトニックギャップを実現することが可能である。このため、フォトニック結晶を用いて、光の閉じ込め効果や発光特性の制御をすることにより、半導体レーザ並みの動作速度とコヒーレンスを持つ発光ダイオード(LED)等の製造が可能である。或いは、半導体レーザとして利用すれば、利得が大きく出来、且つ尖鋭な利得スペクトルが期待出来る。

30

【0029】

また、ナノメートルレベルの規則的組織構造により、一定のチップ面積に対して、その表面積を相対的に大きく出来る。このため、第1の実施の形態に係る微細な凹部構造を、嗅覚センサやコンデンサ等の大きな表面積を必要とする素子に適用すれば、小型で高性能な素子を実現することが可能である。

【0030】

また、光触媒半導体に規則的なマトリクス状の凹部構造を形成すれば、一定の面積において相対的に表面積を大きくすることが出来るので、触媒効果、吸着効果を増大することが出来る。光触媒半導体としては、二酸化錫(SnO_2)、酸化亜鉛(ZnO)、三酸化タングステン(WO_3)、酸化チタン(TiO_2)、酸化セリウム(CeO_2)、チタン酸バリウム(BaTiO_3)、酸化第二鉄(Fe_2O_3)、酸化ビスマス(Bi_2O_3)等の金属酸化物や、硫化亜鉛(ZnS)、硫化カドミウム(CdS)、硫化鉛(PbS)、セレン化亜鉛(ZnSe)、セレン化カドミウム(CdSe)等の金属カルコゲナイドが好適である。又は、シリコン、ゲルマニウム等の第III族元素や、GaP、GaAs、InP等のIV-V族化合物半導体等を用いることが可能である。

40

【0031】

50

更に、以下に示すようなメゾスコピックスケール、アトミックスケールの構造を有する機能素子や半導体メモリを構成することも可能である。

【0032】

[具体例1：機能素子]

本発明の具体例1に係るトンネル型ニューロン素子は、図5及び図6に示すように、第1電極161と第2電極162との間に複数個のゲート電極70a, 70b, 70c, ...が配置されている。図6に示すように、n型(第2導電型)領域50bとn型領域50cとの間、n型領域50cとn型領域50dとの間、n型領域50dとn型領域50eとの間、...には、それぞれの厚さ約5nmのp型(第1導電型)トンネル障壁層60a, 60b, 60c, ...が備えられている。n型領域50a, 50b, 50c, ...は、p型化合物半導体単結晶基板11に1次元的に配列されている。n型領域50a, 50b, 50c, ...の1次元配列の一方の端部に位置するn型領域50aには、n⁺型領域からなる第1コンタクト領域171、他方の端部に位置するn型領域50zには、n⁺型領域からなる第2コンタクト領域172が備えられている。第1コンタクト領域171、及び第2コンタクト領域172には、オーミック接触するように、金・ゲルマニウム(Au-Ge)、ニッケル(Ni)、金(Au)等の金属からなる第1電極161、第2電極162がそれぞれ接続されている。複数個のゲート電極70a, 70b, 70c, ...は、アルミニウム(Al)等の単層金属膜、タングステンシリサイド(WSi_x)等から構成されている。各々半導体領域は、GaSb、InSb、GaAs、InP、InAs等の第1導電型化合物半導体単結晶からなる。

10

20

【0033】

複数個のゲート電極70a, 70b, 70c, ...に、図5の平面図に示すゲート電極パット80a, 80b, 80c, ...を介して、それぞれ複数個の入力信号が印加される。ゲート電極70a, 70b, 70c, ...の直下には図6に示すように、ゲート絶縁膜13が備えられ、ゲート電極70a, 70b, 70c, ...に印加される複数の入力信号に応じて、ゲート電極70a, 70b, 70c, ...直下のトンネル障壁層の電界が制御され、それぞれのトンネル障壁層を流れるトンネル電流が制御される。この結果、複数の入力信号に応じて、第1電極161と第2電極162との間に多値の論理信号が流れ、神経細胞的動作をすることが出来る。

30

【0034】

以下に、図7(a)~図9(f)を参照して、GaSb基板を用いた場合のトンネル注入型ニューロン素子の製造方法を説明する。

【0035】

(イ)まず、第1導電型化合物半導体単結晶基板11として、(100)面を有したp型GaSb基板11を用意する。第1の荷電粒子をFIBとしてp型GaSb基板11の表面に照射し、選択的に欠陥を形成する。例えば第1の荷電粒子としてGa⁺FIBをp型GaSb基板11の表面の所望の箇所に照射する。以上の工程より、図7(a)に示すように、p型GaSb基板11の表面に規則的に配置された窪み20a, 20b, 20c, ...が形成される。

40

【0036】

(ロ)その後、p型GaSb基板11をイオン注入装置の試料室に移動する。そして、p型GaSb基板11が、0K~223Kの間の所定の温度まで冷却されたら、p型GaSb基板11の表面全面に第2の荷電粒子として、Sn⁺を $1 \times 10^{14} \text{ cm}^{-2} \sim 5 \times 10^{16} \text{ cm}^{-2}$ のドーズ量にて、所定の加速電圧で注入する。

【0037】

(ハ)第2の荷電粒子注入後、試料の冷却に用いたシュラウドから冷媒を抜き、内部を乾燥空気や窒素ガス等で置換し、一定時間放置する等により、p型GaSb基板11を室温に戻す。p型GaSb基板11が室温に戻ったら、試料室の圧力を常圧に戻し試料室から取り出す。以上の工程により、図7(b)に示すように、p型GaSb基板11の表面に規則的に配置された凹部30a, 30b, 30c, ...が形成される。

50

【0038】

(ニ)その後、塩素(Cl_2)系のエッチングガスを用いたドライエッチングにより、凹部30a, 30b, 30c, ...の表面をスライトエッチングすれば、図7(c)に示すように、4面を{110}面で囲まれた矩形の凹部40a, 40b, 40c, ...異方性エッチング溝が形成出来る。図7(c)のB-B方向に沿った断面図が図8(a)である。図8(a)に示す、p型トンネル障壁層60a, 60b, 60c, ...は、凹部40a, 40b, 40c, ...が形成されることに伴い形成される。しかし、このスライトエッチングを省略して、図7(b)に示すような不定型な凹部30a, 30b, 30c, ...を採用することも可能である。図8(b)に示すように、有機金属CVD(MOCVD)法、分子線エピタキシャル(MBE)法等を用いて、凹部40a, 40b, 40c, ...の内部にn型のGaSbからなる第2導電型化合物半導体層のエピタキシャル成長層12を形成する。

【0039】

(ホ)続いて、化学的機械研磨(CMP)等の手段により、図8(c)に示すように、表面を平坦化し、凹部40a, 40b, 40c, ...の内部に、n型GaSb領域50a, 50b, 50c, ...を埋め込む。その後、図8(d)に示すように、光励起低温CVD法等を用いて、厚さ20nm~80nmの酸化膜、窒化膜等のゲート絶縁膜13を堆積する。酸化膜、窒化膜等の絶縁膜の代わりに、GaSbよりも禁制帯幅の大きなアルミニウム・アンチモン(AlSb)、窒化アルミニウム(AlN)やセレン化亜鉛(ZnSe)等の半導体層をエピタキシャル成長して、GaSbとの界面にヘテロ接合を形成しても、ゲート絶縁膜13と同等の機能を果たすことが可能である。

【0040】

(ヘ)図9(e)に示すように、CVD法、真空蒸着法、スパッタリング法等を用いてゲート絶縁膜13の上に、導体膜14を堆積する。導体膜14としては、Al等の単層金属膜、Ti/Pt/Au等の多層金属膜、 WSi_x 等のシリサイド膜等が使用可能である。

【0041】

(ト)フォトリソグラフィ技術及び反応性イオンエッチング(RIE)法を用い、図9(f)に示すように、導体膜14をパターンニングして、トンネル障壁層60a, 60b, 60c, ...の上部にゲート電極70a, 70b, 70c, ...が完成する。

【0042】

尚、図6に示すように、n型のGaSb領域50aに接続した n^+ 型のGaSb領域からなる第1コンタクト領域171、及びn型のGaSb領域50zに接続した n^+ 型のGaSb領域からなる第2コンタクト領域172を形成する場合は、 Sn^+ のイオン注入前に、シリコン(Si^+)、セレン(Se^+)等のIV属元素の室温における選択的イオン注入と、この活性化の熱処理を行っておけば良い。第1電極161、第2電極162は、フォトリソグラフィ技術及びRIE法を用い、ゲート絶縁膜13にコンタクトホールを開口し、Au-Ge, Ni, Au等の金属で形成すれば良い。

【0043】

このように、本発明の実施の形態に係る半導体装置の製造方法によれば、ゲート電極70a, 70b, 70c, ...のパターンニングの工程以外は、高価な電子ビーム露光装置やX線露光装置等を用いなくても、メゾスコピックスケール、アトミックスケールの半導体装置が簡単に製造出来る。ゲート電極70a, 70b, 70c, ...の幅、即ちゲート長はn型GaSb領域50a, 50b, 50c, ...に挟まれたp型トンネル障壁層60a, 60b, 60c, ...の幅よりは大きくて良いので、フォトリソグラフィ技術に対する微細加工の制約は緩和されている。

【0044】

また、図5及び図6において、n型領域50a, 50b, 50c, ...の1次元配列のうちの隣接する2個のみの配置としても良い。即ち、隣接する2個のGaSbからなるn型領域の間のp型GaSb層の上部に1本のゲート電極を設ければ、隣接する2個のn型領域をソース・ドレイン領域とする絶縁ゲート型トランジスタとすることが可能である

。

【0045】

[具体例2：半導体メモリ]

図10(a)に示すように、電気的一括消去・再書き込み可能な読み出し専用メモリ(NAND型EEPROM)は、複数のビット線 $BL_i, BL_{i+1}, BL_{i+2}, \dots$ と、これに交差する複数のワード線 $WL_j, WL_{j+1}, WL_{j+2}, \dots, WL_{j+n}$ とによりマトリクスが構成されている。各ビット線 $BL_i, BL_{i+1}, BL_{i+2}, \dots$ はそれぞれ複数の絶縁ゲート型トランジスタの凹部が直列接合されたストリングにより構成されている。各ストリングの両端には、ストリング選択トランジスタ SST と接地選択トランジスタ GST が接続されている。各ストリングのそれぞれのストリング選択トランジスタ SST 及び接地選択トランジスタ GST には、共通のストリング選択線 SSL_k と接地選択線 GSL_k が接続されている。

10

【0046】

図10(b)に示すように、 n 型領域321と n 型領域322との間、 n 型領域322と n 型領域323との間、 \dots 、 n 型領域327と n 型領域328との間、 \dots には、例えば、それぞれ厚さ約5nmの p 型GaSb層331, 332, \dots , 337が形成されている。 p 型GaSb層331, 332, \dots , 337の厚さが n チャネル絶縁ゲート型トランジスタのチャネル長を決定している。 n 型領域321, 322, \dots , 328は、 p 型のGaSb基板11中に1次元的に配列されている。 n 型領域322と n 型領域323との間の p 型GaSb層332の上部には、浮遊ゲート電極242及び制御ゲート電極252が配置されている。同様に、 n 型領域323と n 型領域324との間の p 型GaSb層333の浮遊ゲート電極243及び制御ゲート電極253が、 \dots 、 n 型領域326と n 型領域327との間の p 型GaSb層336の上部には、浮遊ゲート電極245及び制御ゲート電極255が配置されている。 n 型領域321と n 型領域322との間の p 型GaSb層331の上部には、接地選択トランジスタ GST のゲート電極241、 n 型領域327と n 型領域326との間の p 型GaSb層337の上部には、ストリング選択トランジスタ SST のゲート電極246が配置されている。

20

【0047】

NAND型EEPROMの製造方法は、具体例1のトンネル注入型ニューロン素子の製造工程に示した方法と実質的に同じである。まず、本発明の第1の実施の形態に係る微細パターンの形成方法により、規則的なマトリクス状の凹部構造を作製する。作製した規則的なマトリクス状の凹部構造を用いることで、ナノメートルレベルのチャネル長を有する絶縁ゲート型トランジスタを用いた半導体メモリが簡単に製造出来る。ゲート電極241~245、制御ゲート電極252~255のパターニングは、微細加工の制約が緩和されているのでフォトリソグラフィ技術を使用出来る。

30

【0048】

本発明の第1の実施の形態に係る半導体装置の製造方法によれば、規則的なマトリクス状の凹部構造を、高価な電子ビーム露光装置やX線露光装置等を用いずに形成出来るため、図10に示すような、微細寸法の半導体メモリが簡単に製造出来る。

【0049】

(第2の実施の形態)

本発明の第2の実施の形態に係る微細パターン形成方法は、図11(a)~図11(e)に示すように、第1の荷電粒子として $Ga^+ FIB$ を単結晶基板1の表面の所望の箇所に照射して出来る欠陥がポイドである点が第1の実施の形態に係る方法と異なり、他は第1の実施の形態に係る方法と同様であるので重複した記載は省略する。

40

【0050】

以下に、図11(a)~図11(e)を参照して、単結晶基板の表面にナノメートルレベルの規則的な微細パターンの形成方法を説明する。

【0051】

(イ)まず、図1に示す、FIB装置3の試料室内で、単結晶基板1と基板ホルダ5aと

50

を互いに密着性を保つように固定し、所定の圧力まで真空排気する。その後、単結晶基板 1 に F I B を第 1 の荷電粒子として所望の箇所に照射し、図 1 1 (a) に示すように、単結晶基板 1 の内部に出来た欠陥であるポイド 4 を選択的に形成する。ポイド 4 は、F I B 等の照射飛程を長くすることで、基板の内部に点欠陥を生成して形成する。例えば、図 1 1 (a) に示すように、照射飛程が長くなるように、加速電圧を高く設定し、F I B を単結晶基板 1 に対して垂直に $G a^+$ を選択的に照射すると、照射した基板表面の直下にポイド 4 を形成出来る。ポイド 4 の形成される深さ d' [(n m)] は、加速電圧 V_a [(k V)] に実質的に比例し $d' = 5 V_a$ となる。ポイド 4 の直径 $2 r'$ [(n m)] は、イオン注入のドーズ量に依存するが、基板水平方向の直径 $2 r' = 6 V_a$ で飽和する。

【 0 0 5 2 】

(口) 次に、単結晶基板 1 を F I B 装置 3 の試料室から、図 2 に示すイオン注入装置の試料室 6 に移動する。そして、イオン注入装置の試料室 6 内の基板ホルダ 5 a と単結晶基板 1 とが互いに密着するように固定し、所定の圧力まで真空排気する。所定の圧力まで真空排気されたら冷媒を用いて単結晶基板 1 を 0 K ~ 2 2 3 K に冷却する。

【 0 0 5 3 】

(八) 次に、図 1 1 (b) に示すように、単結晶基板 1 の表面全面に第 2 の荷電粒子の $S n^+$ を注入する。低温の雰囲気下のイオン注入装置の試料室 6 内で、 $S n^+$ を単結晶基板 1 の全面に照射すると損傷領域に点欠陥 (格子間原子 8 と原子空孔 9) が生成される。単結晶基板 1 が保持されている低温条件では、イオン注入により生成される点欠陥のうち、格子間原子 8 はある程度の距離を移動するが、原子空孔 9 はあまり移動しない。

【 0 0 5 4 】

(二) 図 1 1 (c) に示すように、第 2 の荷電粒子 $S n^+$ 注入によってポイド 4 の近くに生成された原子空孔 9 は、ポイド 4 と一体化する。つまり、原子空孔 9 は、ポイド 4 を大きくすることに寄与する。また、 $S n^+$ 注入によって生成した格子間原子 8 は、一部がループ等の集合体を形成し、単結晶基板 1 の表面にアモルファスの盛り上がり形成することに寄与する。図 1 1 (d) に示すように、単結晶基板 1 の表面の窪んだところの直下に出来た原子空孔 9 が単結晶基板 1 の表面に出来た窪みと一体化することで窪みは深くなる。また、原子空孔 9 がポイド 4 と結合することでポイド 4 が成長する。窪みとポイド 4 が結合することで凹部 2 が形成され、凹部 2 同士の間は壁 2 3 となる。

【 0 0 5 5 】

(ホ) 更に、第 2 の荷電粒子としての $S n^+$ 注入を続けると、壁 2 3 の上部では点欠陥が形成されるが、格子間原子 8 と原子空孔 9 が再結合して消滅するか、表面に拡散して消滅するので壁の成長に寄与しない。壁 2 3 の下部には $S n^+$ が届かないため、点欠陥は形成されない。図 1 1 (e) に示すように、凹部 2 の直下 (イオン照射飛程 3 0 n m 程度) では、点欠陥が形成される。格子間原子 8 の一部は濃度勾配により、濃度の低い方、即ち、壁 2 3 の下へ拡散移動する。壁 2 3 の根元部分に移動した格子間原子 8 は、壁 2 3 の下部で集合体となり、さらに壁は高くなる。凹部 2 の直下に形成される原子空孔 9 は、凹部 2 と一体化する。即ち、凹部 2 は高くならず、むしろ低くなる。この結果、図 4 (a) , 図 4 (b) に示すように、規則的なマトリクス状の凹部構造が形成される。凹部 2 の直径は、基本的に F I B による第 1 の荷電粒子の照射によって配置したポイド 4 の間隔から壁 2 3 の厚さ t を除いたものが最大となる。例えば、凹部 2 を 5 0 n m 間隔に配置した場合、壁 2 3 の厚さ t が 5 n m であるなら凹部 2 の直径は 4 5 n m まで大きくなる。具体的な凹部 2 のサイズは、単結晶基板 1 の表面に直径 $2 r$ が 1 0 n m ~ 2 0 0 n m 程度、深さ d が 5 0 n m ~ 5 0 0 n m 程度、壁の厚さ t が 5 n m ~ 1 0 n m 程度が代表的である。

【 0 0 5 6 】

本発明の第 2 の実施の形態に係る微細パターンの形成方法によれば、単結晶基板 1 に F I B 等で凹部 2 となる箇所に予めポイドをパターンニングしておくことで、ナノメートルレベルの規則的なマトリクス状の凹部構造を簡単に形成することが出来る。更に、第 2 の荷電粒子の単結晶基板注入時の温度、第 2 の荷電粒子加速電圧と第 2 の荷電粒子の種類 (イオン種) 、ドーズ量を選ぶことにより、単結晶基板の表面に、凹部の直径、深さ、隣接する凹

10

20

30

40

50

部の間壁の厚さを精密に制御することが出来る。

【0057】

(その他の実施の形態)

上記の開示の一部をなす記述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかになるはずである。

【0058】

例えば、上記実施例において、低温での第2の荷電粒子を注入する材料として、GaSbを例示したが、化合物半導体単結晶基板表面に観察される規則的なマトリクス状の凹部構造は、第2の荷電粒子注入条件を選ぶならば、他の化合物半導体単結晶基板は勿論、多くの無機材料からなる基板の表面にも形成可能である。

10

【0059】

図12は、凹部の内部に n^+ 型GaSbからなるエピタキシャル成長層を埋め込んだ後、中央部の 3×3 のマトリクスを取り囲んでp型領域を形成し、素子分離領域15を構成した例である。 3×3 のマトリクスの中央部の n^+ 型GaSbをドレイン領域、その外側の8個の n^+ 型GaSbをソース領域、この境界部にゲート電極145を形成し、単位絶縁ゲートトランジスタが備えられる。この単位絶縁ゲートトランジスタを基礎としたユニット凹部をマトリクス状に配置して、DRAM等の半導体メモリや2次元イメージセンサを形成することが可能である。

【0060】

また、図12においては、矩形の凹部を示しているが、結晶構造の対称性(異方性)に応じて、三角形や六角形等の凹部を構成することも可能である。このように、本発明の実施の形態に係る微細パターンの形成方法は、上記の半導体装置以外の他の新機能性半導体デバイスや、ポーラス性無機材料を用いた磁気記録媒体等に適用可能である。

20

【0061】

また、本発明の実施の形態に係る微細パターンの形成方法は、壁の厚さ等を調整出来ることを利用して、絶縁膜が極めて薄い高温超伝導材料におけるジョセフソン接合等の絶縁膜としても適用可能である。

【0062】

本発明の第1、第2の実施の形態において第2の荷電粒子を注入するときの単結晶基板が0K~223Kの温度にされるところとしているが、この温度範囲では効率良くナノメートルレベルの微細パターンの形成が出来るということである。本発明の実施の形態において単結晶基板の表面に規則的なナノメートルレベルの微細パターンの形成は、第2の荷電粒子を注入することで生成する格子間原子と原子空孔の移動により成されるものである。深い窪みを成長させるには、生成される点欠陥のうち格子間原子のみが壁に移動し、原子空孔はあまり移動せず深い窪みに吸収されるようにすればよい。原子空孔が活発に移動すると、これらが単結晶基板内部のあちこちで集合しボイドを多数作るために、既存の窪みに吸収されなくなる。つまり、第2の荷電粒子を注入するときの温度範囲は、格子間原子が移動し、原子空孔があまり移動出来ない範囲に設定することで規則的なナノメートルレベルの微細パターンを形成することが出来る。格子間原子は極低温の雰囲気下でも単結晶基板内を移動することが出来る。原子空孔は一般に単結晶基板を成す物質の融点 T_m (K)のおよそ $1/3$ 以上の温度で活発に移動するが、それ以下の温度ではほとんど移動出来ない。つまり、規則的なナノメートルレベルの微細パターンは、融点 T_m のおよそ $1/3$ 以下の温度で形成し得る。例えば、GaSb単結晶基板のときは、 $T_m = 1001$ Kなので0K~333.6Kの温度範囲なら原子空孔の移動を抑制することが出来、規則的なナノメートルレベルの微細パターンの形成が出来る。

30

40

【0063】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

50

【 0 0 6 4 】

【 発明の効果 】

本発明によれば、露光マスクを使用する工程を可能な限り削減し、極めて簡単な方法で、且つ安価に単結晶基板の表面に規則的なナノメートルレベルの微細パターンを形成出来る。

【 0 0 6 5 】

本発明によれば、安価に、簡単に規則的なナノメートルレベルの微細パターンを有する半導体装置の製造方法を提供することが出来る。

【 図面の簡単な説明 】

【 図 1 】 集積イオンビーム装置の模式的な断面図である。

【 図 2 】 イオン照射装置の試料室の模式的な断面図である。

10

【 図 3 】 本発明の実施の形態に係る微細パターンの形成方法において、単結晶基板表面に窪みを形成した場合の工程断面図である。

【 図 4 】 図 4 (a) は、本発明の実施の形態に係る微細パターンの形成方法により形成した単結晶基板表面の走査型電子顕微鏡 (S E M) で観察した平面図であり、図 4 (b) は、原子間力顕微鏡 (A F M) で観察した模式的断面図である。

【 図 5 】 本発明の実施の形態に係る半導体装置の具体例 1 としての、トンネル注入型ニューロン素子の構造を示す模式的な平面図である。

【 図 6 】 図 5 の A - A 方向に沿った断面図である。

【 図 7 】 トンネル注入型ニューロン素子の製造方法の工程平面図である。

【 図 8 】 本発明の具体例 1 に係る半導体装置の製造方法の工程断面図 (その 1) である。

20

【 図 9 】 本発明の具体例 1 に係る半導体装置の製造方法の工程断面図 (その 2) である。

【 図 1 0 】 図 1 0 (a) は、具体例 2 に係る N A N D 型 E E P R O M の等価回路図であり、図 1 0 (b) は、その一部のストリングの断面図である。

【 図 1 1 】 本発明の第 2 の実施の形態に係る微細パターンの形成方法において、単結晶基板にボイドを形成した場合の工程断面図である。

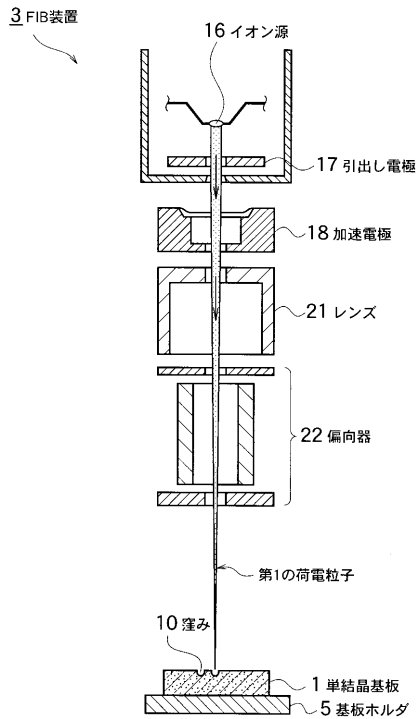
【 図 1 2 】 本発明の実施の形態に係る半導体装置の他の例として、単位絶縁ゲートトランジスタを示す模式的平面図である。

【 符号の説明 】

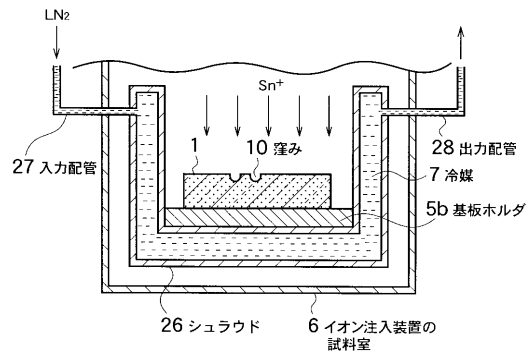
- | | | |
|---|-----------------------|----|
| 1 | 単結晶基板 | |
| 2 , 3 0 a , 3 0 b , 3 0 c . . . , 4 0 a , 4 0 b , 4 0 c . . . | 凹部 | 30 |
| 3 | 集束イオンビーム (F I B) 装置 | |
| 4 | ボイド | |
| 5 a , 5 b | 基板ホルダ | |
| 6 | イオン注入装置 | |
| 7 | 冷媒 | |
| 8 | 格子間原子 | |
| 9 | 原子空孔 | |
| 1 0 , 2 0 a , 2 0 b , 2 0 c . . . | 窪み | |
| 1 1 | 第 1 導電型化合物半導体単結晶基板 | |
| 1 2 | エピタキシャル成長層 | 40 |
| 1 3 | ゲート絶縁膜 | |
| 1 4 | 導体膜 | |
| 1 5 | 素子分離領域 | |
| 1 6 | イオン源 | |
| 1 7 | 引き出し電極 | |
| 1 8 | 加速電圧 | |
| 2 1 | レンズ | |
| 2 2 | 偏向器 | |
| 2 3 | 壁 | |
| 2 6 | シュラウド | 50 |

- 27 入力配管
- 28 出力配管
- 50a, 50b, 50c . . . , 321 ~ 328 n型GaSb領域
- 60a, 60b, 60c . . . , 331 ~ 337 p型トンネル障壁層
- 70a, 70b, 70c . . . , 241, 246 ゲート電極
- 80a, 80b, 80c . . . ゲート電極パット
- 161 第1電極
- 162 第2電極
- 171 第1コンタクト領域
- 172 第2コンタクト領域
- 242 ~ 245 浮遊ゲート電極
- 252 ~ 255 制御ゲート電極

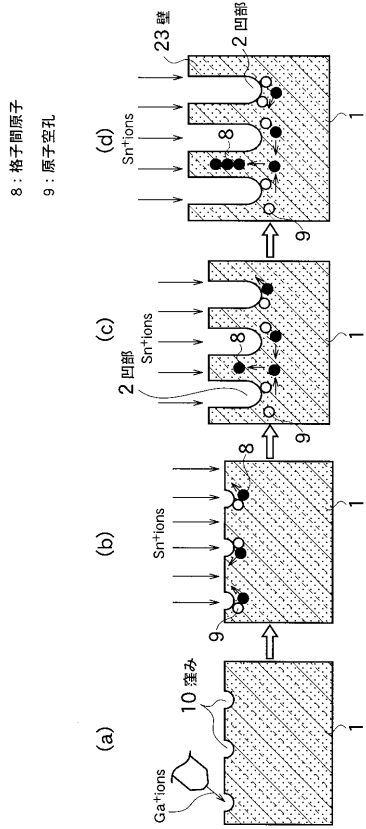
【図1】



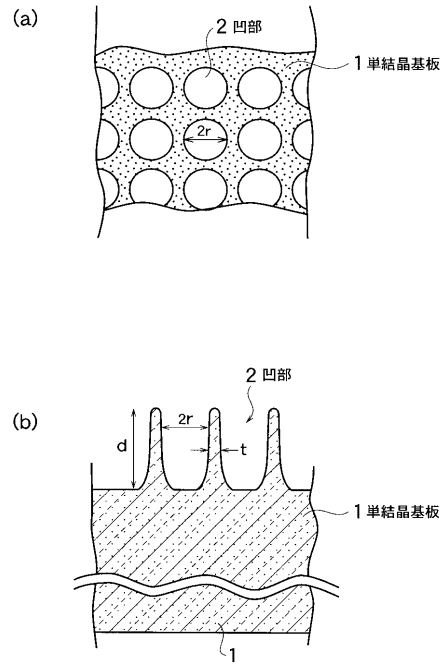
【図2】



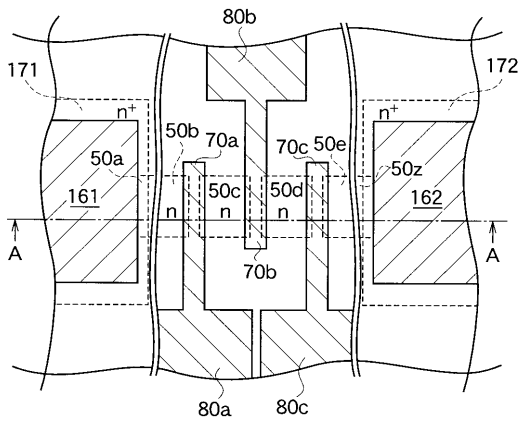
【 図 3 】



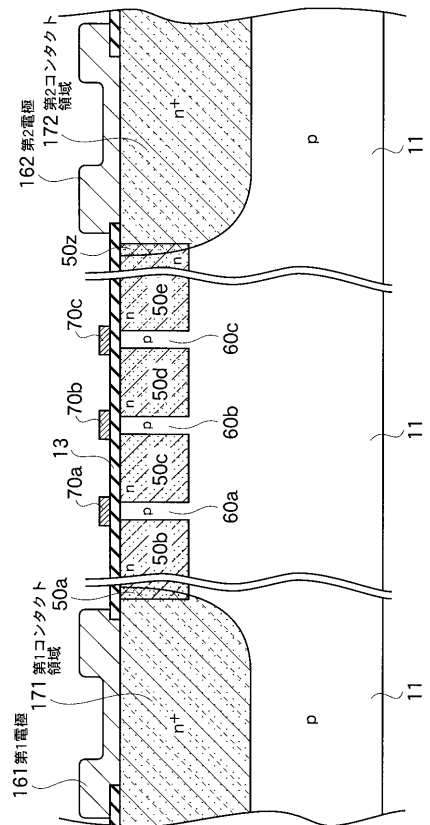
【 図 4 】



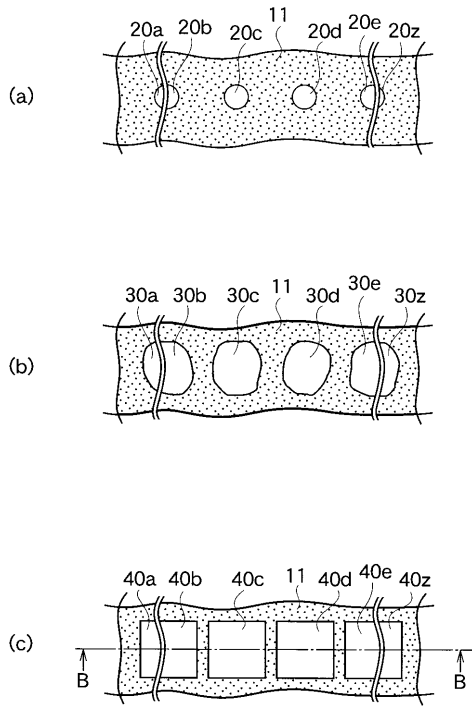
【 図 5 】



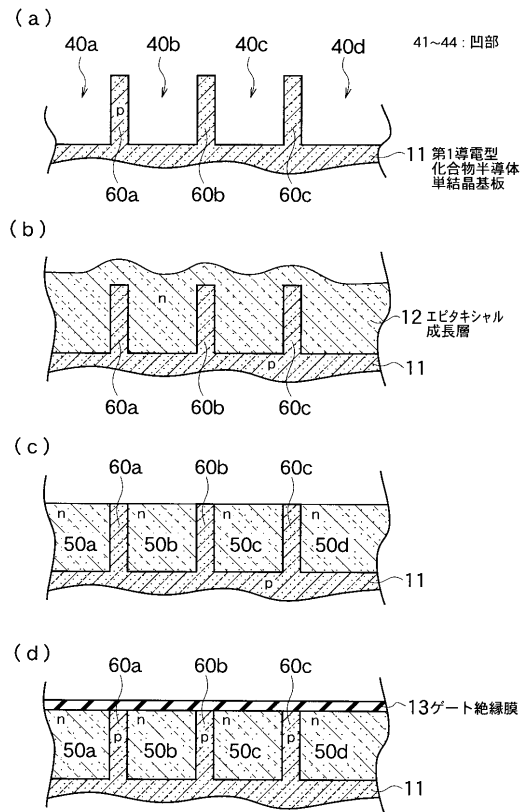
【 図 6 】



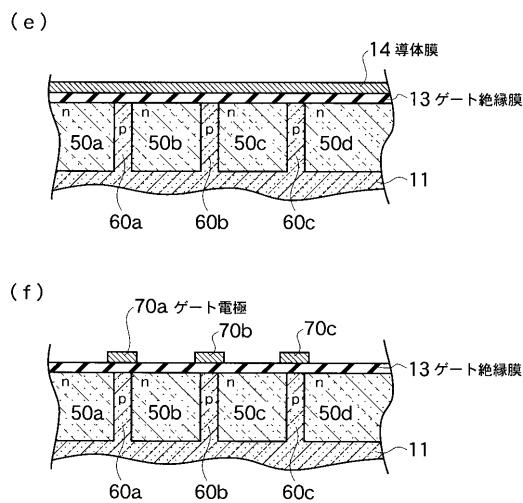
【 図 7 】



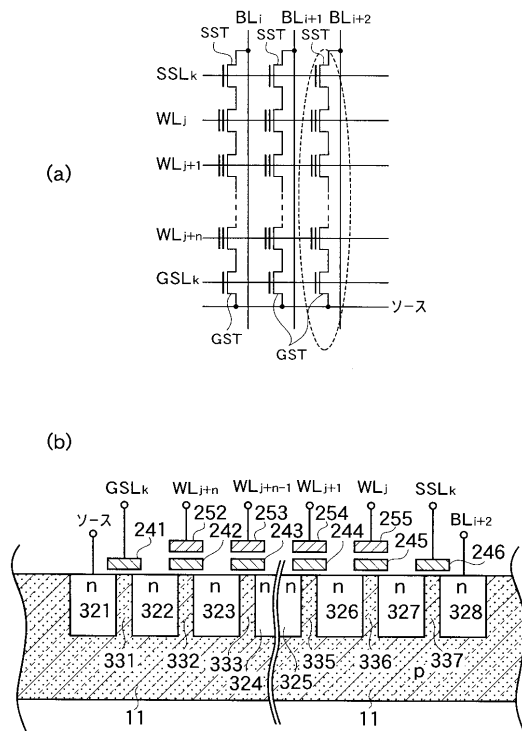
【 図 8 】



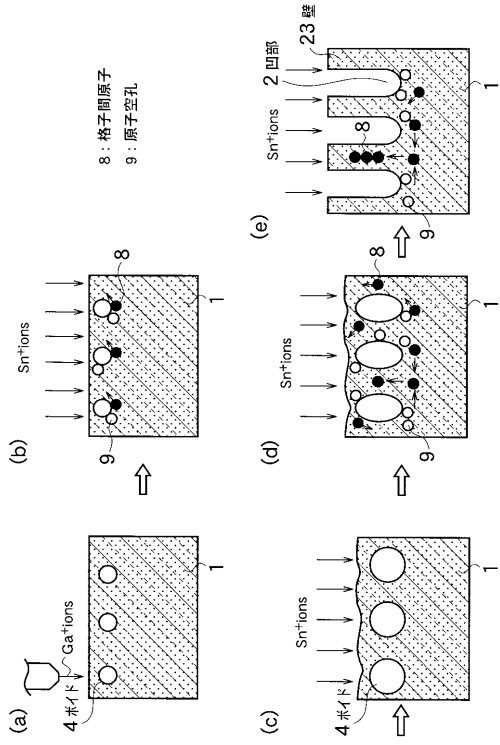
【 図 9 】



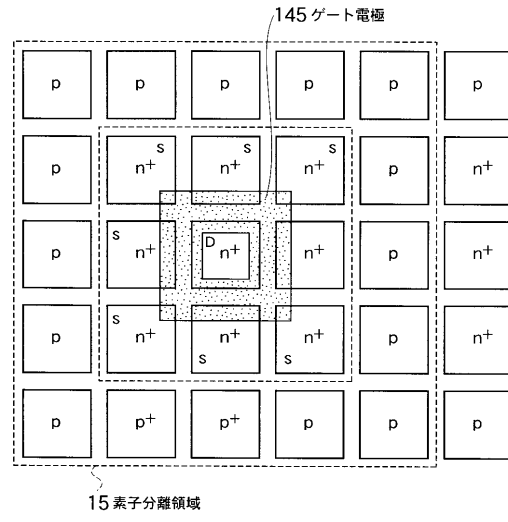
【 図 10 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

(74)代理人 100101247

弁理士 高橋 俊一

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 谷脇 雅文

高知県香美郡土佐山田町宮ノ口185番地 学校法人高知工科大学内

(72)発明者 新田 紀子

高知県香美郡土佐山田町宮ノ口185番地 学校法人高知工科大学内

Fターム(参考) 5F004 BA17 BB25 BD04 CA04 DA00 DB19 DB20 DB22 EA28 EA30

EA39 EB08

5F083 AD01 EP02 EP23 EP33 EP34 EP76 ER21 FZ10 HA06 JA19

JA35 JA36 JA38 JA39 NA03 PR01 PR03 PR04 PR21 PR25

PR36 PR40

5F101 BA01 BB05 BD02 BD10 BD22 BD34 BD40 BE07