

(51) Int.Cl. ⁷	識別記号	F I	テ-マコード [*] (参考)
H01L 21/265		H01L 29/06	5F001
27/115		29/66	5F040
29/06		21/265	Q 5F083
29/66		27/10	434 5F101
29/78		29/78	301 F

審査請求 未請求 請求項の数 2 O L (全10頁) 最終頁に続く

(21)出願番号	特願平11 - 329838	(71)出願人	597154966 学校法人高知工科大学 高知県香美郡土佐山田町宮ノ口185番地
(22)出願日	平成11年11月19日(1999.11.19)	(72)発明者	谷脇 雅文 高知県香美郡土佐山田町宮ノ口185番地 学校法人高知工科大学内
		(72)発明者	新田 紀子 高知県香美郡土佐山田町宮ノ口185番地 学校法人高知工科大学内
		(74)代理人	100083806 弁理士 三好 秀和 (外8名)

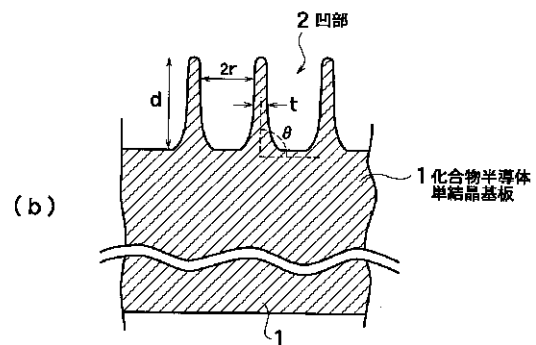
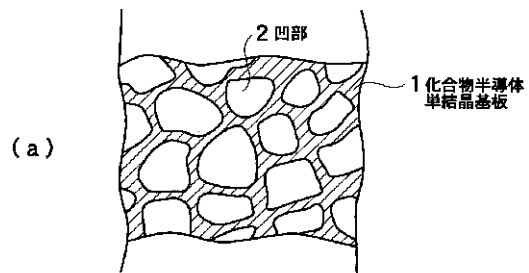
最終頁に続く

(54) 【発明の名称】 微細パターンの形成方法及び半導体装置の製造方法

(57) 【要約】

【課題】 簡単且つ安価に半導体表面に微細パターンを形成する。

【解決手段】 単結晶基板1を - 5 0 以下 - 2 7 3 以上の低温に冷却する工程と、単結晶基板の表面に荷電粒子を $1 \times 10^{14} \text{ cm}^{-2}$ 以上 $5 \times 10^{16} \text{ cm}^{-2}$ 以下のドーズ量にて、所定の加速電圧で注入する工程と、単結晶基板を室温に戻す工程とから少なくともなる。高価な電子ビーム露光装置やX線露光装置等を用いなくても、ナノメートルレベルの微細構造を簡単に形成することが可能である。例えば、深さ250nm、直径約50nm、凹部2と凹部2とを隔てる壁の厚さが5nm程度の凹部2からなる微細構造を単結晶基板1の表面に簡単に作成出来る。



【特許請求の範囲】

【請求項 1】 単結晶基板を -50 以下 -273 以上の低温に冷却する工程と、

前記単結晶基板の表面に荷電粒子を $1 \times 10^{14} \text{ cm}^{-2}$ 以上 $5 \times 10^{16} \text{ cm}^{-2}$ 以下のドーズ量にて、所定の加速電圧で注入する工程と、

前記単結晶基板を室温に戻す工程とから少なくともなることを特徴とする微細パターン形成方法。

【請求項 2】 化合物半導体単結晶基板の表面に所定の開口部を有するマスク材を形成する工程と、

前記化合物半導体単結晶基板を -50 以下 -273

以上の低温に冷却する工程と、

前記マスク材の開口部を介して、前記単結晶基板の表面に荷電粒子を $1 \times 10^{14} \text{ cm}^{-2}$ 以上 $5 \times 10^{16} \text{ cm}^{-2}$ 以下のドーズ量にて、所定の加速電圧で選択的に注入する工程と、

前記単結晶基板を室温に戻すことにより、前記単結晶基板の表面に凹部を形成する工程と、

前記凹部の内部にエピタキシャル成長する工程とから少なくともなることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は化合物半導体表面にナノメートルレベルの微細パターンを形成する方法、及びこれを用いた半導体装置の製造方法に関する。

【0002】

【従来の技術】現在半導体集積回路の集積化は進み、DRAM等の半導体メモリにおいては、ギガビットレベルの集積密度を有した構造が実現されつつある。ギガビットレベルの集積密度を有した半導体集積回路を製造するためには、半導体集積回路を構成する半導体素子の寸法は、サブクォーターミクロンから更に微細化されたナノメートルレベルの微細寸法が要求されることとなる。また、このような微細加工技術の進歩に伴い、メゾ・スコピックからアトム・スコピックレベルの半導体素子も形成出来るようになり、熱電子放射を用いたトランジスタや、単電子の振る舞いを利用した半導体素子等の量子力学的設計を用いた種々の半導体装置の試作が開始されている。

【0003】更に、最近光の波長オーダの周期構造を持つ1次元、2次元、3次元の構造体を構成し、古典光学とは異なる量子光学的現象を得ようとするフォトニック結晶の議論もなされている。

【0004】従来、半導体表面に微細パターンを形成するためにはフォトリソグラフィ法により微細パターンのマスクを描画し、このマスクを利用して反応性イオンエッチング (RIE) 法等により選択的にエッチングする等の高度且つ複雑な微細加工技術を必要としていた。しかし、微細パターンの寸法がナノメートルレベル、即ち、光の波長以下になると、光では目的とする微細パ

ターンを露光出来なくなる。このため光学的露光法に代わり、電子ビーム露光法やX線露光法が検討され、使用されつつある。

【0005】

【発明が解決しようとする課題】しかしながら、電子ビーム露光法やX線露光法を実施するためには、電子ビーム露光装置やX線露光装置等の1台10億円以上する高価な装置が必要である。また、電子ビーム露光法やX線露光法には解決すべき種々の問題も残っている。特に、装置が大型且つ高価であるのみでなく、ランニングコストも高く、高度な技術を要求される。このため、ナノメートルレベルの微細寸法を有した半導体装置は、製造コストが極めて高くなり、スループットが低いという問題がある。

【0006】本発明は、極めて簡単な方法で、且つ安価に半導体表面にナノメートルレベルの微細パターンを形成する方法を提供することを目的とする。

【0007】本発明の他の目的は、安価に、ナノメートルレベルの微細パターンを有した半導体装置の製造方法を提供することである。

【0008】

【課題を解決するための手段】上記目的を達成するため、この発明による微細パターン形成方法は、(イ)単結晶基板を -50 以下 -273 以上の低温に冷却する工程と、(ロ)単結晶基板の表面に荷電粒子を $1 \times 10^{14} \text{ cm}^{-2}$ 以上 $5 \times 10^{16} \text{ cm}^{-2}$ 以下のドーズ量にて、所定の加速電圧で注入する工程と、(ハ)単結晶基板を室温に戻す工程とから少なくともなることを特徴とする。ここで、「単結晶基板」には、化合物半導体単結晶基板やその他の無機材料からなる単結晶基板が含まれる。また、荷電粒子として、種々の元素のイオンを用いることが可能である。即ち、荷電粒子の注入は、周知のイオン注入技術を採用することが可能である。化合物半導体単結晶基板を低温に冷却するためには、化合物半導体単結晶基板を保持・固定する基板ホルダを液体ヘリウムや液体窒素等の所定の冷媒を用いて冷却することにより化合物半導体単結晶基板を冷却する方法等が採用できる。

【0009】上記の微細パターンの形成方法によれば、荷電粒子の単結晶基板注入時の温度、加速電圧、注入量を選ぶことにより、種々の単結晶基板、例えば、ガリウム・アンチモン (GaSb)、インジウム・アンチモン (InSb)、ガリウム砒素 (GaAs)、インジウム砒素 (InAs) やインジウム燐 (InP) 等の化合物半導体単結晶基板の表面に、ナノメートルレベルの蜂の巣構造を簡単に形成することが可能である。

【0010】通常、室温等の一定温度以上で、イオン注入された半導体表面は、デポジットされたエネルギーが臨界値以上になる深さまで非晶質化するだけであり、表面の極端な変形はみられない。実際、本発明者らがこれ

までに行った基板温度を室温にしたガリウム砒素 (GaAs) やインジウム燐 (InP) に対するイオン注入の検討では、表面から一定深さの層の非晶質層と損傷領域が形成されるだけであり、このような特異な構造を見出すことは出来なかった。しかし、単結晶基板を -50 以下 -273 以上の低温に冷却して、荷電粒子を注入することにより、荷電粒子の射影飛程 R_p の 5 ~ 10 倍程度の深さの凹部が単結晶基板の表面に形成される。蜂の巣構造を構成する凹部 (穴) の直径は、荷電粒子の射影飛程 R_p のオーダーである。例えば、蜂の巣構造を構成する凹部 (穴) の直径がおよそ 50 nm の場合は、深さ 250 nm の凹部が形成される。凹部と凹部とを隔てる壁の厚さは 5 nm 程度である。

【0011】例えば、ガリウム・アンチモン (GaSb) 単結晶基板の場合、その表面に形成された蜂の巣構造を透過型電子顕微鏡で観察し、そのフーリエ変換による局所解析、及び EDX による局所組成分析を行った結果、蜂の巣構造を構成する壁にはガリウム (Ga) の濃度が高い。また、蜂の巣構造を構成する壁の上部はアモルファスであるが、下部では結晶性が認められ、その方位は基板のマトリクスと整合している。これらの結果等から、蜂の巣構造の形成には、低温で荷電粒子を単結晶基板に注入した際に形成される点欠陥の挙動が支配していると考えられる。つまり、本発明の単結晶基板の表面に形成される微細構造は、以下の機構により形成されると考えられる。

【0012】①荷電粒子の注入 (イオン注入) によって、単結晶基板の表面に、原子空孔と格子間原子が形成される；

②単結晶基板の表面に形成された原子空孔はあまり移動出来ないが、格子間原子は低温で移動する。その一部はループ等の集合体を形成し、単結晶基板表面に脈 (盛り上がった部分) が発生する；

③一定の時間が経過し、低温における荷電粒子の注入が更に進んだ場合、脈の下部分は荷電粒子が届かないため、欠陥が形成されない；

④この脈の下部分には周辺から格子間原子が流れ込み、集合体をつくり、脈は根元部分で成長し高い壁が出来る。他方、脈ではないところでは、原子空孔は単結晶基板の表面に移動・消滅し、単結晶基板の表面はむしろ後退するので、深い巣穴 (凹部) となる。

【0013】従って、本発明の微細パターンの形成方法においては、単結晶基板の温度 T_{SUB} 、荷電粒子の加速電圧 V_{AC} と荷電粒子の種類 (イオン種)、荷電粒子の注入ドーズ量、単結晶基板の結晶面方位等を選択することにより、凹部の直径 $2r$ 、深さ d 、凹部と凹部との間の壁の厚さ t 、壁の凹部の底面に対してなす角度 θ を精密に制御出来る。具体的には、単結晶基板の温度 T_{SUB} は、格子間原子と原子空孔の移動度のバランスを考慮して単結晶基板の温度 T_{SUB} を決めれば良い。また、荷電

粒子の注入により、格子間原子が単結晶基板の表面から射影飛程 R_p の深さに形成され、この格子間原子の一部は横方向に射影飛程 R_p 程度まで移動する。即ち、注入イオンの射影飛程 R_p を選ぶことにより、巣穴 (凹部) のサイズ (半径) を決めることが出来る。そして、荷電粒子の注入ドーズ量を多くすれば、単結晶基板の表面に形成される格子間原子の量が多くなり、壁をより高く出来る。即ち、荷電粒子の注入ドーズ量が多くなることにより、凹部の深さを深く出来る。また、注入する荷電粒子も質量が大きいくほど、欠陥形成量が増えるので、荷電粒子の質量を選択することにより、凹部の深さを制御出来る。従って、荷電粒子の種類として、錫イオン (Sn^+)、炭素イオン (C^+)、シリコンイオン (Si^+)、ゲルマニウムイオン (Ge^+) 等の種々のイオンを、その目的とする凹部の構造に応じて選択すれば良い。

【0014】本発明による半導体装置の製造方法は、上記の微細パターンの形成方法を応用したものである。即ち、上記の単結晶基板の一例として、化合物半導体単結晶基板を選定し、(イ)この化合物半導体単結晶基板の表面に所定の開口部を有するマスク材を形成する工程と、(ロ)化合物半導体単結晶基板を -50 以下 -273 以上の低温に冷却する工程と、(ハ)マスク材の開口部を介して、単結晶基板の表面に荷電粒子を $1 \times 10^{14} \text{ cm}^{-2}$ 以上 $5 \times 10^{16} \text{ cm}^{-2}$ 以下のドーズ量にて、所定の加速電圧で選択的に注入する工程と、(ニ)単結晶基板を室温に戻すことにより、単結晶基板の表面に凹部を形成する工程と、(ホ)凹部の内部にエピタキシャル成長する工程とから少なくともなることを特徴とする。

【0015】本発明による半導体装置の製造方法によれば、凹部と凹部との間の間隔が 5 nm 程度の構造が、高価な電子ビーム露光装置や X 線露光装置等を用いなくても、簡単に形成出来る。従って、トンネル注入効果、バリスティック輸送効果やその他の量子力学的効果を用いたメソスコピックスケール、アトミックスケールの半導体装置が簡単に製造出来る。

【0016】

【発明の実施の形態】次に、図面を参照して、本発明の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。従って、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。また図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

【0017】(微細パターンの形成方法) まず、具体的な半導体装置の製造方法の説明に入る前に、単結晶基板の表面にナノメートルレベル、メソスコピックスケール、

アトミックスケールの微細パターンを形成を形成するための具体的な条件について説明する。即ち、本発明の実施の形態に係る微細パターンの形成方法としては、「単結晶基板」として、化合物半導体単結晶基板を用いた場合について説明する。この化合物半導体単結晶基板として特に、面方位が(111)面のInSb単結晶基板及び面方位が(100)面のGaSb単結晶基板を用いた場合について説明する。

【0018】(イ)まず、InSb単結晶基板及びGaSb単結晶基板を-130乃至-123の低温に冷却する。具体的には、InSb単結晶基板及びGaSb単結晶基板を、イオン注入装置の試料室内の基板ホルダに密着性を保ってセットし、この試料室の内部を、 10^{-3} Pa乃至 10^{-8} Paの所定の圧力まで真空排気し、真空中で冷却する。即ち、基板ホルダの温度を熱電対等の温度モニターで測定しながら、液体窒素(LN₂)等の冷媒を用いて冷却する。

【0019】(ロ)次に、InSb単結晶基板及びGaSb単結晶基板の表面に荷電粒子としての錫イオン(Sn⁺)を、加速電圧V_{ac} = 60 kVにおいて、所定のドーズ量でイオン注入する。具体的には、4種の試料(試料A、試料B、試料C、及び試料D)を用意し以下の条件でイオン注入する。試料Aは、InSb単結晶基板であり、試料B乃至Dは、GaSb単結晶基板である。

(試料A) - 130 でドーズ量 = 6.7×10^{14} cm⁻²、

(試料B) - 130 でドーズ量 = 4×10^{14} cm⁻²、

(試料C) - 130 でドーズ量 = 8×10^{14} cm⁻²、

(試料D) - 123 でドーズ量 = 1.1×10^{15} cm⁻²、

(ハ)上記条件のイオン注入が終了したら、自然加熱により、InSb単結晶基板及びGaSb単結晶基板を室温に戻す。InSb単結晶基板及びGaSb単結晶基板が室温に戻ったら、これらのInSb単結晶基板及びGaSb単結晶基板を、イオン注入装置の試料室から取り出す。

【0020】そして、これら4種の試料(試料A、試料B、試料C、及び試料D)の表面を走査型電子顕微鏡(SEM)、断面を透過型電子顕微鏡(TEM)で観察すると、図1(a)に示すような平面形状、及び図1(b)に示すような断面形状が得られる。即ち、本発明の実施の形態に係る微細パターンの形成方法によれば、図1(b)に示すように、化合物半導体単結晶基板1の表面に直径2r、深さdの複数個の凹部2が、蜂の巣(マトリクス)状に形成される。凹部2と凹部2の間には、厚さtの壁が形成され、この壁は凹部の底面に対して角度θをなしている。4種の試料について、形状を説明すると以下のようである。

【0021】(試料A) 2r = ~50 nm, t = ~10 nm, d = ~200 nm, θ = ~90°;

(試料B) 2r = ~40 nm, 穴の密度 ~ 5×10^{13} / m²;

(試料C) 2r = ~50 nm, t = ~5 nm ~ 10 nm, d = ~250 nm, θ = 65° ~ 90°, 穴の密度 ~ 3×10^{13} / m²;

(試料D) 2r = ~50 nm, t = ~10 nm, d = ~250 nm ~ 300 nm 穴の密度 ~ 3×10^{13} / m²、である。

【0022】以上の結果から、蜂の巣(マトリクス)状の凹部2の形成機構として次のようなモデルが推定出来る。

【0023】(1)まず、イオン注入により生成される点欠陥(格子欠陥と原子空孔)のうち、単結晶基板(試料A、試料B、試料C、及び試料D)の保持されている基板温度T_{sub}では、格子間原子がある程度の距離を移動するが原子空孔はあまり移動しないと考える。

【0024】(2)イオン注入初期に、格子間原子が移動し、その一部がループ等の集合体を形成し、単結晶基板表面に盛り上がったところ(脈)が出来ると仮定する。そして、脈に囲まれた部分を盆地とする。

【0025】(3)脈の上の方では点欠陥が形成されるが、単結晶基板の表面が近いので消滅する。一定の時間が経過し、低温における荷電粒子の注入が更に進んだ場合、脈の下の部分は荷電粒子が届かないため、脈の下部には点欠陥が出来ない。

【0026】(4)盆地の直下(イオン射影飛程R_pは30 nmぐらい)では、点欠陥が形成される。格子間原子の一部は濃度の低い方(即ち、脈の下)に移動する。

【0027】(5)それらは、脈の根元部分に移動し、脈は高くなり壁となる。

【0028】(6)盆地直下に形成される原子空孔は、あまり移動出来ず表面にでていく。即ち盆地は高くない(むしろ低くなる)。

【0029】(7)この結果、蜂の巣構造が形成される。

【0030】このようにして、本発明の微細パターンの形成方法においては、単結晶基板の温度T_{sub}、荷電粒子加速電圧V_{ac}と荷電粒子の種類(イオン種)、注入ドーズ量、結晶面方位を規定することにより、蜂の巣の構造を構成している凹部2の直径2r、深さd、凹部2と凹部2との間の壁の厚さtの壁、壁の凹部の底面に対してなす角度θを制御出来る。つまり、本発明の微細パターンの形成方法においては、以下のように条件を選定することにより、凹部の寸法や形状が制御できる。

【0031】(イ)単結晶基板の温度T_{sub}: 格子間原子と原子空孔の移動度のバランスを考慮して単結晶基板の温度T_{sub}を決めれば良い。

【0032】(ロ)加速電圧V_{ac}とイオン種: 格子間原

子が表面から h の深さに形成されるとすると、一部は横方向に h 程度まで移動出来る。格子間原子の横方向移動距離が凹部（巣穴）のサイズを決め、凹部の半径が h 程度になる。加速電圧 V_{Ac} を低くする、或いはイオン種を重くすると、注入イオンの射影飛程 R_p が小さく（浅く）なる。即ち、注入イオンは基板表面の浅いところまでしか届かず、凹部の半径は小さくなり、逆の場合は、注入イオンの射影飛程 R_p が深くなり、凹部の半径が大きくなる。巣穴成長初期では、注入ドーズ量もサイズに関係する。

【0033】（ハ）注入ドーズ量：注入ドーズ量が多いと形成される格子間原子の量が多くなり、壁がより高くなる。即ち、巣穴が深くなる。注入イオン種も質量が大きいほど、欠陥形成量が増え、巣穴が深くなる。

【0034】（半導体装置の製造方法）上記の蜂の巣構造は、そのサイズから、光学デバイス・量子効果半導体デバイスを中心とする広範囲の応用が可能である。

【0035】例えば、本発明の実施の形態に係る微細パターンの形成方法により形成された構造の隔壁の厚さはおよそ5 nm程度であり、隔壁中の電子の振る舞いに、トンネル効果や量子力学的効果が現れる。また、上記の微細パターンの形成方法により形成された凹部、若しくは凹部と凹部との間のサイズが光の波長オーダーになるので、2次元、3次元のフォトニック結晶が、自己形成的に簡単に製造出来る。即ち、本発明の実施の形態に係る微細パターンの形成方法により、ナノメートルレベルの規則的組織構造を構成し、フォトニックギャップを実現することが可能である。このため、フォトニック結晶を用いて、光の閉じこめ効果や発光特性の制御をすることにより、半導体レーザなみの動作速度とコヒーレンスを持つ発光ダイオード（LED）等の製造が可能である。或いは、半導体レーザとして利用すれば、利得の大きく、鋭い利得スペクトルが期待出来る。

【0036】また、ナノメートルレベルの規則的組織構造により、一定のチップ面積に対して、その表面積を相対的に大きくできる。このため、本発明の実施の形態に係る微細な凹部構造を、嗅覚センサやコンデンサ等の大きな表面積を必要とする素子に適用すれば、小型で高性能な素子を実現することが可能である。

【0037】更に、以下に示すようなメゾスコピックスケール、アトミックスケールの構造を有する機能素子や半導体メモリを構成することも可能である。

【0038】[具体例1：機能素子] 図4及び図5(c)は、機能素子の一例としてのトンネル注入型ニューロン素子の構造を示す模式的な断面図及び平面図である(図5(c)のB-B方向に沿った断面図が図4である)。本発明の実施の形態に係るトンネル注入型ニューロン素子は、図4及び図5(c)に示すように、第1電極161と第2電極162との間に複数個のゲート電極141, 142, 143, …が配置されている。図4

の断面図に明らかなように、GaSbからなるn型領域121とn型領域122との間、n型領域122とn型領域123との間、n型領域123とn型領域124との間、…には、それぞれ厚さ5 nmのp型GaSb層からなるトンネル注入層が形成されている。n型領域120, 121, 122, …, 129は、p型GaSb基板11中に1次元的に配列されている。n型領域120, 121, 122, …, 129の1次元的配列の一方の端部に位置するn型領域120には、n⁺型GaSb領域からなる第1コンタクト領域171、他方の端部に位置するn型領域129には、n⁺型GaSb領域からなる第2コンタクト領域172が形成されている。そして、第1コンタクト領域171、及び第2コンタクト領域172には、オーミック接触するように、金・ゲルマニウム(Au-Ge)/ニッケル(Ni)/金(Au)等の金属からなる第1電極161, 第2電極162がそれぞれ接続されている。複数個のゲート電極141, 142, 143, …は、アルミニウム(Al)等の単層金属膜、チタン(Ti)/白金(Pt)/金(Au)等の多層金属膜、タングステンシリサイド(WSi_x)等から構成されている。そして、この複数個のゲート電極141, 142, 143, …に、図5(c)の平面図に示したゲート電極パッド141p, 142p, 143p, …を介して、それぞれ複数の入力信号が印加される。ゲート電極141, 142, 143, …の直下には図4に示すように、ゲート絶縁膜13が形成され、ゲート電極141, 142, 143, …に印加される複数の入力信号に応じて、ゲート電極141, 142, 143, …直下のトンネル注入層の電界が制御され、それぞれのトンネル注入層を流れるトンネル電流が制御される。この結果、複数の入力信号に応じて、第1電極161と第2電極162との間に多値の論理信号が流れ、神経細胞的動作をすることが出来る。

【0039】図4及び図5(c)に示すトンネル注入型ニューロン素子は、以下のような製造方法によって実現出来る。

【0040】(イ)まず化合物半導体単結晶基板として、(100)面を有したp型のGaSb基板11を用意する。この化合物半導体単結晶基板11の表面に酸化膜、若しくは金属薄膜、又はこれらの複合膜を堆積する。そして、周知のフォトリソグラフィ技術及びRIE法等を用い、この酸化膜、若しくは金属薄膜、又はこれらの複合膜の一部に、所定の開口部を形成し、イオン注入用のマスク材とする。

【0041】(ロ)そして、この化合物半導体単結晶基板11を、イオン注入装置の試料室内の基板ホルダにセットする。試料室の内部を、 10^{-3} Pa乃至 10^{-8} Paの所定の圧力まで、真空排気する。そして、基板ホルダの温度を熱電対等の温度モニターで測定しながら、液体窒素等の冷媒を用いて、-50 以下 -273 以上

の低温、例えば、 -130 程度に冷却する。この結果、化合物半導体単結晶基板 11 が、所定の温度まで冷却される。

【0042】(ハ)化合物半導体単結晶基板 11 が所定の温度まで冷却されたら、マスク材の開口部を介して、単結晶基板の表面に荷電粒子として、錫イオン (Sn^{+}) を $1 \times 10^{14} \text{ cm}^{-2}$ 以上 $5 \times 10^{16} \text{ cm}^{-2}$ 以下のドーズ量にて、所定の加速電圧、例えば、 60 kV で選択的に注入する。

【0043】(ニ)化合物半導体単結晶基板 11 を室温に戻し、化合物半導体単結晶基板 11 を、イオン注入装置の試料室から取り出す。以上の工程により、図 5 (a) に示すように、化合物半導体単結晶基板 11 の表面に凹部 20, 21, …, 29 が形成される。マスク材を用いて、選択的にイオン注入しているため、図 1 (a) とは異なり、凹部 20, 21, …, 29 が一次的に配列される。

【0044】(ホ)その後、塩素 (Cl_2) 系のエッチングガスを用いたドライエッチングにより、凹部 20, 21, …, 29 の表面をスライトエッチングすれば、4 面を {110} 面で囲まれた矩形の凹部 31, 32, …, 39 が形成出来る。一定の目的の場合には、このスライトエッチングを省略して、図 5 (a) に示すような不定型な凹部を採用することも可能である。図 5 (a) の A - A 方向に沿った断面図が図 2 (a) である。そして、図 2 (b) に示すように、有機金属 CVD (MOCVD) 法、分子線エピタキシャル (MBE) 法等を用いて、凹部 31, 32, 33, 34, … の内部に n 型の GaSb からなるエピタキシャル成長層 12 をエピタキシャル成長する。

【0045】(ヘ)続いて、化学的機械研磨 (CMP) 等の手法により、図 2 (c) に示すように、表面を平坦化し、凹部 31, 32, …, 39 の内部に、n 型の GaSb 領域 121, 122, 123, 124 を埋め込む。その後、光励起低温 CVD 法等を用いて、厚さ 20 nm 乃至 80 nm の酸化膜、窒化膜等のゲート絶縁膜 13 を図 2 (d) に示すように堆積する。酸化膜、窒化膜等の絶縁膜の代わりに、GaSb よりも禁制帯幅の大きなアルミニウムアンチモン (AlSb)、窒化アルミニウム (AlN) やセレン化亜鉛 ($ZnSe$) 等の半導体層をエピタキシャル成長して、GaSb との界面にヘテロ接合を形成しても、ゲート絶縁膜 13 と同等の機能を果たすことが可能である。

【0046】(ト)その後、図 3 (e) に示すように、ゲート絶縁膜 13 の上に、アルミニウム (Al) 等の単層金属膜、チタン (Ti) / 白金 (Pt) / 金 (Au) 等の多層金属膜、タングステンシリサイド (WSi_x) 等のシリサイド膜等の導体膜 14 を、CVD 法、真空蒸着法、スパッタリング法等の周知の手法を用いて堆積する。そして、フォトリソグラフィ技術及び RIE 法を

用い、導体膜 14 をパターニングすれば、ゲート電極 141, 142, 143 が完成する。

【0047】なお、図 4 に示すように、n 型の GaSb 領域 120 に接続した n^+ 型 GaSb 領域からなる第 1 コンタクト領域 171、及び n 型の GaSb 領域 129 に接続した n^+ 型 GaSb 領域からなる第 2 コンタクト領域 172 を形成する場合は、 Sn^{+} の選択的イオン注入の前に、シリコン (Si^{+})、セレン (Se^{+}) 等の IV 属元素の室温における選択的イオン注入とこの活性化の熱処理を行っておけば良い。そして、フォトリソグラフィ技術及び RIE 法を用い、ゲート絶縁膜 13 にコンタクトホールを開口し、金・ゲルマニウム (Au-Ge) / ニッケル (Ni) / 金 (Au) 等の金属からなる第 1 電極 161, 第 2 電極 162 を形成すれば良い。第 1 電極 161, 第 2 電極 162 のパターニングは、周知のリフトオフ工程を用いれば良い。

【0048】このように、本発明の実施の形態に係る半導体装置の製造方法によれば、高価な電子ビーム露光装置や X 線露光装置等を用いなくても、メゾスコピックスケール、アトミックスケールの半導体装置が簡単に製造出来る。

【0049】また、図 4 及び図 5 (c) において、n 型領域 120, 121, 122, …, 129 の 1 次元配列のうち隣接する 2 個のみの配置としてもよい。即ち、隣接する 2 個の GaSb からなる n 型領域の間の p 型 GaSb 層の上部に 1 本のゲート電極を設ければ、隣接する 2 個の n 型領域をソース・ドレイン領域とする絶縁ゲート型トランジスタとすることが可能である。

【0050】[具体例 2: 半導体メモリ] 図 6 (a) は、NAND 型半導体メモリ (EEPROM) の等価回路図で、図 6 (b) は、その一部 (破線で示した範囲内) のストリングの断面図である。図 6 (a) に示すように、この NAND 型 EEPROM は、複数のビット線 $BL_i, BL_{i+1}, BL_{i+2}, \dots$ と、これに直交する複数のワード線 $WL_j, WL_{j+1}, \dots, WL_{j+n}$ によりマトリクスが構成されている。各ビット線 $BL_i, BL_{i+1}, BL_{i+2}, \dots$ はそれぞれ複数の絶縁ゲート型トランジスタのセルが直列接続されたストリングにより構成されている。各ストリングの両端には、ストリング選択トランジスタと接地選択トランジスタが接続されている。各ストリングのそれぞれのストリング選択トランジスタ及び接地選択トランジスタには、共通のストリング選択線 SSL_k と接地選択線 GSL_k が接続されている。

【0051】図 6 (b) の断面図に明らかなように、GaSb からなる n 型領域 321 と n 型領域 322 との間、n 型領域 322 と n 型領域 323 との間、… n 型領域 327 と n 型領域 328 との間、… には、それぞれ厚さ 5 nm の p 型 GaSb 層が形成されている。n 型領域 321, 322, …, 328 は、p 型 Ga

S b 基板 1 1 中に 1 次元的に配列されている。この 1 次元的配列は、図 5 と同様に、 $- 1 3 0$ 程度の低温において、錫イオン ($S n^{+}$) を $1 \times 1 0^{14} c m^{-2}$ 以上 $5 \times 1 0^{16} c m^{-2}$ 以下のドーズ量にて、 $6 0 k V$ 程度の加速電圧で、選択的に注入すればよい。n 型領域 3 2 2 と n 型領域 3 2 3 との間の p 型 G a S b 層の上部には、浮遊ゲート電極 2 4 2 及び制御ゲート電極 2 5 2 が配置されている。同様に、n 型領域 3 2 3 と n 型領域 3 2 4 との間の p 型 G a S b 層の上部には、浮遊ゲート電極 2 4 3 及び制御ゲート電極 2 5 3 が、……、n 型領域 3 2 6 と n 型領域 3 2 7 との間の p 型 G a S b 層の上部には、浮遊ゲート電極 2 4 5 及び制御ゲート電極 2 5 5 が配置されている。n 型領域 3 2 1 と n 型領域 3 2 2 との間の p 型 G a S b 層の上部には、接地選択トランジスタのゲート電極 2 4 1 , n 型領域 3 2 7 と n 型領域 3 2 6 との間の p 型 G a S b 層の上部には、ストリング選択トランジスタのゲート電極 2 4 6 が配置されている。

【 0 0 5 2 】このように、本発明の実施の形態に係る半導体装置の製造方法によれば、高価な電子ビーム露光装置や X 線露光装置等を用いなくても、図 6 に示すような、微細寸法の半導体メモリが簡単に製造出来る。

【 0 0 5 3 】(その他の例)上記の開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【 0 0 5 4 】例えば、上記において、低温でのイオン注入の材料として、G a S b , I n S b を例示したが、化合物半導体単結晶基板表面に観察される蜂の巣構造は、イオン注入条件を選ぶならば、他の化合物半導体単結晶基板は勿論、多くの無機物質からなる基板の表面にも形成することが可能である。

【 0 0 5 5 】図 7 は、凹部の内部に n⁺ 型 G a S b からなるエピタキシャル成長層埋め込んだ後、中央部の 3 × 3 のマトリクスを取り囲んで p 型領域を形成し、素子分離領域 2 1 を構成した例である。3 × 3 のマトリクスの中央部の n⁺ 型 G a S b をドレイン領域、その外側の 8 個の n⁺ 型 G a S b をソース領域、この境界部にゲート電極 1 4 5 を構成すれば、単位絶縁ゲートトランジスタが構成される。この単位絶縁ゲートトランジスタを基礎としたユニットセルをマトリクス状に配置して、D R A M 等の半導体メモリや 2 次元イメージセンサを構成することが可能である。

【 0 0 5 6 】また、図 7 においては、矩形の凹部を示しているが、結晶構造の対称性 (異方性) に応じて、三角形や六角形等の凹部を構成することも可能である。

【 0 0 5 7 】このように、本発明は、上記の半導体装置以外の他の新機能性半導体デバイスや、ポーラス性無機材料を用いた種々の機能を有する電子装置、或いはポーラス性磁性材料を用いた磁気記録媒体等に適用可能である。

【 0 0 5 8 】このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。従って、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【 0 0 5 9 】

【発明の効果】本発明によれば、極めて簡単に単結晶基板の表面にナノメートルレベルの微細パターンを形成出来る。

10 【 0 0 6 0 】本発明の半導体装置の製造方法によれば、安価に、ナノメートルレベルの微細パターンを有した半導体装置を提供することが出来る。

【図面の簡単な説明】

【図 1】図 1 (a) は、本発明の実施の形態に係る微細パターンの形成方法により形成した半導体表面の走査型電子顕微鏡 (S E M) 平面図で、図 1 (b) は対応する透過型電子顕微鏡 (T E M) で観察した断面形状である。

20 【図 2】本発明の実施の形態に係る半導体装置の製造方法を説明するための工程断面図である (その 1) 。

【図 3】本発明の実施の形態に係る半導体装置の製造方法を説明するための工程断面図である (その 2) 。

【図 4】本発明の実施の形態に係る半導体装置の具体例 1 としての、トンネル注入型ニューロン素子の構造を示す模式的な断面図である。

30 【図 5】図 4 のトンネル注入型ニューロン素子の製造方法を説明するための工程平面図である。

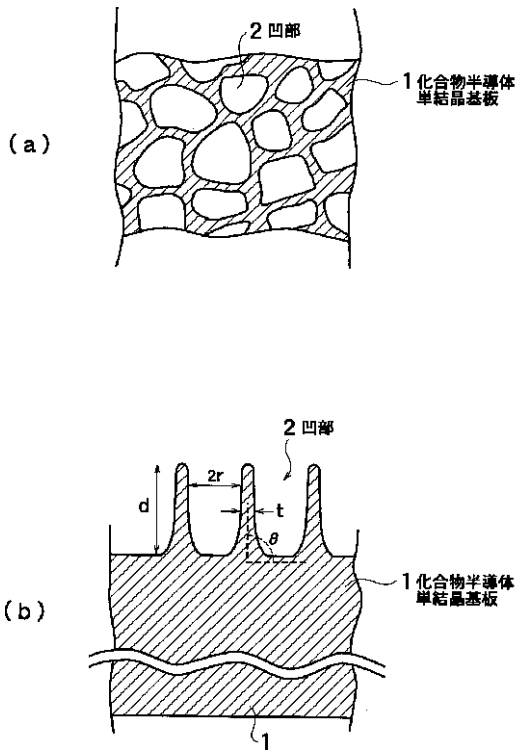
【図 6】図 6 (a) は、本発明の実施の形態に係る半導体装置の具体例 2 としての N A N D 型 E E P R O M の等価回路図で、図 6 (b) はその一部のストリングの断面図である。

【図 7】本発明の実施の形態に係る半導体装置の他の例として、マトリクス構造を構成する単位絶縁ゲートトランジスタを示す模式的平面図である。

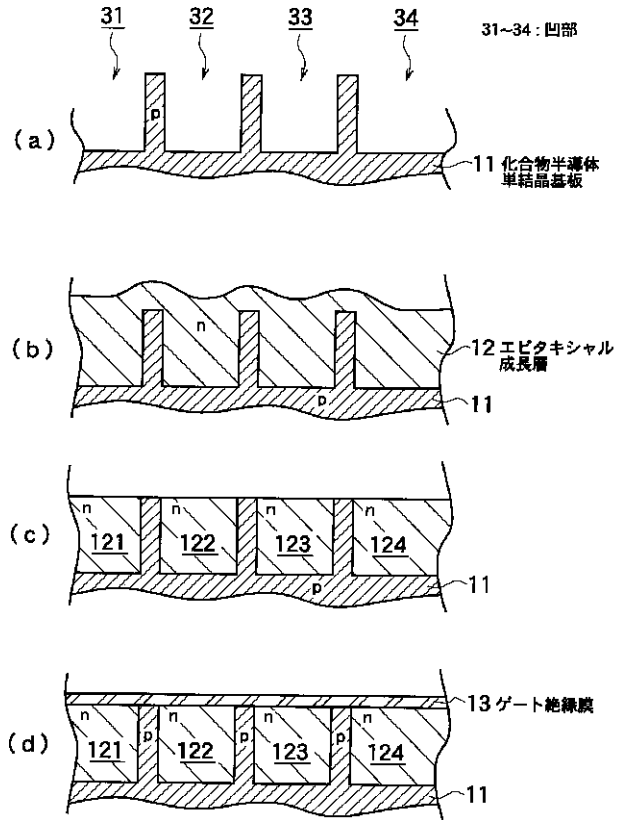
【符号の説明】

- 1 , 1 1 半導体単結晶
- 2 , 2 0 ~ 2 4 , 2 7 , 3 0 ~ 3 4 , 3 9 凹部
- 1 2 エピタキシャル成長層
- 1 3 ゲート絶縁膜
- 40 1 4 導体膜
- 2 1 素子分離領域
- 1 2 0 ~ 1 2 4 , 1 2 9 , 3 2 1 ~ 3 2 8 n 型 G a S b 領域
- 1 4 1 , 1 4 2 , 1 4 3 , 1 4 5 , 2 4 1 , 2 4 6 ゲート電極
- 1 4 1 p , 1 4 2 p , 1 4 3 p ゲート電極パッド
- 1 6 1 第 1 電極
- 1 6 2 第 2 電極
- 1 7 1 第 1 コンタクト領域
- 50 1 7 2 第 2 コンタクト領域

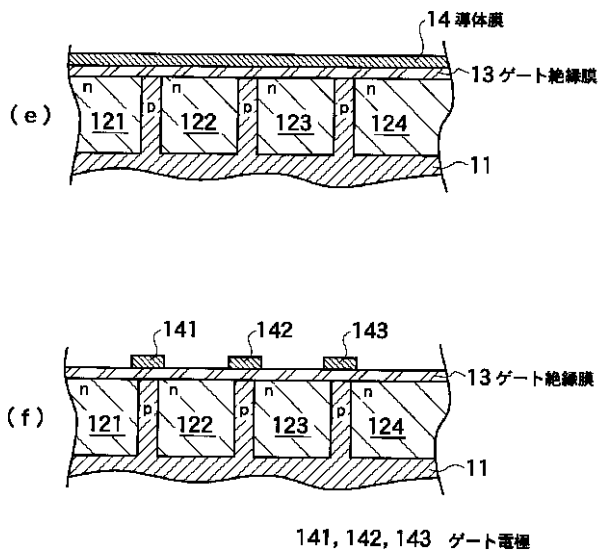
【図1】



【図2】

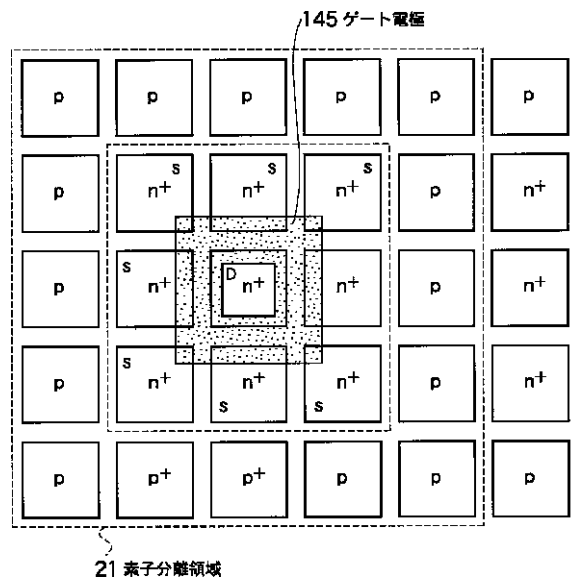


【図3】



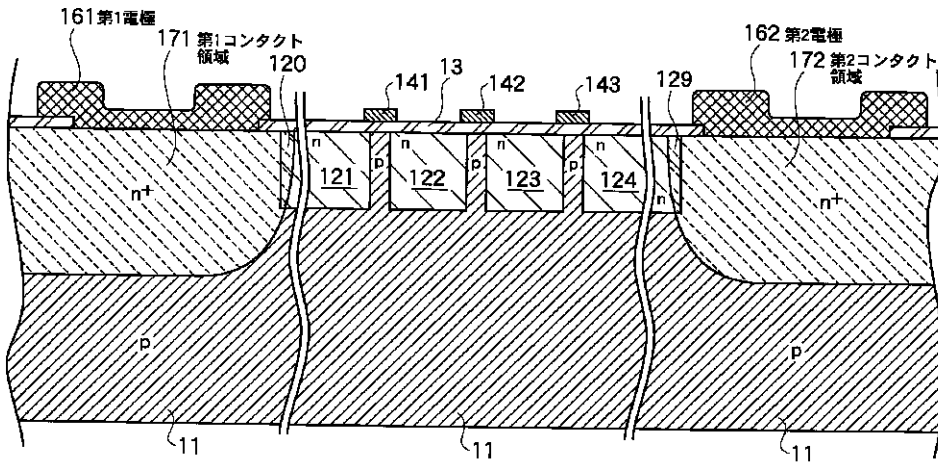
141, 142, 143 ゲート電極

【図7】

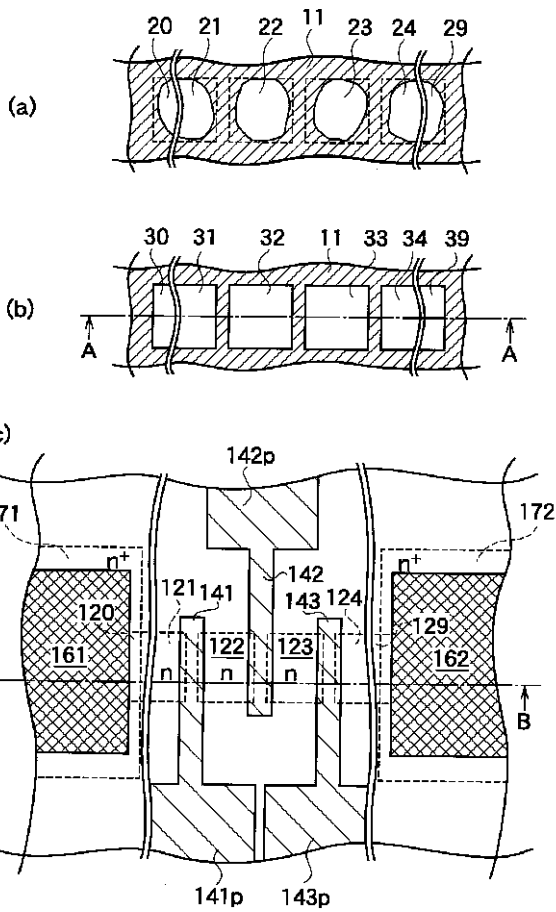


21 素子分離領域

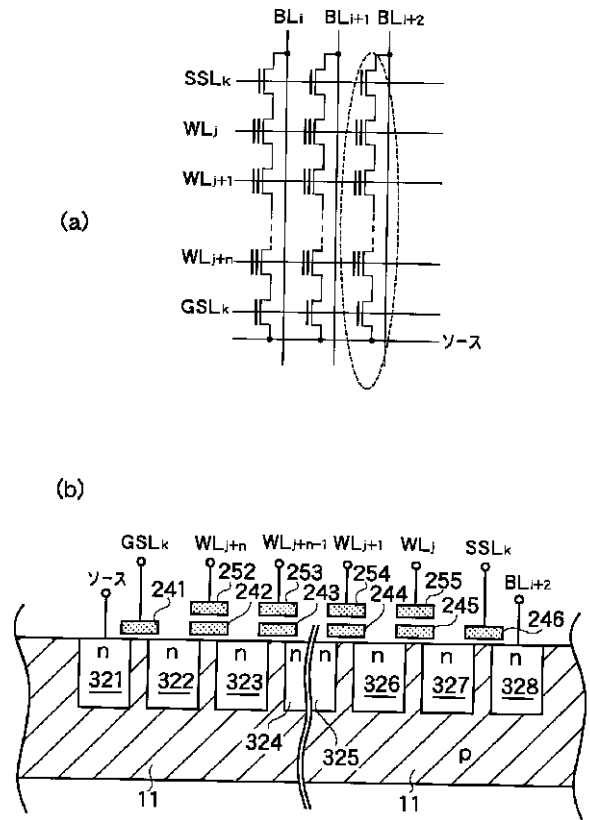
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マ-ト (参考)
H 0 1 L	21/8247 29/788 29/792	H 0 1 L 29/78	3 7 1

F タ-ム (参考) 5F001 AA01 AA92 AB02 AD15 AD16
AD51 AG12 AG26
5F040 DB01 DC03 EA08 EE01 FC05
FC11
5F083 EP02 EP22 EP32 EP76 GA09
GA28 HA06 HA07 JA35 JA36
JA38 JA39 PR33 PR36
5F101 BA01 BA64 BB02 BD05 BD06
BD32 BH09 BH11