

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-115769

(P2007-115769A)

(43) 公開日 平成19年5月10日(2007.5.10)

(51) Int. Cl.	F I	テーマコード (参考)
H01L 21/66 (2006.01)	H01L 21/66 L	2G003
G01R 31/26 (2006.01)	G01R 31/26 Z	4M106

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号	特願2005-303364 (P2005-303364)	(71) 出願人	504132881 国立大学法人東京農工大学 東京都府中市晴見町3-8-1
(22) 出願日	平成17年10月18日(2005.10.18)	(74) 代理人	100122884 弁理士 角田 芳末
		(74) 代理人	100133824 弁理士 伊藤 仁恭
		(72) 発明者	鮫島 俊之 東京都府中市晴見町3-8-1 国立大学 法人東京農工大学内
		Fターム(参考)	2G003 AA10 AB06 AE02 AG03 AG07 AH05 4M106 BA14 CA12 CB10 CB19 DH16

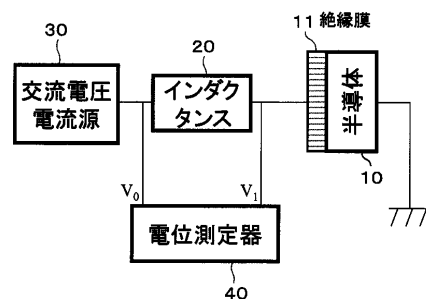
(54) 【発明の名称】 電気特性測定装置

(57) 【要約】

【課題】半導体試料及び半導体と絶縁膜界面の電気特性を正確に測定することができる半導体の電気特性測定装置を提供する。

【解決手段】交流電圧電流源30からインダクタンス20を介して電気的特性を測定するための半導体試料10に交流電圧を供給する。そして、電気計測器40によって、インダクタンス20の両端の電位を計測する。交流電圧電流源30の周波数は、インダクタンス20(L)と半導体試料10の表面に設けられる絶縁膜11のキャパシタンスCとのLC共振条件を満足させるように設定される。これにより、半導体試料10の表面に接着される絶縁膜11を取り除くことなく、半導体試料10の電気的特性を測定することが可能となる。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

交流電圧電流源と、電気特性を測定するための半導体試料と、該半導体試料の表面に接続された絶縁膜と、前記交流電圧電流源からの交流電圧を前記半導体試料に印加する電極と、前記電極と前記交流電圧電流源との間に接続されるインダクタンスと、前記インダクタンスと前記電極との間の電位を測定するための電位測定手段とを備え、

前記絶縁膜のキャパシタンスと前記インダクタンスとの合成インピーダンスが、前記交流電圧電流源の周波数においてゼロとなる共振条件を形成するようにしたこと
を特徴とする電気特性測定装置。

【請求項 2】

請求項 1 に記載の電気特性測定装置において、

前記半導体試料に直流バイアス電圧を印加することを特徴とする電気特性測定装置。

10

【請求項 3】

請求項 1 に記載の電気特性測定装置において、

前記半導体試料に光を照射する光照射手段を有することを特徴とする電気特性測定装置

。

【請求項 4】

請求項 1 ~ 3 のいずれか 1 項に記載の電気特性測定装置において、

前記電極に液体金属電極を用いることを特徴とする電気特性測定装置。

【請求項 5】

請求項 1 ~ 4 のいずれか 1 項に記載の電気特性測定装置において、

前記電極と前記半導体試料との間に空隙を設け、前記電極と前記半導体試料を非接触にすることを特徴とする電気特性測定装置。

20

【請求項 6】

請求項 5 に記載の電氣的測定装置において、

前記半導体試料の交流インピーダンスの内のキャパシタンス成分及び前記空隙のキャパシタンスとの合成キャパシタンスと、前記電極と前記交流電圧電流源との間に接続されるインダクタンスとの合成インピーダンスがゼロとなる条件で、前記交流電圧電流源の周波数を設定することを特徴とする電気特性測定装置。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、半導体内のキャリア伝導機構の測定に用いて好適な半導体の電気特性測定装置に関し、特に半導体表面の電位及び欠陥解析、及びキャリア伝導機構等の電気特性測定装置に関するものである。

【背景技術】

【0002】

半導体材料はトランジスタ、太陽電池等電子デバイスに広く使用されている。この半導体におけるキャリア伝導や表面状態の電氣的特性を評価することは、半導体材料の特性を知り、半導体デバイスを歩留り良く製造する上できわめて重要である。

40

通常、半導体表面には、絶縁膜、例えば表面保護の絶縁膜、ゲート絶縁膜、フィールド絶縁膜等が形成されており、半導体のこの絶縁膜との界面準位密度が、半導体の電氣的特性、つまり半導体デバイスの電氣的特性に大きく影響する。

【0003】

従来、半導体の電氣的特性を評価する方法として、半導体表面に金属と絶縁体を積層した構造の半導体試料に、バイアス電圧を印加してその容量 - 電圧特性を測定して評価する方法が広く用いられている。この方法は、バイアス電圧を上記金属側に印加するとともに、小さく変調された高周波電圧をバイアス電圧に重畳させることにより、測定すべき半導体試料内に発生する空乏層の変化に起因する容量変化を測定し、この半導体の容量とバイアス電圧との関係を算出する方法である。この方法によれば、バイアス電圧 - 容量特性が

50

ら絶縁膜中の電荷量や、絶縁膜と半導体との界面準位密度を算出することができる。

しかし、この測定方法では、空乏層の存在が必要であり、この空乏層の形成のため半導体の厚さが10 μm 以上であることが必要とされる。このため、空乏層の厚さが小さい薄膜半導体では、この電圧 - 容量の変化から半導体特性を正確に評価することが困難であるという問題があった。

【0004】

また、他の測定方法として、パルス光を照射したときに半導体内に誘起される過剰少数キャリアの減衰時間、すなわちライフタイムを、マイクロ波帯の光反射率の変化に基づいて評価し、半導体内のキャリア伝導機構を調べることにより半導体内の電気的特性を評価する方法が提案されている（例えば特許文献1を参照。）。

10

【0005】

しかし、この方法においても、マイクロ波帯の光反射率の変化からキャリア濃度の変化を直接評価することは、実際には困難であり、また、マイクロ波発生電源や、マイクロ波を誘導する導波路等が必要であることから、測定装置が複雑になるという問題もあった。

また、半導体表面の絶縁膜を剥がして電気的特性測定のための電極を半導体面上に形成して測定することも考えられるが、この方法では正確な測定がなされないため、望ましい測定方法ではなかった。

【0006】

【特許文献1】特開平4 - 282846号公報

【発明の開示】

20

【発明が解決しようとする課題】

【0007】

上述したように、金属、絶縁体及び半導体試料を用いた容量 - 電圧特性測定は、バイアス電圧を金属に印加し、このバイアス電圧に振幅の小さい変調高周波電圧を重畳させることにより、半導体試料の実効容量を測定することによって行われる。

このとき、半導体試料内には、空乏層が形成されるが、この空乏層の形成のためには、半導体試料の厚さが10 μm 以上であることを必要とする。このため、薄膜の半導体を用いるSOI (Semiconductor on Insulator) からなる電界効果トランジスタ素子や多結晶薄膜トランジスタ素子の場合、空乏層の変化が小さく、電圧 - 容量の変化から素子の特性を評価することが困難であった。

30

【0008】

本発明の目的は、かかる問題を解決するものであり、半導体及び半導体と絶縁膜界面の電気特性評価を、精度良く実現することができる装置を提供することである。

【課題を解決するための手段】

【0009】

上記課題を解決し、本発明の目的を達成するため、本発明の電気特性測定装置は、交流電圧電流源と、電気特性を測定するための半導体試料と、半導体試料の表面に接続された絶縁膜と、交流電圧電流源からの交流電圧を半導体試料に印加する電極と、この電極と交流電圧電流源との間に接続されるインダクタンスと、このインダクタンスと電極との間の電位を測定するための電位測定手段とを備え、絶縁膜のキャパシタンス成分と電極と交流電圧電流源との間に接続されるインダクタンス成分の合成インピーダンスがゼロとなる共振条件を形成するように交流電圧電流源の周波数が設定されることを特徴としている。

40

【0010】

また、本発明の電気特性測定装置の好ましい形態としては、半導体試料に加えらるる交流電圧に直流バイアス電圧が印加されることを特徴とする。

また、本発明の好ましい形態例として、半導体試料に光を照射する光照射手段を付加することも考えられる。この本発明の好ましい形態例によれば、半導体試料に光を照射することにより、半導体試料内に光誘起される過剰キャリアが半導体の格子欠陥により減衰する様子を精度良く測定することができ、半導体試料の電気伝導度を測定することが可能となる。

50

【 0 0 1 1 】

さらに、本発明の他の好ましい形態例としては、電極に液体金属電極を用いることも考えられる。このように、半導体試料に電圧を印加するために水銀（Hg）などの液体金属電極を用いることにより、半導体試料の光誘起電気伝導度を非破壊的に測定することが可能となる。また、本発明の電気特性測定装置に用いられる電極としては、電極と半導体試料との間に空隙を設けた非接触電極とすることも考えられる。

【 発明の効果 】

【 0 0 1 2 】

本発明の電気特性測定装置によれば、交流電圧電流源と半導体試料との間にインダクタンスを挿入することにより、半導体試料に装着される絶縁膜のキャパシタンスの影響を回避できるので、絶縁膜を除去する工程を必要とせずに、半導体試料の電気的特性を精度良く測定することが可能となる。

10

【 発明を実施するための最良の形態 】

【 0 0 1 3 】

次に、本発明の装置の実施形態の例を図 1 ~ 図 7 に基づいて説明する。

図 1 は、本発明の装置に係る第一の実施の形態例を示した図である。本発明装置の基本構成は、試料となる半導体表面に絶縁膜 11 が形成されている半導体試料 10 と、半導体試料 10 に接続されたインダクタンス 20 と、このインダクタンス 20 と接続された交流電圧電流源 30 と、インダクタンス 20 の両端に接続され、半導体試料 10 とインダクタンス 20 の接続点の電位を測定するための電位測定器 40 から構成されている。

20

【 0 0 1 4 】

この装置構成において、半導体試料 10 のインピーダンス Z は、半導体試料 10 の幅方向の単位長当たりの内部抵抗 $r(x)$ とし、単位長当たりのキャパシタンス $c_s(x)$ として、その並列回路のインピーダンスを半導体試料 10 の膜厚 D で積分した値（後述、数式（6）を参照。ただし、 x （ $0 \leq x \leq D$ ）は半導体表面からの距離を表す。）となる。そこで、半導体試料 10 の表面に形成された絶縁膜 11 のキャパシタンスを C とし、インダクタンス 20 のインダクタンスを L とすると、交流電圧電流源 30 からインダクタンス 20 側を見たインピーダンス Z_0 は、数式（1）のようになる。但し、 ω は交流電圧電流源の角周波数である。

【 0 0 1 5 】

30

【 数 1 】

$$Z_0 = Z + j\left(\omega L - \frac{1}{\omega C}\right) \quad \dots (1)$$

【 0 0 1 6 】

このような装置構成において、交流電圧電流源 30 から、振幅 V_0 の交流電圧 $V_0 e^{j\omega t}$ が、インダクタンス 20 と半導体試料 10 の直列回路に印加されると、インダクタンス 20 と半導体試料 10 に流れる交流電流 I は、数式（2）のようになる。なお、ここで、電位計測器 40 はインダクタンス 20 のインピーダンス L に比べて内部インピーダンスが極めて高いため、電位計測器 40 に流れる電流は無視できる程度のものである。

40

【 0 0 1 7 】

【 数 2 】

$$I = \frac{V_0}{Z_0} = \frac{V_0 e^{j\omega t}}{Z_0} \quad \dots (2)$$

【 0 0 1 8 】

半導体試料 10 の表面に形成された絶縁膜 11 のキャパシタンス C と可変インダクタンス 20 のインダクタンス L との共振条件となるような周波数（角周波数 $\omega^2 = 1/L$

50

Cを満たすようにする)を交流電圧電流源30から供給するようにすると、数式(1)の(L - 1 / C)はゼロとなり、交流電圧電流源30から外部を見たインピーダンスZ₀は半導体試料10のインピーダンスZと等しくなる。

すなわち、Z₀ = Zとなる。

ここで、インダクタンス20にかかる電圧をV_Lとし、半導体試料10の表面に形成された絶縁膜11のキャパシタンスCにかかる電圧をV_Cとすると、共振時のそれぞれの電圧は、数式(3)、数式(4)に示されるようになる。つまり、大きさが同じで、極性が異なる電圧となっていることが分かる。

【0019】

【数3】

$$V_L = j \sqrt{\frac{L}{C}} \frac{V_0}{Z} \quad \dots (3)$$

10

【0020】

【数4】

$$V_C = -j \sqrt{\frac{L}{C}} \frac{V_0}{Z} \quad \dots (4)$$

20

【0021】

したがって、可変インダクタンス20と半導体試料10の接続点の電位V₁は、数式(5)のようになる。

【数5】

$$V_1 = V_0 - V_L = \left(1 - j \sqrt{\frac{L}{C}} \frac{1}{Z} \right) V_0 \quad \dots (5)$$

【0022】

この数式(5)から明らかなように、本発明の実施形態例においては、絶縁膜11のキャパシタンスCとインダクタンス20のインダクタンスLとのLC共振条件を用いることにより、インダクタンス20と半導体試料10の接続点の電位V₁は、半導体試料10のインピーダンスZ、インダクタンス20のインダクタンスL、絶縁膜11のキャパシタンスCに依存する。従って、インダクタンス20のインダクタンスLと絶縁膜11のキャパシタンスCが既知であるから、数式(5)に示すように、V₁の電位を測定することにより、V₁とV₀の値から、半導体試料10のインピーダンスZを知ることができる。

30

【0023】

すなわち、本発明の第1の実施形態例では、半導体基板上に形成された絶縁膜11のキャパシタンスCが、インダクタンス20を用いた共振によりキャンセルされるので、交流電圧電流源30から供給される交流電圧V₀が半導体基板表面に直接印加されるため、絶縁膜11の存在如何に関わらず半導体試料10の電気特性を正確に検査がすることができる。つまり、半導体が薄く、空乏層厚の変化が小さい場合でも、交流電圧電流源30からの交流電圧を半導体に正確に印加することができるので、半導体試料10のインピーダンスZを正確に測定することができるのである。

40

【0024】

また、半導体試料10のインピーダンスZは半導体表面に印加される電位によって大きく変化する傾向がある。一般に、CV特性といわれている特性であるが、半導体に印加する電圧が大きくなると、キャパシタンスが減少していくため、インピーダンスZが増大する。このため、半導体試料10にバイアス電圧を印加し、これに重畳して微小な交流電圧

50

V_0 を印加すればバイアス電圧を変化させることによる半導体試料10のインピーダンスの変化を調べることができる。

【0025】

図2は、本発明の第1の実施の形態を更に具体的に示した例であり、本発明の電気特性測定装置の作用効果を調べるための具体的装置構成である。図2に示されるように、P型シリコン基板50の表面に、絶縁膜として100nmの熱酸化SiO₂膜60を形成し、その上にアルミ電極70を形成して電気特性を測定するための半導体試料とする。そして、この半導体試料10に直列接続されるインダクタンス20(図1参照)として101μHのインダクタンス80を用いている。

このインダクタンス80として、101μHを用いた理由は、絶縁膜SiO₂のキャパシタンスの容量Cが1.0nF程度であり、この共振周波数が500kHzになるように調整したことに起因している。このインダクタンス80(図1の20)は可変インダクタンスとして自在に選定することができるものである。

【0026】

この装置構成において、交流電圧電流源90から、インダクタンス80と半導体50の直列回路に対して周波数500kHz、振幅0.05Vの交流電圧が加えられるとともに、直流バイアス電圧 V_B が加えられる。この状態で、交流電圧電流源90の出力電位 V_0 と半導体10の電極70の電位 V_1 をオシロスコープ100により測定する。

【0027】

図3は、図2に示した具体的な装置を用いて電気特性を測定した結果であり、交流電圧電流源90よりインダクタンス80に供給されるバイアス電圧 V_B が-5Vのときの V_0 と V_1 の測定結果を図3(a)に示し、バイアス電圧+5Vのときの V_0 と V_1 の測定結果を図3(b)に示している。

【0028】

半導体試料10の複素インピーダンスZの等価回路が、抵抗 $r(x)$ とキャパシタンス $C_s(x)$ (x)の並列回路の空間的直列接続で与えられることは既に説明した。これを式で表すと数式(6)のようになる。

【0029】

【数6】

$$Z = \int_0^D \frac{r(x) \frac{1}{jC_s(x)\omega}}{r(x) + \frac{1}{jC_s(x)\omega}} dx = \int_0^D \frac{r(x)}{jr(x)C_s(x)\omega + 1} dx \quad \dots (6)$$

ここで、抵抗 $r(x)$ とキャパシタンス $C_s(x)$ は、絶縁膜側の半導体面からの距離xにおける抵抗とキャパシタンスであり、Dは半導体の膜厚である。

【0030】

シリコン基板50はP型であるから、この基板50に負のバイアス電圧が印加されると、半導体であるシリコン基板50にはホールキャリアが誘起されて、 $r(x)$ は一様に小さくなる。このため、数式(6)で、 $1/r(x)C_s(x)$ が成立するため、半導体の複素インピーダンスZは、数式(7)で示すように、小さい実部抵抗Rのみとなる。ここで、「 \sim 」は左辺と右辺が略等しいことを意味する記号として用いている。以下の数式においても同様である。

【0031】

【数7】

$$Z \sim R \sim \int_0^D r(x) dx \quad \dots (7)$$

10

20

30

40

50

したがって、P型Si50にかかる交流電位は、数式(4)のZにRを代入した値、すなわち数式(8)のようになる。この数式(8)から分かるように、半導体試料P型Si50のインピーダンスZはRに等しくなると、 V_c が大きな電圧となり、かつ V_0 に比べて位相が90度ずれたものとなる。これは、数式(7)に示すように、P型Si50のインピーダンスがほぼ直流抵抗Rに依存したものであるからである。

【0032】

【数8】

$$V_c \sim -j \sqrt{\frac{L}{C}} \frac{V_0}{R} \quad \dots (8)$$

10

したがって、 V_1 の交流電位は、数式(5)のZをRに変更することにより、数式(9)のようになる。

【0033】

【数9】

$$V_1 \sim \left(1 - j \sqrt{\frac{L}{C}} \frac{1}{R} \right) V_0 \quad \dots (9)$$

20

【0034】

この数式(9)から分かるように、 V_1 の振幅はRが小さいことにより大きくなり、また、 V_0 と比べて位相のずれが大きくなっている。図3(a)に示す測定結果は、 V_1 の大きな振幅と V_0 との位相のずれを示しており、上記計算結果と符合している。

【0035】

これに対し、P型Si50(半導体試料10に相当)に正バイアス電圧が印加されると、P型Si50の表面領域は反転層となり、表面近くに空乏層が誘起される。空乏層ではキャリア密度が小さくなるので、半導体の表面領域において数式(6)の $r(x)$ が局所的に非常に大きいものとなる。このため、半導体の複素インピーダンスは数式(10)のように空乏層による小さいキャパシタンス $C_s(x)$ に支配される。

30

【0036】

【数10】

$$Z \sim \frac{1}{jC_z \omega} \sim \int_0^{D_1} \frac{1}{jC_s(x) \omega} dx \quad \dots (10)$$

ここで D_1 は空乏層の厚さである。

【0037】

半導体試料のキャパシタンスにかかる交流電位は、数式(4)のZに数式(10)を代入すると、数式(11)に示すようになり、 V_c と V_0 は同位相となる。

40

【0038】

【数11】

$$V_c \sim \sqrt{\frac{L}{C}} C_z \omega V_0 \quad \dots (11)$$

したがって、 V_1 の交流電位は、数式(5)のZに数式(10)を代入して、数式(12)を得る。

【0039】

【数 1 2】

$$V_1 \sim \left(1 + \sqrt{\frac{L}{C}} C_2 \omega \right) V_0 \quad \dots (12)$$

この数式(12)からわかるように、 V_1 の交流電位は、 V_0 とほぼ同位相となり、振幅も小さいものとなる。図3(b)に示す測定結果も、 V_1 の振幅が小さく、 V_0 とほぼ同位相となっており、上記計算式の結果と符合している。

【0040】

図4は、本発明により得られたシリコンの複素インピーダンスの大きさとバイアス電圧の関係を示したものである。図4からわかるように、正のバイアス電圧を印加したときは、空乏層が形成されるためインピーダンスが増大し、負のバイアス電圧を印加したときは、ホールキャリアが誘起されるため、インピーダンスが低くなっている。

本発明の実施の形態例によれば、交流電圧電流減と半導体試料の間にインダクタンスを接続し、このインダクタンスと半導体試料のキャパシタンスとの間の電位を測定することにより、半導体のインピーダンス、すなわち電気的特性を知ることができる。

【0041】

図5は、本発明の第2の実施形態例を示すものであり、半導体試料10に対して光照射をしないときと、光照射をしたときの V_1 の測定電圧の差によって、半導体試料10のインピーダンスを求めようとするものである。この第2の実施形態例では、半導体試料10に光を照射するランプあるいはレーザ等の光照射手段110が図1の装置に付加されている。

【0042】

この第2の実施形態例のように、半導体試料10に光を照射すると、この照射光により誘起されたキャリアによって半導体試料10の抵抗が下がり、半導体試料のインピーダンスが低下する。しかし、半導体内部及び、半導体10と絶縁膜11の界面(半導体と絶縁膜との境界面)に欠陥が多く存在すると、光誘起キャリア密度は、その欠陥により捕獲されるか、あるいは電子ホール再結合により減少する。よって欠陥の多い半導体試料は光照射によるインピーダンス低下度が小さくなる。したがって、光照射前後の電流値の差から半導体試料のインピーダンス変化を測定することによって、半導体10の内部及び界面の電気伝導特性を知ることができる。

【0043】

また、光源としてパルス光を用いることもできる。このパルス光により誘起されるキャリアは、パルス光照射が終了した後は、半導体10の内部及び、半導体10と絶縁膜11との界面に存在する欠陥によって捕獲されるか、あるいは電子ホール再結合により減少する。よって、パルス光照射後の半導体試料のインピーダンスの時間変化率を測定することによって、半導体内部及び界面の電気伝導特性を知ることができる。

【0044】

上記本発明の第1の実施形態及び第2の実施形態の具体的装置としては、図1、図2あるいは図5に示す装置に限定されるものではなく、適宜変更して作製することができる。

【0045】

例えば、絶縁膜表面に金属電極を形成するかわりに、電解液を用いて電極を形成することにより、非破壊的測定が可能になる。また、電極として液体金属(例えば水銀)を用いることによっても非破壊測定が可能である。つまり、水銀等表面張力の大きい金属を絶縁体表面に接触させることにより、交流電圧電流源からの交流電圧を半導体試料に容易に印加することができる。

【0046】

図6は、本発明の第3の実施の形態の例を示す装置構成図であり、半導体試料10の表面に接着される絶縁体11との間に空隙13を有する非接触電極12を用いた非破壊的測

10

20

30

40

50

定装置の例を示したものである。この装置においては、空隙 13 のキャパシタンスと半導体 10 を覆う絶縁膜 11 のキャパシタンスの合成キャパシタンスと、インダクタンス 20 の共振条件をとることにより、半導体試料 10 に対して交流電圧を容易に印加することができ、半導体試料 10 の電気的特性を調べることができる。また、半導体試料 10 が絶縁膜 11 で覆われていない場合でも、電極 13 と半導体試料 10 の間に空隙 13 を設けて、空隙 13 のキャパシタンスとインダクタンス 20 の共振条件をとることにより、半導体試料 10 に交流電圧を

容易に印加することができ、半導体試料 10 の電気的特性を調べることができる。

【0047】

以上説明したように、本発明は半導体の電機特性を測定するのに好適な測定装置であるが、本発明はここで説明した実施の形態に限定されるものではなく、特許請求の範囲に記載した本発明の要旨を逸脱しない限りにおいて、種種の変形例に適用可能であることはいうまでもない。

10

例えば、本発明において、半導体試料以外でも、光を照射したときに電気的特性、例えばキャリア濃度が変化するような物質を被測定物とした場合でも、その電気的特性を測定することが可能である。

【図面の簡単な説明】

【0048】

【図1】本発明の第1の実施形態例の電気伝導特性を測定する装置の概念図である。

【図2】図1に示す本発明の第1の実施形態例の装置において、具体的な数値を設定して構成した装置の構成図である。

20

【図3】図2の装置を用いて半導体試料の電気的特性を測定した結果を示す図であり、図3(a)は、バイアス電圧を -5 V としたときの、電圧 V_0 、 V_1 、及び電流 I の測定結果を示し、図3(b)は、バイアス電圧 5 V のときの電圧 V_0 、 V_1 、及び電流 I の測定結果を示す。

【図4】本発明の第1の実施形態において、図3に示した電圧 V_0 、 V_1 の測定結果から、バイアス電圧と半導体試料（シリコン）の複素インピーダンスの大きさの関係を示す図である。

【図5】本発明の第2の実施形態例の装置構成を示す図であり、光照射手段を設けて電気伝道特性を測定する装置の概念図である。

30

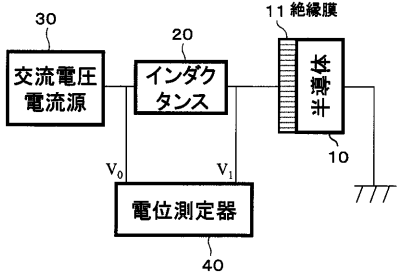
【図6】本発明の第3の実施形態例の装置構成を示す図であり、試料との間に空隙を有する非接触電極を用いた非破壊的測定装置の概念図である。

【符号の説明】

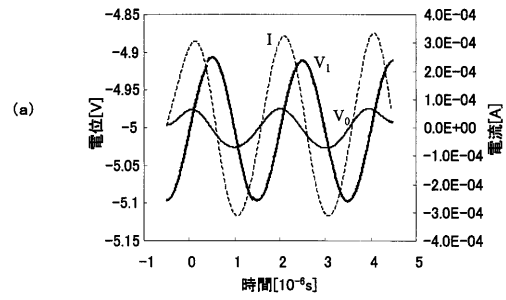
【0049】

10、50・・・半導体試料、11、60・・・絶縁膜（体）、20・・・インダクタンス、30、90・・・交流電圧電流源、40、100・・・電位測定器（オシロスコープ）、12、70・・・電極、13・・・空隙（エアギャップ）、110・・・光照射装置

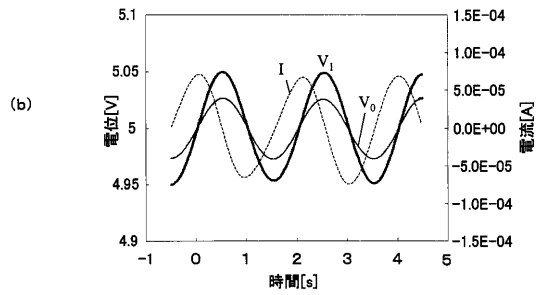
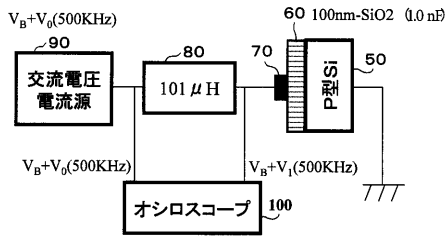
【 図 1 】



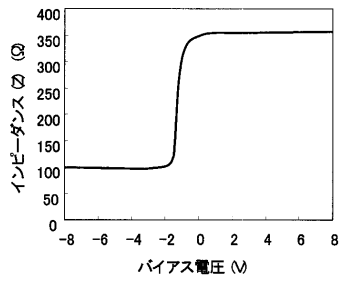
【 図 3 】



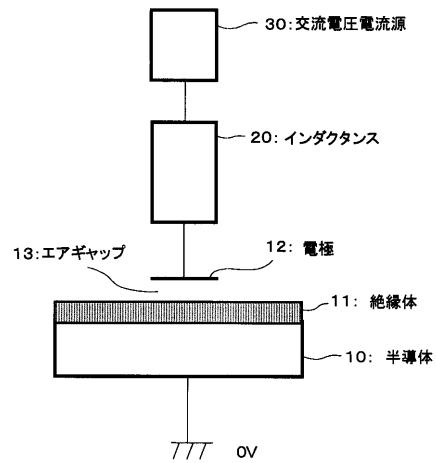
【 図 2 】



【 図 4 】



【 図 6 】



【 図 5 】

