

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5119434号
(P5119434)

(45) 発行日 平成25年1月16日(2013.1.16)

(24) 登録日 平成24年11月2日(2012.11.2)

(51) Int. Cl.		F I	
HO 1 L 21/20	(2006.01)	HO 1 L 21/20	
HO 1 L 43/08	(2006.01)	HO 1 L 43/08	S
HO 1 L 43/12	(2006.01)	HO 1 L 43/12	
HO 1 F 10/193	(2006.01)	HO 1 F 10/193	

請求項の数 10 (全 15 頁)

(21) 出願番号	特願2006-238022 (P2006-238022)	(73) 特許権者	304021288 国立大学法人長岡技術科学大学 新潟県長岡市上富岡町1603-1
(22) 出願日	平成18年9月1日(2006.9.1)	(74) 代理人	100080089 弁理士 牛木 護
(65) 公開番号	特開2008-60474 (P2008-60474A)	(74) 代理人	100119312 弁理士 清水 栄松
(43) 公開日	平成20年3月13日(2008.3.13)	(74) 代理人	100119334 弁理士 外山 邦昭
審査請求日	平成21年6月12日(2009.6.12)	(74) 代理人	100137800 弁理士 吉田 正義
		(72) 発明者	内富 直隆 新潟県長岡市上富岡町1603-1 国立 大学法人長岡技術科学大学内

最終頁に続く

(54) 【発明の名称】 磁性半導体薄膜及び磁性半導体薄膜の製造方法

(57) 【特許請求の範囲】

【請求項1】

加熱した基板の上に緩衝層を形成した後に、該緩衝層上に磁性半導体層として遷移金属元素を添加した $ZnSnAs_2$ をエピタキシャル成長させる磁性半導体薄膜の製造方法において、前記基板である Si 又は $GaAs$ と、前記緩衝層である前記基板から順に形成された $AlSb$ 、 $GaAsSb$ 、 $ZnSnAs_2$ と、前記磁性半導体層である遷移金属元素を添加した $ZnSnAs_2$ とが格子整合するように形成することを特徴とする磁性半導体薄膜の製造方法。

【請求項2】

前記基板の加熱温度が、250から350 であることを特徴とする請求項1記載の磁性半導体薄膜の製造方法。

【請求項3】

前記遷移金属元素が、 Fe 、 Co 、 V 、 Mn 、 Ni 又は Cr であることを特徴とする請求項1記載の磁性半導体薄膜の製造方法。

【請求項4】

基板の上に緩衝層と、磁性半導体層となる遷移金属元素を添加した $ZnSnAs_2$ とを順に形成した磁性半導体薄膜において、前記基板である Si 又は $GaAs$ と、前記緩衝層である前記基板から順に形成された $AlSb$ 、 $GaAsSb$ 、 $ZnSnAs_2$ と、前記磁性半導体層である遷移金属元素を添加した $ZnSnAs_2$ とが格子整合していることを特徴とする磁性半導体薄膜。

【請求項 5】

前記遷移金属元素が、Fe、Co、V、Mn、Ni又はCrであることを特徴とする請求項4記載の磁性半導体薄膜。

【請求項 6】

請求項4又は5に記載の磁性半導体薄膜を備えたことを特徴とするトンネル磁気抵抗素子。

【請求項 7】

請求項4又は5に記載の磁性半導体薄膜を備えたことを特徴とする記録素子。

【請求項 8】

請求項4又は5に記載の磁性半導体薄膜を備えたことを特徴とする発光素子。

10

【請求項 9】

請求項4又は5に記載の磁性半導体薄膜を備えたことを特徴とするトランジスタ。

【請求項 10】

請求項4又は5に記載の磁性半導体薄膜を備えたことを特徴とするスピン偏極素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、磁性半導体に関するものであり、特に、室温において強磁性を有するII-V₂族の磁性半導体薄膜及び磁性半導体薄膜の製造方法に関するものである。

【背景技術】

20

【0002】

スピントロニクスとは、固体中における電子の電荷の自由度を利用するエレクトロニクスに対して、固体中における電子の電荷及びスピンの自由度を利用する技術のことである。スピントロニクスを用いることにより、エレクトロニクスでは実現できなかった機能や性能を有するデバイスを実現することができる。スピントロニクスにおいて、磁性半導体材料により半導体中における電子の電荷及びスピンを制御する技術を特に半導体スピントロニクスと言う。

【0003】

半導体スピントロニクスを用いたデバイスは、次世代の高機能半導体デバイスとして有望である。半導体スピントロニクスを用いたデバイスを実現するためには、室温において強磁性を示す磁性半導体材料が必要となる。つまり、強磁性転移温度(T_c)が300K程度である磁性半導体材料が必要となる。

30

【0004】

磁性半導体材料である希薄磁性半導体材料は、化合物半導体の結晶格子内の原子を、磁性を有する遷移金属元素などの原子で置換した磁性半導体材料である。希薄磁性半導体材料は、添加した遷移金属元素又は組成に応じた磁気特性を示すため、強磁性を有する磁性半導体材料となり得る。

【0005】

希薄磁性半導体材料としては、II-V族希薄磁性半導体材料やIII-V族希薄磁性半導体材料などがある。

40

【0006】

II-V族希薄半導体材料を用いた希薄磁性半導体材料としては、遷移金属元素の1つであるMnを添加したZnS(ZnS:Mn)などがある。ZnS:Mnは、磁性を得ることはできるが、T_cが2K程度と極低温であり、室温において磁性を示さない。

【0007】

III-V族希薄磁性半導体材料を用いた希薄磁性半導体材料としては、Mnを添加したInAs(InMnAs)、Mnを添加したGaAs(GaMnAs)、Mnを添加したGaN(GaMnN)などがある。InMnAs、GaMnAs、GaMnNなどのIII-V族半導体材料は、従来の半導体プロセス技術と整合性に優れている。しかしながら、InMnAsは、T_cが10K程度と極低温であり、室温において強磁性を示さない

50

。また、 $GaMnAs$ は、 T_c が150 K付近と比較的高い温度であるが、室温において強磁性を示さない。さらに、 $GaMnN$ は、 T_c が30900 Kであり、室温において強磁性を示すものもあるが、製造方法や組成によるバラツキが大きい。このような T_c のバラツキは、 $GaMnN$ 自体が、非磁性である GaN と磁性である MnN に分離するからであると考えられており、実用化における課題となっている。

【0008】

したがって、希薄磁性半導体材料の T_c を向上させ、 T_c のバラツキを抑える必要がある。

【0009】

III-V族希薄磁性半導体材料の T_c を向上させる方法として、磁性元素及び非磁性元素を同時に添加する方法が提案されている。(例えば、特許文献1)

【特許文献1】特開2004-63832号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

従来技術において、II-V族希薄磁性半導体材料やIII-V族希薄磁性半導体材料を用いた希薄磁性半導体材料は、材料の組成や製造方法により、 T_c を室温付近に近づけることはできるが、希薄磁性半導体材料自体の分離などによる T_c のバラツキが大きかった。また、希薄磁性半導体材料の形態が薄膜ではなく、バルクである場合は、デバイスが製造しにくかった。さらに、希薄磁性半導体材料の形態が薄膜であっても、基板と希薄磁性半導体薄膜との格子整合がとれていない場合は、電子散乱が生じるためにデバイスとして動作させることができなかった。

【0011】

III-V族希薄磁性半導体材料の T_c を向上させる方法である磁性元素及び非磁性元素を同時に添加する方法は、いかなるIII-V族希薄磁性半導体材料においても T_c を向上させることができるが、熱処理を行う必要があった。また、 $GaMnAs$ 系における最高の T_c は170 K程度であった。

【0012】

したがって、いずれの方法においても、半導体プロセスの整合性に優れており、基板と磁性半導体薄膜とが格子整合し、 T_c が300 K付近でバラツキが少ない希薄磁性半導体材料を得ることが困難であった。結局、半導体スピントロニクスを用いたデバイスを室温において動作させることが困難であった。

【0013】

また、このようなIII-V族希薄磁性半導体材料のIII族元素をII族及びIV族の元素で置換した希薄磁性半導体材料として、II-IV-V₂族希薄磁性半導体材料がある。II-IV-V₂族希薄磁性半導体材料は、上記の問題を解決できる可能性をもつ。

【0014】

そこで、本発明は上記問題点に着目し、半導体プロセスの整合性に優れており、基板と磁性半導体薄膜とが格子整合し、 T_c が300 K付近でバラツキが少ないII-IV-V₂族の磁性半導体薄膜及び磁性半導体薄膜の製造方法を提供することを目的とする。

【課題を解決するための手段】

【0015】

本発明の請求項1記載の磁性半導体薄膜の製造方法は、加熱した基板上に緩衝層を形成した後に、該緩衝層上に磁性半導体層として遷移金属元素を添加した $ZnSnAs_2$ をエピタキシャル成長させる磁性半導体薄膜の製造方法において、前記基板であるSi又はGaAsと、前記緩衝層である前記基板から順に形成されたAlSb、GaAsSb、 $ZnSnAs_2$ と、前記磁性半導体層である遷移金属元素を添加した $ZnSnAs_2$ とが格子整合するように形成することを特徴とする。

【0016】

10

20

30

40

50

本発明の請求項2記載の磁性半導体薄膜の製造方法は、請求項1において、前記基板の加熱温度が、250から350であることを特徴とする。

【0017】

本発明の請求項3記載の磁性半導体薄膜の製造方法は、請求項1において、前記遷移金属元素が、Fe、Co、V、Mn、Ni又はCrであることを特徴とする。

【0018】

本発明の請求項6記載の磁性半導体薄膜は、基板上に緩衝層と、磁性半導体層となる遷移金属元素を添加した $ZnSnAs_2$ とを順に形成した磁性半導体薄膜において、前記基板であるSi又はGaAsと、前記緩衝層である前記基板から順に形成されたAlSb、GaAsSb、 $ZnSnAs_2$ と、前記磁性半導体層である遷移金属元素を添加した $ZnSnAs_2$ とが格子整合していることを特徴とする。

10

【0019】

本発明の請求項5記載の磁性半導体薄膜は、請求項4において、前記遷移金属元素が、Fe、Co、V、Mn、Ni又はCrであることを特徴とする。

【0020】

本発明の請求項6記載のトンネル磁気抵抗素子は、請求項4又は5において、磁性半導体薄膜を備えたことを特徴とする。

【0021】

本発明の請求項7記載の記録素子は、請求項4又は5において、磁性半導体薄膜を備えたことを特徴とする。

20

【0022】

本発明の請求項8記載の発光素子は、請求項4又は5において、磁性半導体薄膜を備えたことを特徴とする。

【0023】

本発明の請求項9記載のトランジスタは、請求項4又は5において、磁性半導体薄膜を備えたことを特徴とする。

【0024】

本発明の請求項10記載のスピン偏極素子は、請求項4又は5において、磁性半導体薄膜を備えたことを特徴とする。

【発明の効果】

30

【0025】

本発明の請求項1によれば、加熱した基板上に緩衝層を形成した後に、該緩衝層上に磁性半導体層として遷移金属元素を添加した $ZnSnAs_2$ をエピタキシャル成長させることにより、基板と磁性半導体薄膜とが格子整合し、 T_c が300K付近でバラツキが少ないII-V族希薄磁性半導体材料である $ZnSnAs_2$ 磁性半導体薄膜を提供することができる。また、本発明の磁性半導体薄膜を用いることにより、室温においても動作可能な半導体スピントロニクスデバイスとしてトンネル磁気抵抗素子、記録素子、発光素子、トランジスタ、スピン偏極素子などを提供することができる。また、前記基板がSi又はGaAsからなり、Si又はGaAs上に形成する前記緩衝層がAlSb、GaAsSb、 $ZnSnAs_2$ の順に形成されることにより、室温において強磁性を有する磁性半導体薄膜として遷移金属元素を添加した $ZnSnAs_2$ をSi基板又はGaAs基板上にエピタキシャル成長させることができる磁性半導体薄膜の製造方法を提供することができる。また、Si基板又はGaAs基板を用いることにより、従来の半導体プロセスとの整合性に優れた磁性半導体薄膜の製造方法を提供することができる。

40

【0026】

本発明の請求項2によれば、前記基板の加熱温度が、250から350であることにより、 $ZnSnAs_2$ へ添加する遷移金属元素の添加量を増加させることができる。また、上記加熱温度においても、 $ZnSnAs_2$ をエピタキシャル成長させることができる磁性半導体薄膜の製造方法を提供することができる。

【0027】

50

本発明の請求項3によれば、前記遷移金属元素が、Fe、Co、V、Mn、Ni又はCrであることにより、遷移金属元素に応じた磁気特性を有する遷移金属元素を添加したZnSnAs₂を形成することができる磁性半導体薄膜の製造方法を提供することができる。

【0028】

本発明の請求項4によれば、基板上に緩衝層と、磁性半導体層となる遷移金属元素を添加したZnSnAs₂とを順に形成したことにより、基板と、緩衝層と、磁性半導体層とが格子整合した磁性半導体薄膜を提供することができる。また、室温において強磁性を有する磁性半導体薄膜を提供することができる。

【0029】

本発明の請求項5によれば、前記遷移金属元素が、Fe、Co、V、Mn、Ni又はCrであることにより、遷移金属元素に応じた磁気特性を有する磁性半導体薄膜を提供することができる。

【0030】

本発明の請求項6によれば、磁性半導体薄膜を備えたことにより、室温においても動作可能な半導体スピントロニクスを用いたトンネル磁気抵抗素子を提供することができる。

【0031】

本発明の請求項7によれば、磁性半導体薄膜を備えたことにより、室温においても動作可能な半導体スピントロニクスを用いた記録素子を提供することができる。

【0032】

本発明の請求項8によれば、磁性半導体薄膜を備えたことにより、室温においても動作可能な半導体スピントロニクスを用いた発光素子を提供することができる。

【0033】

本発明の請求項9によれば、磁性半導体薄膜を備えたことにより、室温においても動作可能な半導体スピントロニクスを用いたトランジスタを提供することができる。

【0034】

本発明の請求項10によれば、磁性半導体薄膜を備えたことにより、室温においても動作可能な半導体スピントロニクスを用いたスピン偏極素子を提供することができる。

【発明を実施するための最良の形態】

【0035】

本発明の磁性半導体薄膜の製造方法は、加熱した基板上に緩衝層を形成した後に、該緩衝層上に磁性半導体層として遷移金属元素を添加したZnSnAs₂をエピタキシャル成長させることを特徴とするものである。

【0036】

本発明に用いる薄膜形成方法としては、薄膜のエピタキシャル成長が可能な薄膜形成方法であれば特定のものに限定されないが、分子線エピタキシー(MBE)法、有機金属化学気相成長(MOCVD)法であるのが好ましい。いずれの薄膜形成方法においても磁性半導体薄膜のエピタキシャル成長が可能であるが、MBE法により磁性半導体薄膜を形成することにより、より精密に設計した磁性半導体薄膜を形成することができる。また、緩衝層となるZnSnAs₂と、磁性半導体薄膜又は磁性半導体層となる遷移金属元素を添加したZnSnAs₂とに含まれるAsを安全に用いることができる。一方、MOCVD法により磁性半導体薄膜を形成することにより、磁性半導体薄膜の形成時間を短縮することができるだけでなく、大量生産を行うことができる。

【0037】

本発明に用いる基板としては、半導体プロセスに用いることのできる基板であれば特定のものに限定されないが、InP、Si、GaAsのいずれかを含む基板であるのが好ましい。InP、Si、GaAsのいずれかを含む基板を用いることにより、基板上に形成する緩衝層上に磁性半導体層である遷移金属元素を添加したZnSnAs₂をエピタキシャル成長させることが可能な磁性半導体薄膜の製造方法が提供できる。また、InP基板を用いた場合は、緩衝層の構成を簡単にすることができ、より省資源な磁性半導体薄膜の

10

20

30

40

50

製造方法を提供することができる。さらに、特にSi基板又はGaAs基板を用いた場合は、従来の半導体プロセスとの整合性に優れた磁性半導体薄膜の製造方法を提供することができる。

【0038】

本発明の基板加熱温度としては、磁性半導体薄膜又は磁性半導体層となる遷移金属元素を添加した $ZnSnAs_2$ を形成できる温度であれば特定のものに限定されないが、250から350であるのが好ましい。基板加熱温度を250から350程度にすることにより、 $ZnSnAs_2$ へ添加する遷移金属元素の添加量を増加させることができる。また、上記加熱温度においても、 $ZnSnAs_2$ をエピタキシャル成長させることができる磁性半導体薄膜の製造方法を提供することができる。

10

【0039】

本発明に用いる緩衝層としては、基板と、緩衝層と、磁性半導体となる遷移金属元素を添加した $ZnSnAs_2$ とが格子整合する緩衝層であれば特定のものに限定されないが、 $InGaAs$ 、 $AlSb$ 、 $GaAsSb$ 、 $ZnSnAs_2$ のいずれかを含む緩衝層であるのが好ましい。 $InGaAs$ 、 $AlSb$ 、 $GaAsSb$ 、 $ZnSnAs_2$ のいずれかを含む緩衝層を用いることにより、 InP 、 Si 、 $GaAs$ のいずれかを含む基板においても、磁性半導体層となる遷移金属元素を添加した $ZnSnAs_2$ をエピタキシャル成長させることができる磁性半導体薄膜の製造方法を提供することができる。

【0040】

また、基板が InP からなる場合は、 InP 上に形成する前記緩衝層が $ZnSnAs_2$ からなるのが好ましい。 InP 上に形成する前記緩衝層が $ZnSnAs_2$ からなることにより、室温において強磁性を有する磁性半導体薄膜として遷移金属元素を添加した $ZnSnAs_2$ を InP 基板上にエピタキシャル成長させることができる磁性半導体薄膜の製造方法を提供することができる。

20

【0041】

さらに、基板が Si 又は $GaAs$ からなる場合は、 Si 又は $GaAs$ 上に形成する前記緩衝層が $AlSb$ 、 $GaAsSb$ 、 $ZnSnAs_2$ の順に形成されるのが好ましい。 Si 又は $GaAs$ 上に形成する前記緩衝層が $AlSb$ 、 $GaAsSb$ 、 $ZnSnAs_2$ の順に形成されることにより、室温において強磁性を有する磁性半導体薄膜として遷移金属元素を添加した $ZnSnAs_2$ を Si 基板又は $GaAs$ 基板上にエピタキシャル成長させることができる磁性半導体薄膜の製造方法を提供することができる。また、 Si 基板又は $GaAs$ 基板を用いることにより、従来の半導体プロセスとの整合性に優れた磁性半導体薄膜の製造方法を提供することができる。

30

【0042】

本発明に用いる磁性半導体層としては、室温において強磁性を有する磁性半導体層であれば特定のものに限定されないが、遷移金属元素を添加した $ZnSnAs_2$ であるのが好ましい。遷移金属元素を添加した $ZnSnAs_2$ を磁性半導体層とすることにより、室温において強磁性を有する磁性半導体薄膜が得られる。

【0043】

本発明に用いる遷移金属元素としては、磁性を有する元素であれば特定のものに限定されないが、 Fe 、 Co 、 V 、 Mn 、 Ni 又は Cr であるのが好ましい。遷移金属元素として、 Fe 、 Co 、 V 、 Mn 、 Ni 又は Cr を用いることにより、遷移金属元素に応じた磁気特性を有する遷移金属元素を添加した $ZnSnAs_2$ を形成することができる磁性半導体薄膜の製造方法を提供することができる。また、特に、遷移金属元素として Mn を用いた場合は、 $(ZnMnSn)As_2$ を比較的低温な250から350程度で成長させることができる。

40

【0044】

本発明に用いるエピタキシャル成長は、薄膜結晶成長技術のひとつであり、基板上に結晶を成長させる際に、基板の結晶面に揃えて結晶を配列する成長のことである。エピタキシャル成長を用いることにより、基板と、緩衝層と、磁性半導体層となる遷移金属元素を

50

添加した $ZnSnAs_2$ とを格子整合させることができる。

【0045】

本発明の磁性半導体薄膜は、遷移金属元素を添加した $ZnSnAs_2$ からなることを特徴とするものである。

【0046】

また、本発明の磁性半導体薄膜は、基板上に緩衝層と、磁性半導体層となる遷移金属元素を添加した $ZnSnAs_2$ とを順に形成したことを特徴とするものである。

【0047】

本発明の基板としては、半導体プロセスに用いることのできる基板であれば特定のものに限定されないが、 InP 、 Si 、 $GaAs$ のいずれかを含む基板であるのが好ましい。

【0048】

InP 、 Si 、 $GaAs$ のいずれかを含む基板を用いることにより、基板と、緩衝層と、磁性半導体層である遷移金属元素を添加した $ZnSnAs_2$ とが格子整合した磁性半導体薄膜を提供することができる。また、 InP 基板を用いた場合は、緩衝層の構成が簡単でかつ、より省資源な磁性半導体薄膜を提供することができる。さらに、特に Si 基板又は $GaAs$ 基板を用いた場合は、従来の半導体プロセスとの整合性に優れた磁性半導体薄膜を提供することができる。

【0049】

本発明の緩衝層としては、基板と、緩衝層と、磁性半導体となる遷移金属元素を添加した $ZnSnAs_2$ とが格子整合する緩衝層であれば特定のものに限定されないが、 $InGaAs$ 、 $AlSb$ 、 $GaAsSb$ 、 $ZnSnAs_2$ のいずれかを含む緩衝層であるのが好ましい。 $InGaAs$ 、 $AlSb$ 、 $GaAsSb$ 、 $ZnSnAs_2$ のいずれかを含む緩衝層を用いることにより、 InP 、 Si 、 $GaAs$ のいずれかを含む基板においても、基板と、緩衝層と、磁性半導体層である遷移金属元素を添加した $ZnSnAs_2$ とが格子整合した磁性半導体薄膜を提供することができる。

【0050】

また、基板が InP からなる場合は、 InP 上に形成する前記緩衝層が $ZnSnAs_2$ からなるのが好ましい。 InP 上に形成する前記緩衝層が $ZnSnAs_2$ からなることにより、基板である InP と、緩衝層である $ZnSnAs_2$ と、磁性半導体層である遷移金属元素を添加した $ZnSnAs_2$ とが格子整合した磁性半導体薄膜を提供することができる。また、室温において強磁性を有する磁性半導体薄膜を提供することができる。

【0051】

さらに、基板が Si 又は $GaAs$ からなる場合は、 Si 又は $GaAs$ 上に形成する前記緩衝層が $AlSb$ 、 $GaAsSb$ 、 $ZnSnAs_2$ の順に形成されるのが好ましい。 Si 又は $GaAs$ 上に形成する前記緩衝層が $AlSb$ 、 $GaAsSb$ 、 $ZnSnAs_2$ の順に形成されることにより、基板である Si 又は $GaAs$ と、緩衝層である基板から順に形成された $AlSb$ 、 $GaAsSb$ 、 $ZnSnAs_2$ と、磁性半導体層である遷移金属元素を添加した $ZnSnAs_2$ とが格子整合した磁性半導体薄膜を提供することができる。また、室温において強磁性を有する磁性半導体薄膜を提供することができる。

【0052】

本発明の遷移金属元素としては、磁性を有する元素であれば特定のものに限定されないが、 Fe 、 Co 、 V 、 Mn 、 Ni 又は Cr であるのが好ましい。遷移金属元素として、 Fe 、 Co 、 V 、 Mn 、 Ni 又は Cr を用いることにより、遷移金属元素に応じた磁気特性を有する磁性半導体薄膜を提供することができる。

【0053】

本発明の磁性半導体薄膜を用いることにより、室温においても動作可能な半導体スピントロニクスデバイスとしてトンネル磁気抵抗素子、記録素子、発光素子、トランジスタ、スピン偏極素子などを提供することができる。

【0054】

以下、具体的な実施例により本発明をさらに詳細に説明するが、本発明はこれらの実施

10

20

30

40

50

例に限定されるものではない。

【実施例 1】

【0055】

本実施例では、MBE法により、加熱したInP基板上に緩衝層としてZnSnAs₂薄膜を成長させた後に、該緩衝層上に磁性半導体層として遷移金属の1つであるMnを添加した(ZnMnSn)As₂薄膜をエピタキシャル成長させた。

【0056】

以下、本発明の実施例1について図1から図7を参照して説明する。

【0057】

図1は、MBE法により、加熱したInP基板上に緩衝層としてZnSnAs₂薄膜を成長させた後に、該緩衝層上に磁性半導体層として(ZnMnSn)As₂薄膜をエピタキシャル成長させるための形成条件及びタイミングチャートの一例となるグラフを示す。グラフの横軸は時間であり、縦軸は基板加熱温度である。

10

【0058】

まず、MBE装置の薄膜形成室内にInP基板及び薄膜を形成するための原料であるZn、Sn、As、Mnを配置した。基板及び原料を配置した後に、薄膜形成室内の背圧を 10^{-5} Pa (10^{-8} Torr) 以下になるまで十分に排気した。

【0059】

薄膜形成室内が十分に排気された後に、基板表面のデガスを行い、洗浄した。本実施例における基板表面のデガスを行うための基板加熱温度は、300 °Cであった。

20

【0060】

基板表面を洗浄した後に、As分子線源のシャッターを開け、基板側のメインシャッターを開けることにより、基板にAs分子線ビームを照射した。また、基板加熱温度を510 °Cまで昇温し、基板加熱温度510 °C、基板加熱保持時間5分間の条件下で熱処理(アニール)を行った。熱処理後、メインシャッターを閉じ、As分子線源のシャッターを閉じることにより、As分子線ビームの照射を止めた。また、基板加熱温度を300 °Cまで降温した。

【0061】

基板加熱温度が300 °Cとなった時点で、Sn分子源のシャッターを開け、メインシャッターを開けた。この状態で10秒間、基板にSn分子線ビームを照射した後、メインシャッターを閉じた。さらに、Zn分子線源のシャッターを開け、As分子線源のシャッターを開けた後に、メインシャッターを開けた。この状態で5分間、基板にZn分子線ビーム、Sn分子線ビーム及びAs分子線ビームを照射し、InP基板上に緩衝層としてZnSnAs₂薄膜をエピタキシャル成長させた。

30

【0062】

その後、Mn分子線源のシャッターを開けることにより、緩衝層となるZnSnAs₂薄膜にZn分子線ビーム、Sn分子線ビーム、As分子線ビームに加えて、Mn分子線ビームを照射した。この状態で85分間保持し、InP基板上に成長した緩衝層であるZnSnAs₂薄膜上に磁性半導体層としてMnを添加したZnSnAs₂((ZnMnSn)As₂)薄膜をエピタキシャル成長させた。

40

【0063】

上記の手順で磁性半導体薄膜を成長させたことにより、InP基板上に緩衝層としてZnSnAs₂薄膜を15 nm、磁性半導体層としてMnを約0.5 at.%添加した(ZnMnSn)As₂薄膜を250 nm成長させた。

【0064】

なお、各分子線源のシャッター及び基板側のメインシャッターの開閉するタイミングや開放する時間、基板加熱温度、基板加熱時間などの各種成長条件は、得ようとする薄膜の材料及び組成に応じて選択してもよい。また、緩衝層の膜厚は、基板と緩衝層との格子不整合から生じた貫通転位を限りなく少なくできる膜厚であれば特定のものに限定されないが、数10 nmから数μm程度が好ましい。これにより、貫通転位をなくし、エピタキシ

50

シャル成長させることができる。さらに、 $ZnSnAs_2$ に添加する遷移金属元素の添加量は、室温において強磁性を有する程度であれば特定のものに限定されないが、0.01から数at.%程度であるのが好ましい。 $ZnSnAs_2$ に添加する遷移金属元素の添加量を変化させることによって、遷移金属を添加した $ZnSnAs_2$ の磁気特性を変化させることができる。

【0065】

図2は、上記の手順により形成した磁性半導体薄膜の模式図を示す。上記の手順で磁性半導体薄膜を成長させたことにより、InP基板から順に、緩衝層となる $ZnSnAs_2$ 薄膜、磁性半導体層となる $(ZnMnSn)As_2$ 薄膜が形成されている。

【0066】

このようにして形成された磁性半導体薄膜を電子プローブマイクロアナライザー(EPMA)、X線回折(XRD)法、反射高速電子線回折(RHEED)法、超伝導量子干渉磁束計(SQUID)により評価した。

【0067】

図3は、緩衝層及び磁性半導体層の成長時の基板温度に対するZn、Sn、Asそれぞれの組成比を示すグラフである。グラフの横軸は基板温度であり、縦軸はZn、Sn、Asそれぞれの組成比(at.%)である。グラフより、基板温度の変化にともない、Zn、Sn、Asそれぞれの組成が変化することが確認された。この結果は、 $ZnSnAs_2$ の成長時の基板温度により、 $ZnSnAs_2$ の組成比を制御できることを示す。また、 $ZnSnAs_2$ の組成比を制御することにより、 $ZnSnAs_2$ の格子定数が制御できることを示す。

【0068】

図4は、InP基板上的緩衝層である $ZnSnAs_2$ 薄膜のXRDパターンを示すグラフである。グラフの横軸は回折角 2θ であり、縦軸は回折強度である。グラフより、基板であるInPの回折ピークは 63.3362° であり、緩衝層である $ZnSnAs_2$ の回折ピークは、 62.978° であることを確認した。このことより、基板であるInPと得られた緩衝層である $ZnSnAs_2$ の回折ピークが非常に近く、回折ピークの回折角より算出された格子定数が近いことを確認した。

【0069】

図5は、MBE装置において、緩衝層となる $ZnSnAs_2$ 上に磁性半導体層となる $(ZnMnSn)As_2$ を各成長時間で成長させたときのRHEEDパターンである。を示す図である。 $[1, 1, 0]$ はInP基板の $[1, 1, 0]$ 方位から観測したRHEEDパターンを示し、 $[1, -1, 0]$ はInP基板の $[1, -1, 0]$ 方位から観測したRHEEDパターンを示す。また、(a)から(f)は、 $ZnSnAs_2$ 上での $(ZnMnSn)As_2$ の成長過程を示すRHEEDパターンを示す。(a)は $ZnSnAs_2$ 、(b)は $ZnSnAs_2$ 上に $(ZnMnSn)As_2$ を10秒間成長、(c)は $ZnSnAs_2$ 上に $(ZnMnSn)As_2$ を1分間成長、(d)は $ZnSnAs_2$ 上に $(ZnMnSn)As_2$ を2分間成長、(e)は $ZnSnAs_2$ 上に $(ZnMnSn)As_2$ を12分間成長、(f)は $ZnSnAs_2$ 上に $(ZnMnSn)As_2$ を成長後、2分間放置した際のRHEEDパターンである。

【0070】

RHEEDパターンより、 $ZnSnAs_2$ 上での $(ZnMnSn)As_2$ は、(a)や(b)などの成長初期段階においては、3次元的な成長を示すスポットが観測された。一方、(c)から(e)のように、成長時間が1分から12分以上になるにしたがって、2次元的成長を示すストリークが観測された。さらに、(f)においても2次元的成長を示すストリークは観測されたままであった。これらのことより、 $ZnSnAs_2$ 上に成長させた $(ZnMnSn)As_2$ は、エピタキシャル成長をしていることを確認した。また、基板であるInPと、緩衝層である $ZnSnAs_2$ 薄膜と、磁性半導体層である $(ZnMnSn)As_2$ 薄膜とは、それぞれ格子整合していることを確認した。

【0071】

10

20

30

40

50

さらに、これらの傾向は、 $[1, 1, 0]$ 及び $[1, -1, 0]$ のどちらの結晶方位から観測した場合においても同様であった。よって、本実施例によるエピタキシャル成長は、面内のどちらの方位においても格子整合していると言える。

【0072】

図6は、InP基板上に成長させた緩衝層である $ZnSnAs_2$ 薄膜及び該緩衝層上に成長させた磁性半導体層である $(ZnMnSn)As_2$ 薄膜のXRDパターンを示すグラフである。グラフの横軸は回折角 2θ であり、縦軸は回折強度である。グラフより、緩衝層である $ZnSnAs_2$ の回折ピークは 62.8964° であり、磁性半導体層である $(ZnMnSn)As_2$ の回折ピークは、 62.9825° であることが確認された。このことより、緩衝層である $ZnSnAs_2$ と磁性半導体層である $(ZnMnSn)As_2$ の回折ピークは極めて近く、回折ピークの回折角より算出された格子定数も極めて近いことを確認した。したがって、 $ZnSnAs_2$ にMnを添加しても、格子定数はほとんど変化せず、エピタキシャル成長をさせることができることを確認した。

10

【0073】

図7は、SQUIDにより測定した磁性半導体層である $(ZnMnSn)As_2$ の温度に対する残留磁化を示すグラフである。グラフの横軸は温度、縦軸は残留磁化である。また、このグラフは、基板による反磁性の効果を除いたデータを用いたグラフである。低温領域から室温領域までの残留磁化を測定した結果、強磁性転移温度 T_c が $300K$ 以上であることが確認された。このことより、本実施例で形成した磁性半導体薄膜は、室温においても強磁性を有する磁性半導体薄膜であることを確認した。

20

【0074】

以上のような基板と磁性半導体薄膜とが格子整合し、 T_c が $300K$ 付近でバラツキが少ない $(ZnMnSn)As_2$ の磁性半導体薄膜を用いることにより、室温においても動作可能な半導体スピントロニクスデバイスを得ることができる。半導体スピントロニクスデバイスとしてトンネル磁気抵抗素子、記録素子、発光素子、トランジスタ、スピン偏極素子などがある。

【0075】

トンネル磁気抵抗素子は、本実施例の磁性半導体層間に絶縁層を挟むことによって形成することができる。

【0076】

記録素子は、従来の磁気記録素子における金属部を本実施例の磁性半導体層に置き換えることによって形成することができる。

30

【0077】

発光素子は、本実施例の磁性半導体層を含むpn接合によって形成することができる。トランジスタは、従来の電界効果トランジスタ(FET)におけるソース部を本実施例の磁性半導体層に置き換えることによって形成することができる。

【0078】

スピン偏極素子は、本実施例の磁性半導体層間に少なくとも非磁性体を挟むことによって形成することができる。

【実施例2】

40

【0079】

本発明における磁性半導体薄膜の製造方法の第2実施例について図8又は図9に示す。本実施例では、図8又は図9に示すように基板としてSi又はGaAs、緩衝層としてAlSb、GaAsSb、 $ZnSnAs_2$ を用いた磁性半導体薄膜を製造する。

【0080】

図8は、基板としてSi、緩衝層としてAlSb、GaAsSb、 $ZnSnAs_2$ を用いた場合の磁性半導体薄膜の積層例を示す。また、図9は、基板としてGaAs、緩衝層としてAlSb、GaAsSb、 $ZnSnAs_2$ を用いた場合の磁性半導体薄膜の積層例を示す。

【0081】

50

以下は、図 8 に示す基板として Si を用いた磁性半導体薄膜の製造方法を説明するが、基板を GaAs に変更することにより、図 9 に示す磁性半導体薄膜の製造も可能である。まず、MBE 装置の薄膜形成室内に Si 基板及び薄膜を形成するための原料である Al、Sb、Ga、Zn、Sn、As、Mn を配置した。基板及び原料を配置した後に、薄膜形成室内の背圧を 10^{-5} Pa (10^{-8} Torr) 以下になるまで十分に排気した。

【0082】

薄膜形成室内が十分に排気された後に、基板を加熱することにより基板表面のデガスをを行い、洗浄した。

【0083】

基板表面の洗浄を行った後に、Al 分子線源、Sb 分子線源及びメインシャッターを開けた。これにより、基板に Al 分子線ビーム及び Sb 分子線ビームを照射し、AlSb 薄膜を成長させた。

10

【0084】

AlSb 薄膜を成長させた後に、Al 分子線源のシャッターを閉じ、Ga 分子線源及び As 分子線源のシャッターを開けた。これにより、AlSb 薄膜上に Ga 分子線ビーム、As 分子線ビーム及び Sb 分子線ビームを照射し、AlSb 薄膜上に GaAsSb 薄膜を成長させた。

【0085】

GaAsSb 薄膜を成長させた後に、Ga 分子線源及び Sb 分子線源のシャッターを閉じ、Zn 分子線源及び Sn 分子線源のシャッターを開けた。これにより、AlSb 薄膜上の GaAsSb 薄膜に Zn 分子線ビーム、Sn 分子線ビーム及び As 分子線ビームを照射し、ZnSnAs₂ 薄膜をエピタキシャル成長させた。

20

【0086】

さらに、Mn 分子線源のシャッターを開け、Mn 分子線ビームも照射することにより、(ZnMnSn)As₂ 薄膜をエピタキシャル成長させた。

【0087】

この基板及び緩衝層以外の構成及び製造方法については上記第 1 実施例と略同様である。

【0088】

なお、本発明は、上記実施例に限定されるものではなく、本発明の趣旨を逸脱しない範囲で変更可能である。本発明が適用可能な薄膜、半導体、半導体スピントロニクスデバイス又はこれらを用いた回路等は特に限定されるものではない。

30

【図面の簡単な説明】

【0089】

【図 1】本発明の磁性半導体薄膜の製造方法の実施例 1 による緩衝層及び磁性半導体層の結晶成長に関するタイミングチャートの一例を示す図である。

【図 2】本発明の磁性半導体薄膜の製造方法の実施例 1 による InP 基板を用いた場合の緩衝層及び磁性半導体層の積層例を示す模式図である。

【図 3】本発明の磁性半導体薄膜の製造方法の実施例 1 による緩衝層及び磁性半導体層の成長時の基板温度に対する Zn、Sn、As それぞれの組成比を示すグラフである。

40

【図 4】本発明の磁性半導体薄膜の製造方法の実施例 1 による緩衝層となる ZnSnAs₂ の XRD パターンを示す図である。

【図 5】本発明の磁性半導体薄膜の製造方法の実施例 1 による緩衝層となる ZnSnAs₂ 上に磁性半導体層となる (ZnMnSn)As₂ を各成長時間で成長させたときの RHEED パターンを示す図である。

【図 6】本発明の磁性半導体薄膜の製造方法の実施例 1 による緩衝層となる ZnSnAs₂ 薄膜及び磁性半導体層となる (ZnMnSn)As₂ の XRD パターンを示す図である。

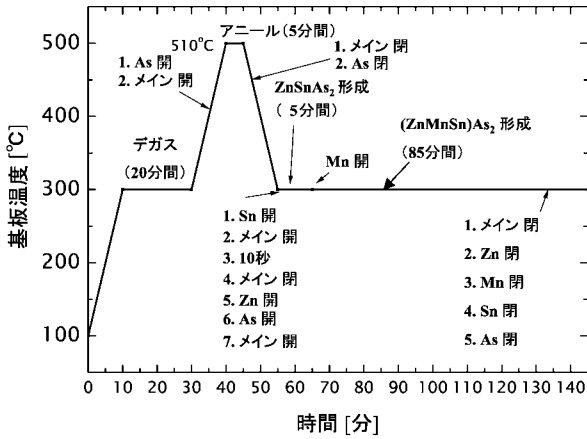
【図 7】本発明の磁性半導体薄膜の製造方法の実施例 1 による (ZnMnSn)As₂ の温度に対する残留磁化を示すグラフである。

50

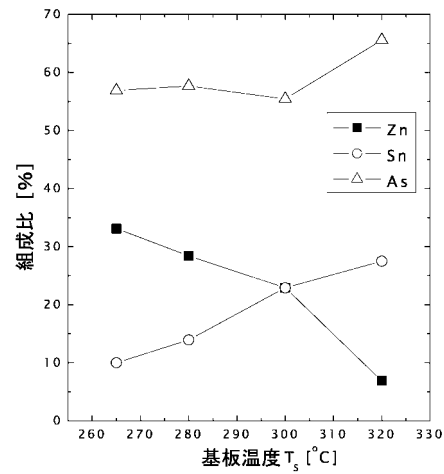
【図8】本発明の磁性半導体薄膜の製造方法の実施例2によるSi基板を用いた場合の緩衝層及び磁性半導体層の積層例を示す模式図である。

【図9】本発明の磁性半導体薄膜の製造方法の実施例2によるGaAs基板を用いた場合の緩衝層及び磁性半導体層の積層例を示す模式図である。

【図1】



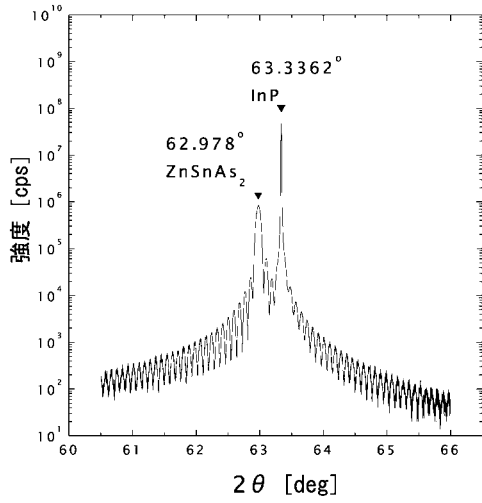
【図3】



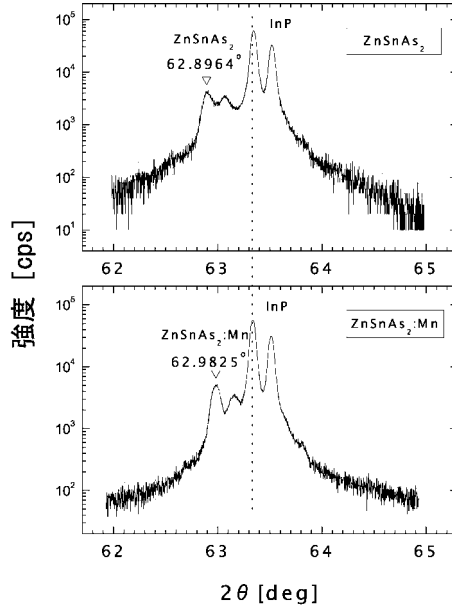
【図2】

(ZnMnSn)As ₂
ZnSnAs ₂
InP

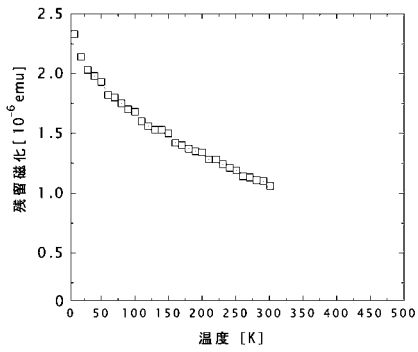
【 図 4 】



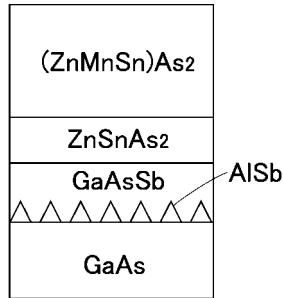
【 図 6 】



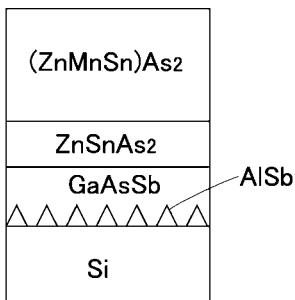
【 図 7 】



【 図 9 】



【 図 8 】

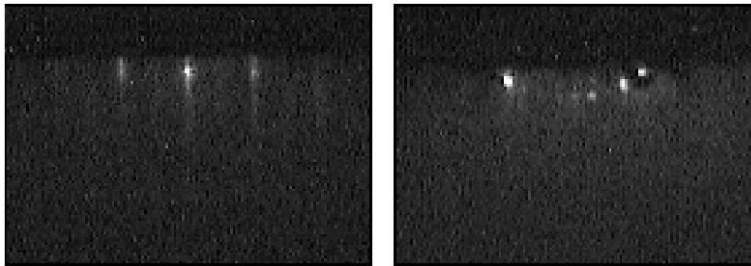


【 図 5 】

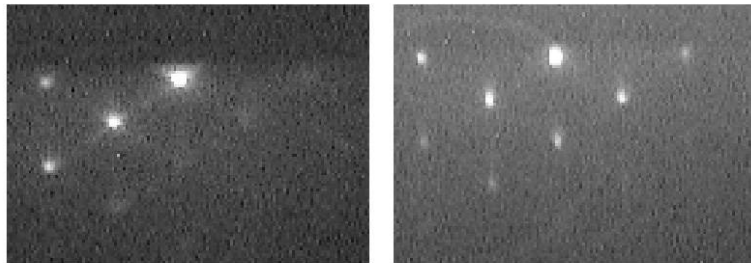
[1, 1, 0]

[1, -1, 0]

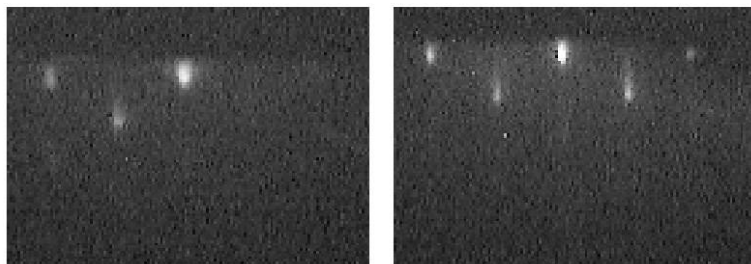
(a)



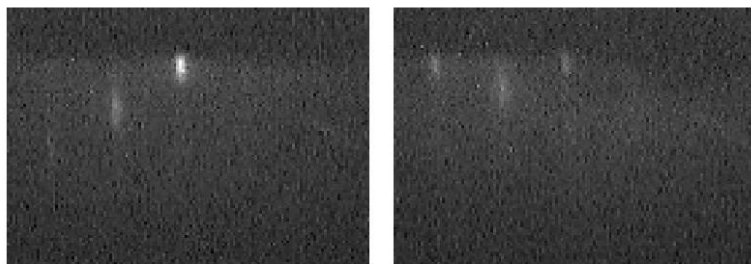
(b)



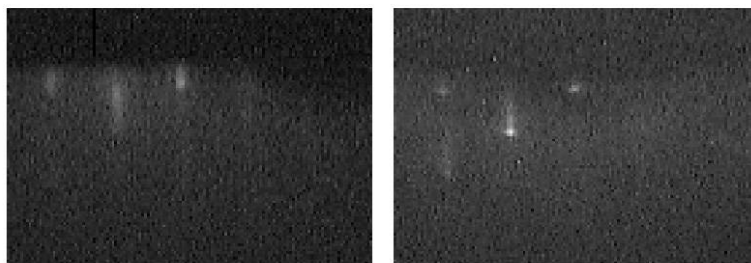
(c)



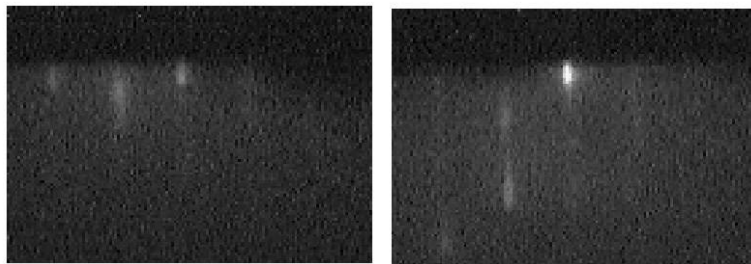
(d)



(e)



(f)



フロントページの続き

審査官 空 哲次

(56)参考文献 特開2003-185985(JP,A)
特開平05-175119(JP,A)
特開2004-055867(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/20
H01F 10/193
H01L 43/08
H01L 43/12