

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4478798号  
(P4478798)

(45) 発行日 平成22年6月9日(2010.6.9)

(24) 登録日 平成22年3月26日(2010.3.26)

(51) Int. Cl. F I  
 HO3M 1/14 (2006.01) HO3M 1/14 B  
 HO3M 1/10 (2006.01) HO3M 1/10 A

請求項の数 3 (全 10 頁)

(21) 出願番号	特願2005-294586 (P2005-294586)	(73) 特許権者	304023318
(22) 出願日	平成17年10月7日(2005.10.7)		国立大学法人静岡大学
(65) 公開番号	特開2007-104531 (P2007-104531A)		静岡県静岡市駿河区大谷836
(43) 公開日	平成19年4月19日(2007.4.19)	(74) 代理人	100088155
審査請求日	平成19年3月26日(2007.3.26)		弁理士 長谷川 芳樹
特許法第30条第1項適用	平成17年8月1日 社団法人映像情報メディア学会発行の「2005年映像情報メディア学会年次大会講演予稿集」に発表	(74) 代理人	100092657
			弁理士 寺崎 史朗
		(74) 代理人	100108257
			弁理士 近藤 伊知良
		(74) 代理人	100124800
			弁理士 諏澤 勇司
		(72) 発明者	川人祥二
			静岡県浜松市城北3丁目5-1 国立大学法人静岡大学電子工学研究所内

最終頁に続く

(54) 【発明の名称】 オフセット低減機能をもつ巡回型A/D変換器、およびオフセット電圧を低減する方法

(57) 【特許請求の範囲】

【請求項1】

差動入力 - 差動出力型の増幅器(1)と、前記増幅器の負帰還経路に挿入される第2及び第4のキャパシタ(C2, C4)と、デジタル - アナログ変換器(5)と、前記デジタル - アナログ変換器の出力と前記増幅器の入力とを接続する第1及び第3のキャパシタ(C1, C3)と、前記増幅器の出力に接続され前記デジタル - アナログ変換器に対して制御信号を供給する比較器(2, 3)を備える巡回型A/D変換器において、前記各キャパシタの接続を切換えるスイッチと、スイッチ切換え制御手段を有することにより前記増幅器のオフセット電圧を低減することを特徴とするオフセット低減機能をもつ巡回型A/D変換回路であって、

前記制御手段は、以下の各ステップ：

1) 前記増幅器の各負帰還経路を短絡するとともに、前記第2のキャパシタの一端を前記増幅器の第1の差動入力へ接続し、前記第2のキャパシタの他端を第2の差動入力へ接続し、前記第4のキャパシタの一端を前記増幅器の第2の差動入力へ接続し、前記第4のキャパシタの他端を前記増幅器の第1の差動入力へ接続し、前記第1のキャパシタの一端を信号入力へ接続し、前記第1のキャパシタの他端を前記増幅器の第1の差動入力へ接続し、前記第3のキャパシタの一端を参照電圧入力へ接続し前記第3のキャパシタの他端を前記増幅器の第2の差動入力へ接続する第1のステップ、

2) 前記増幅器の各負帰還経路の短絡を中止するとともに、前記第2のキャパシタの他端を第1の差動出力に接続して負帰還路を形成し、前記第4のキャパシタの他端を第2の差

動出力に接続して負帰還路を形成する第2のステップ、

3) 前記第1のキャパシタの一端を前記増幅器の第1の差動出力に接続し、前記第3のキャパシタの一端を前記増幅器の第2の差動出力に接続し、前記第1のキャパシタの他端と前記第3のキャパシタの他端とを接続する第3のステップ、

4) 前記第1のキャパシタの一端を前記デジタル-アナログ変換器の第1の出力に接続し、前記第1のキャパシタの他端を前記増幅器の第1の差動入力に接続し、前記第3のキャパシタの一端を前記デジタル-アナログ変換器の第2の出力に接続し、前記第3のキャパシタの他端を前記増幅器の第2の差動入力に接続し、A/D変換出力を前記比較器から得る第4のステップ、

5) 前記第3のステップと第4のステップをくり返すことにより巡回型としてのA/D変換出力を得る第5のステップ、

でキャパシタの接続を切替えるものである、オフセット低減機能をもつ巡回型A/D変換回路。

**【請求項2】**

差動入力-差動出力型の増幅器と、前記増幅器の負帰還経路に挿入される第2及び第4のキャパシタと、デジタル-アナログ変換器と、前記デジタル-アナログ変換器の出力と前記増幅器の入力とを接続する第1及び第3のキャパシタと、前記増幅器の出力に接続され前記デジタル-アナログ変換器に対して制御信号を供給する比較器を備える巡回型A/D変換器において、以下のステップからなる増幅器のオフセット電圧を低減する方法であって、

1) 前記増幅器の各負帰還経路を短絡するとともに、前記第2のキャパシタの一端を前記増幅器の第1の差動入力へ接続し、前記第2のキャパシタの他端を第2の差動入力へ接続し、前記第4のキャパシタの一端を前記増幅器の第2の差動入力へ接続し、前記第4のキャパシタの他端を前記増幅器の第1の差動入力へ接続し、前記第1のキャパシタの一端を信号入力へ接続し、前記第1のキャパシタの他端を前記増幅器の第1の差動入力へ接続し、前記第3のキャパシタの一端を参照電圧入力へ接続し前記第3のキャパシタの他端を前記増幅器の第2の差動入力へ接続する第1のステップ、

2) 前記増幅器の各負帰還経路の短絡を中止するとともに、前記第2のキャパシタの他端を第1の差動出力に接続して負帰還路を形成し、前記第4のキャパシタの他端を第2の差動出力に接続して負帰還路を形成する第2のステップ、

3) 前記第1のキャパシタの一端を前記増幅器の第1の差動出力に接続し、前記第3のキャパシタの一端を前記増幅器の第2の差動出力に接続し、前記第1のキャパシタの他端と前記第3のキャパシタの他端とを接続する第3のステップ、

4) 前記第1のキャパシタの一端を前記デジタル-アナログ変換器の第1の出力に接続し、前記第1のキャパシタの他端を前記増幅器の第1の差動入力に接続し、前記第3のキャパシタの一端を前記デジタル-アナログ変換器の第2の出力に接続し、前記第3のキャパシタの他端を前記増幅器の第2の差動入力に接続し、A/D変換出力を前記比較器から得る第4のステップ、

5) 前記第3のステップと第4のステップをくり返すことにより巡回型としてのA/D変換出力を得る第5のステップ、

を含むオフセット電圧を低減する方法。

**【請求項3】**

前記増幅器の出力を記憶するための前記第1及び第3のキャパシタに加えて、第5及び第6のキャパシタを設けることにより、2系列の信号をほぼ平行して処理することを特徴とする請求項2記載の巡回型A/D変換器におけるオフセット電圧を低減する方法。

**【発明の詳細な説明】**

**【技術分野】**

**【0001】**

この発明は、CMOSイメージセンサ出力のような、ノイズ成分からなるリセットレベルとノイズ成分に有意な信号成分が重畳した信号レベルが交互に出力される信号形態において

10

20

30

40

50

、信号処理に適するオフセット電圧低減機能をもつ巡回型A/D変換器に関する。

【背景技術】

【0002】

巡回型A/D変換器は、比較的少ない回路規模で、比較的高速動作が得られ、高分解能に適する方式として知られている。従来から知られている構成の例を図1に示す。これは、1段あたりで、2倍の増幅を行い、比較器の結果によって、参照電圧を足すまたは引く動作を行い、これを2段縦続接続をして、その出力を入力に戻すことで、1クロックあたり2ビットのA/D変換を行うことができるものである。これを5回繰り返せば、10ビットのA/D変換を行うことができる。

このような巡回型A/D変換器は、比較的回路が簡単であるため、これをイメージセンサのカラムに集積化する方法も報告されている(非特許文献1参照)。

10

しかし、上記の方法では、イメージセンサの画素部で発生するノイズキャンセルのためのアンプと合わせて、1チャンネルあたり、3つのアンプが必要で、占有面積が大きく、消費電力が大きくなるという問題があった。これに対して、発明者は、以前に、図2に示すような1つのアンプで、ノイズキャンセルと巡回型A/D変換を行うことができる回路を提案している(特許文献1参照)。

しかし、これらの回路をイメージセンサのカラムに集積する場合、アンプの持つオフセット電圧をキャンセルする機能を持っておらず、これらの回路をイメージセンサのカラムに集積する場合、各カラム間で生じるばらつきの影響を受けにくい回路とする必要があった。

20

【特許文献1】特開2005-136540号公報

【非特許文献1】S. Decker, R. D. Mcgrath, K. Brehmer, C. G. Sodini, "A 256 x 256 CMOS imaging array with wide dynamic range pixels and column parallel digital output," IEEE J. Solid-State Circuits, vol. 33, no. 12, pp. 2081-2091, Dec. 1998.

【発明の開示】

【発明が解決しようとする課題】

【0003】

上記特許文献1において記載されたオフセット電圧をキャンセルする装置は、図2の回路に加え1つのオペアンプ、2つの容量(全差動構成の場合)が必要となるため、回路面積の増大を招くだけでなく、消費電力を増大させるという問題があった。

30

【課題を解決するための手段】

【0004】

この発明は、図2の回路を変形し、回路中に少数の制御スイッチを追加するだけで効果的にオフセットと1/fノイズのキャンセルが行えるものである。

本発明の一形態に係る巡回型A/D変換回路は、差動入力-差動出力型の増幅器(1)と、前記増幅器の負帰還経路に挿入される第2及び第4のキャパシタ(C2, C4)と、デジタル-アナログ変換器(5)と、前記デジタル-アナログ変換器の出力と前記増幅器の入力とを接続する第1及び第3のキャパシタ(C1, C3)と、前記増幅器の出力に接続され

前記デジタル-アナログ変換器に対して制御信号を供給する比較器(2, 3)を備える。この巡回型A/D変換器において、前記各キャパシタの接続を切換えるスイッチと、スイッチ切換え制御手段を有することにより前記増幅器のオフセット電圧を低減することを特徴とし、巡回型A/D変換器はオフセット低減機能をもつ。

40

上記の巡回型A/D変換回路で、前記制御手段は、以下の各ステップでキャパシタの接続を切換えるものでありオフセット低減機能をもつ：

1) 前記増幅器の各負帰還経路を短絡するとともに、第2のキャパシタの一端を前記増幅器の第1の差動入力へ接続し、第2のキャパシタの他端を第2の差動入力へ接続し、第4のキャパシタの一端を前記増幅器の第2の差動入力へ接続し、第4のキャパシタの他端を前記増幅器の第1の差動入力へ接続し、第1のキャパシタの一端を信号入力へ接続し、第1のキャパシタの他端を前記増幅器の第1の差動入力へ接続し、第3のキャパシタの一端を参照電圧入力へ接続し第3のキャパシタの他端を前記増幅器の第2の差動入力へ接続す

50

る第1のステップ；

2) 前記増幅器の各負帰還経路の短絡を中止するとともに、第2のキャパシタの他端を第1の差動出力に接続して負帰還路を形成し、第4のキャパシタの他端を第2の差動出力に接続して負帰還路を形成する第2のステップ；

3) 第1のキャパシタの一端を前記増幅器の第1の差動出力に接続し、第3のキャパシタの一端を前記増幅器の第2の差動出力に接続し、第1のキャパシタの他端と第3のキャパシタの他端とを接続する第3のステップ；

4) 第1のキャパシタの一端を前記デジタル - アナログ変換器の第1の出力に接続し、第1のキャパシタの他端を前記増幅器の第1の差動入力に接続し、第3のキャパシタの一端を前記デジタル - アナログ変換器の第2の出力に接続し、第3のキャパシタの他端を前記増幅器の第2の差動入力に接続し、A/D変換出力を前記比較器から得る第4のステップ；

5) 前記第3のステップと第4のステップをくり返すことにより巡回型としてのA/D変換出力を得る第5のステップ。

本発明の一形態は、ノイズレベルに信号電圧が重畳した第1の信号と、リセットレベルとしてのノイズレベルが出力される第2の信号とを交互に出力するイメージセンサと、差動入力 - 差動出力型の増幅器と、前記増幅器の負帰還経路に挿入される第2及び第4のキャパシタと、デジタル - アナログ変換器と、前記デジタル - アナログ変換器の出力と前記増幅器の入力とを接続する第1及び第3のキャパシタと、前記増幅器の出力に接続され前記デジタル - アナログ変換器に対して制御信号を供給する比較器を備える巡回型A/D変換器において、前記各キャパシタの接続を切換えるスイッチと、スイッチ切換え制御手段を有することにより前記増幅器のオフセット電圧と1/fノイズを低減することを特徴とするデジタル出力イメージセンサが提供される。

上記のデジタル出力イメージセンサにおいて、前記制御手段は、以下の各ステップでキャパシタの接続を切換えるものである；

1) 第1の信号が信号入力に供給される期間に、前記増幅器の各負帰還経路を短絡するとともに、第2のキャパシタの一端を前記増幅器の第1の差動入力へ接続し、第2のキャパシタの他端を第2の差動入力へ接続し、第4のキャパシタの一端を前記増幅器の第2の差動入力へ接続し、第4のキャパシタの他端を前記増幅器の第1の差動入力へ接続し、第1のキャパシタの一端を信号入力へ接続し、第1のキャパシタの他端を前記増幅器の第1の差動入力へ接続し、第3のキャパシタの一端を参照電圧入力へ接続し第3のキャパシタの他端を前記増幅器の第2の差動入力へ接続する第1のステップ；

2) 第2の信号が信号入力に供給される期間に、前記増幅器の各負帰還経路の短絡を中止するとともに、第2のキャパシタの他端を第1の差動出力に接続して負帰還路を形成し、第4のキャパシタの他端を第2の差動出力に接続して負帰還路を形成する第2のステップ；

3) 第1のキャパシタの一端を前記増幅器の第1の差動出力に接続し、第3のキャパシタの一端を前記増幅器の第2の差動出力に接続し、第1のキャパシタの他端と第3のキャパシタの他端とを接続する第3のステップ；

4) 第1のキャパシタの一端を前記デジタル - アナログ変換器の第1の出力に接続し、第1のキャパシタの他端を前記増幅器の第1の差動入力に接続し、第3のキャパシタの一端を前記デジタル - アナログ変換器の第2の出力に接続し、第3のキャパシタの他端を前記増幅器の第2の差動入力に接続し、A/D変換出力を前記比較器から得る第4のステップ；

5) 前記第3のステップと第4のステップをくり返すことにより巡回型としてのA/D変換出力を得る第5のステップ。

本発明の一形態は、差動入力 - 差動出力型の増幅器と、前記増幅器の負帰還経路に挿入される第2及び第4のキャパシタと、デジタル - アナログ変換器と、前記デジタル - アナログ変換器の出力と前記増幅器の入力とを接続する第1及び第3のキャパシタと、前記増幅器の出力に接続され前記デジタル - アナログ変換器に対して制御信号を供給する比

10

20

30

40

50

較器を備える巡回型 A / D 変換器において、以下のステップからなる増幅器のオフセット電圧を低減する方法：

1) 前記増幅器の各負帰還経路を短絡するとともに、第 2 のキャパシタの一端を前記増幅器の第 1 の差動入力へ接続し、第 2 のキャパシタの他端を第 2 の差動入力へ接続し、第 4 のキャパシタの一端を前記増幅器の第 2 の差動入力へ接続し、第 4 のキャパシタの他端を前記増幅器の第 1 の差動入力へ接続し、第 1 のキャパシタの一端を信号入力へ接続し、第 1 のキャパシタの他端を前記増幅器の第 1 の差動入力へ接続し、第 3 のキャパシタの一端を参照電圧入力へ接続し第 3 のキャパシタの他端を前記増幅器の第 2 の差動入力へ接続する第 1 のステップ；

2) 前記増幅器の各負帰還経路の短絡を中止するとともに、第 2 のキャパシタの他端を第 1 の差動出力に接続して負帰還路を形成し、第 4 のキャパシタの他端を第 2 の差動出力に接続して負帰還路を形成する第 2 のステップ；

3) 第 1 のキャパシタの一端を前記増幅器の第 1 の差動出力に接続し、第 3 のキャパシタの一端を前記増幅器の第 2 の差動出力に接続し、第 1 のキャパシタの他端と第 3 のキャパシタの他端とを接続する第 3 のステップ；

4) 第 1 のキャパシタの一端を前記デジタル - アナログ変換器の第 1 の出力に接続し、第 1 のキャパシタの他端を前記増幅器の第 1 の差動入力に接続し、第 3 のキャパシタの一端を前記デジタル - アナログ変換器の第 2 の出力に接続し、第 3 のキャパシタの他端を前記増幅器の第 2 の差動入力に接続し、A / D 変換出力を前記比較器から得る第 4 のステップ；

5) 前記第 3 のステップと第 4 のステップをくり返すことにより巡回型としての A / D 変換出力を得る第 5 のステップ。

巡回型 A / D 変換器におけるオフセット電圧を低減する方法において、前記増幅器の出力を記憶するための第 1 及び第 3 のキャパシタに加えて、第 5 及び第 6 のキャパシタを設けることにより、2 系列の信号をほぼ平行して処理することを特徴とする。

【発明を実施するための最良の形態】

【0005】

この発明は、アンプの帰還容量の一端に 4 つの制御用スイッチを付加し、適切なタイミングでオン - オフの切換えを行うことで、アンプのオフセット電圧と  $1/f$  ノイズを低減する。

【実施例 1】

【0006】

図 3 に、第 1 の実施例として、画素部のノイズキャンセル機能を有する巡回型 A/D 変換器において、アンプのオフセット電圧と  $1/f$  ノイズを低減する機能をもった巡回型 A/D 変換器の回路を示す。その動作原理を説明する図を図 4 に示す。また、動作タイミングを図 5 に示す。図 3 中の 1 は差動入力 - 差動出力増幅器であり、2 及び 3 は比較器であり、4 はデコーダであり、5 はデジタル - アナログ変換器(以下「DAC」という)である。

なお、で始まる記号は制御信号を表しており、制御信号が "1" のときに、その制御信号により制御されるスイッチはオンとなり、制御信号が "0" のときに、その制御信号により制御されるスイッチはオフとなる。これらの制御信号は、イメージレイから光電荷を外部に転送する制御信号と同期して発生されるものであり、図示されていない制御部により発生される。

本回路は、アンプの帰還容量  $C_2$ 、 $C_4$  の一端に 4 つの制御用スイッチが付加されている点が従来回路と異なる。1 サイクルあたり 1.5 b の A/D 変換を行うため、図 3 と同様に 2 つの比較器を有する。

回路は最初、図 4 (a) のように、 $C_1$ 、 $C_3$  の容量を用いて入力  $V_{in}$  に信号レベル  $V_s$  を与え、サンプルする。このとき、差動アンプの入出力は短絡しておく。また、アンプの帰還容量である  $C_2$ 、 $C_4$  の一端は、差動アンプに対してたすきがけする形で接続しておく。

【0007】

次に、図4(b)に移り、画素のリセットノイズキャンセル動作を行う。回路の入力には画素のリセットレベル $V_R$ が与えられ、図4(a)でサンプルした信号とリセットレベルとの差信号が出力される。容量 $C_1 = C_2 = C_3 = C_4$ であって、アンプにオフセットがなければ、アンプの差動出力電圧 $V_{out}(0)$ は、

【数1】

$$V_{OUT}(0) = V_S - V_R \quad (1)$$

しかしながら、この回路においては、実際にはアンプのオフセット電圧 $V_{os}$ が存在する。この $V_{os}$ を考慮すると、出力電圧は次式のように逆極性のオフセット電圧が現れる。

【数2】

$$V_{OUT}(0) = V_S - V_R - V_{os} \quad (2)$$

もし、図4(a)の接続においてたすきがけ接続ではなく、 $C_2$ 、 $C_4$ の両端を短絡するように接続した場合、

【数3】

$$V_{OUT}(0) = V_S - V_R + V_{os} \quad (3)$$

となる。

【0008】

その後、図4(c)に移り、 $C_1$ 、 $C_3$ によって、アンプの出力 $V_{out}(0)$ をサンプルする。比較器によって $V_{out}(0)$ に対して、次式により、3値でのA/D変換を行う。

【数4】

$$D = \begin{cases} 1 & (V_{ref}/4 < V_{out}(0)) \\ 0 & (-V_{ref}/4 \leq V_{out}(0) \leq V_{ref}/4) \\ -1 & (V_{out}(0) \leq -V_{ref}/4) \end{cases} \quad (4)$$

次いで、図4(d)で、 $C_1$ 、 $C_3$ の一端をDACに接続し、式(4)の結果によって、DACのスイッチ接続を決定し、 $C_1$ 、 $C_3$ の他方の端子は差動アンプの入力に接続することによって、 $C_1$ 、 $C_3$ の電荷が、 $C_2$ 、 $C_4$ に転送され、演算処理がなされる。このときの出力は次式で与えられる。

【数5】

$$\begin{aligned} V_{OUT}(1) &= 2V_{OUT}(0) - DV_{ref} + V_{os} \\ &= 2(V_S - V_R) - DV_{ref} - V_{os} \end{aligned} \quad (5)$$

もし、たすきがけ接続をしていなければ、 $V_{out}(0)$ には、 $+V_{of}$ の成分が含まれ、巡回型A/D変換の式(5)の演算を行った結果、

【数6】

$$\begin{aligned} V_{OUT}(1) &= 2V_{OUT}(0) - DV_{ref} + V_{os} \\ &= 2(V_S - V_R) - DV_{ref} + 3V_{os} \end{aligned} \quad (6)$$

10

20

30

40

50

となり、 $V_{out}(1)$ には、 $3V_{os}$ のオフセットが現れる。

【0009】

巡回型A/D変換器でN-bit出力を得る場合、図4(c)、(d)の処理をN回繰り返すことになるが、このとき、最終的には、アンプの出力に現れるオフセット電圧は、 $(2^N + 1)V_{os}$ となる。これを、巡回する前の入力に換算すると、N回の巡回で、入力信号が、 $2^N$ 倍されるので、

【数7】

$$(2^N + 1)V_{OS} / 2^N \cong V_{OS} \quad (7)$$

となつて、アンプのオフセット電圧が直接影響する。これに対して、最初にたすきがけ接続を行つて、 $-V_{os}$ をC1、C3に記憶しておくこと、どのサイクルにおいても、出力されるオフセット電圧は $-V_{os}$ となる。入力換算で考えれば、オフセット電圧の値は $(1 / 2^N)V_{os}$ となり、十分大きなNに対して、ほぼオフセット電圧を無くすることができる。

【0010】

本発明の巡回型A/D変換器をイメージセンサのカラムに組み込み、ノイズキャンセル機能を持たせる場合の動作タイミング図を図5に、その場合のイメージセンサのブロック図を図6に示す。図6における垂直シフトレジスタ(11)は、イメージアレイ(12)内の画素部(13)に対する転送(TXi)、リセット(Ri)、選択(Si)などの制御信号を発生し、画像信号をノイズキャンセル機能付巡回型A/D変換器(14)へ転送する。

図6に示すような画素内で電荷転送を行う、4トランジスタ+1フォトダイオードの画素構造を、イメージセンサの画素として用いる場合の制御信号の推移を図5に示す。図5には画素部のi番目の行の読み出しのために、垂直シフトレジスタ(11)から与えられる画素部への制御信号Si、Ri、TXiも併せて示している。図5において、Vinは、画素部(13)からの出力、つまりノイズキャンセル機能付巡回型A/D変換器(14)への入力であり、Voは、ノイズキャンセル機能付巡回型A/D変換器(14)の中で用いられているアンプの出力を表している。1水平読み出し周期の中で、まず、画素部の固定パターンノイズと、リセットノイズのキャンセル処理を行う。

ノイズキャンセルされた信号がノイズキャンセル機能付巡回型A/D変換器(14)の中のアンプの出力に現れるので、その出力に対して、2つの比較器を用いて、3値のA/D変換を行い、その結果に基づき、D/A変換器を動作させて、式(5)に相当する演算を行う。これを必要な回数繰り返すことで、巡回型A/D変換が行われる。その結果は、図6のデータレジスタ(15)に記憶されて、水平シフトレジスタ(16)から与えられる制御信号を用いて、データレジスタ(15)に記憶された1水平分分のデジタル映像信号を水平に走査し、出力の手前において冗長-非冗長変換器(17)により、各桁(-1, 0, 1)の3値を取る冗長2進表現から、各桁(0, 1)をとる非冗長2進表現に変換して出力する。それらの詳細は、本発明の本質とあまり関わりがないので省略する。

【実施例2】

【0011】

図7は、容量を6つ用いて、図3の2倍の速度で巡回型A/D変換を行う回路におけるオフセット電圧キャンセルの実施例を示している。18は1.5ビットA/D変換器であり、図3の比較器(2, 3)とデコーダ(4)に相当する回路を内在している。

図3の場合に比べて、容量セットをもう1つ持たせて、相補的にアンプの出力のサンプリングと、D/A変換、2倍増幅演算を行わせることによって、図3の2倍の速度でA/D変換を行うものであり、オフセットキャンセルの動作に関しては、図3と同じであるので、その詳細な説明は、省略する。

【産業上の利用可能性】

【0012】

この発明の構成は、巡回型A/D変換器の回路中に少数の制御スイッチを追加するだけであり、このことにより効果的にオフセットキャンセルが行えるものである。また、イメ

10

20

30

40

50

ージセンサのカラムに組み込むことにより、 $1/f$ ノイズのキャンセルが行えるものである。この発明は回路面積の増大を招くことが少なく、かつ消費電力をあまり増大させない。

【図面の簡単な説明】

【0013】

【図1】従来技術（巡回型A/D変換器）を示す図

【図2】アンプとキャパシタ数を減らした巡回型A/D変換器を示す図

【図3】オフセット低減機能をもつ巡回型A/D変換器を示す図

【図4】図3の巡回型ADCの動作を説明する図

【図5】イメージセンサのカラムに巡回型A/D変換器を組み込みノイズキャンセル機能をもたせる場合の動作タイミングを示す図

10

【図6】イメージセンサのカラムに巡回型A/D変換器を組み込む場合のブロック図

【図7】6つの容量を用いた巡回型A/D変換におけるオフセットキャンセルを示す図

【符号の説明】

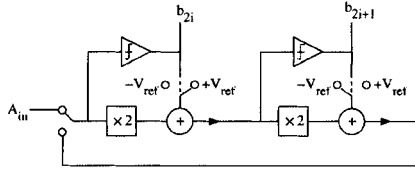
【0014】

- 1 差動入力 - 差動出力増幅器
- 2, 3 比較器
- 4 デコーダ
- 5 デジタル - アナログ変換器
- 11 垂直シフトレジスタ
- 12 イメージアレイ
- 13 画素部
- 14 ノイズキャンセル機能付巡回型A/D変換回路
- 15 データレジスタ
- 16 水平シフトレジスタ
- 17 冗長 - 非冗長変換回路
- 18 1.5ビットA/D変換器

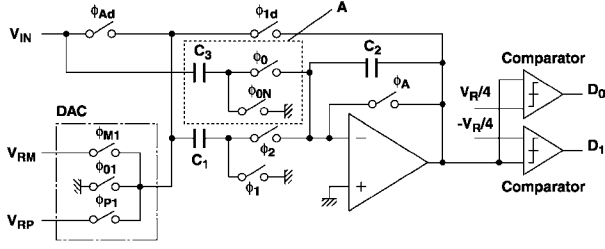
20



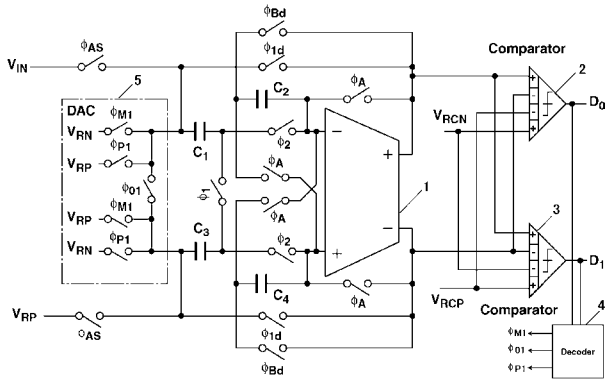
【図1】



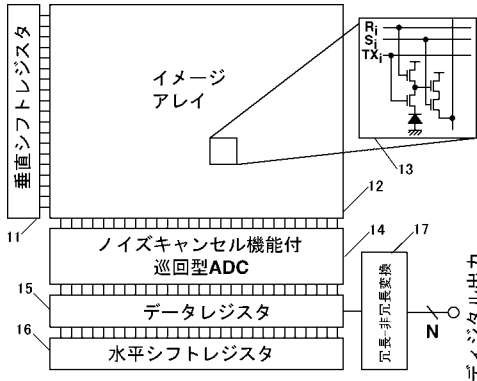
【図2】



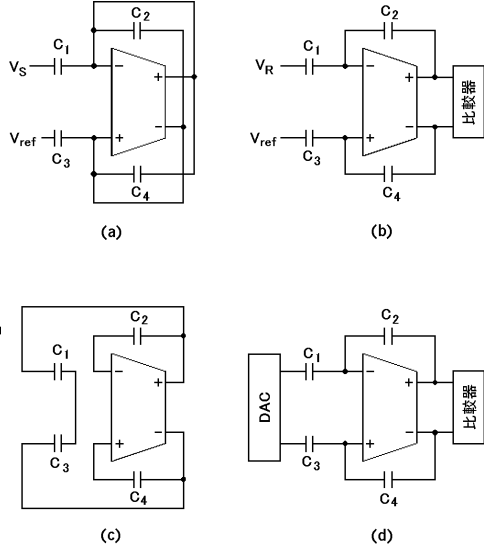
【図3】



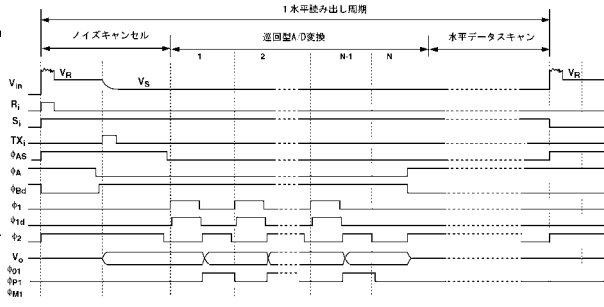
【図6】



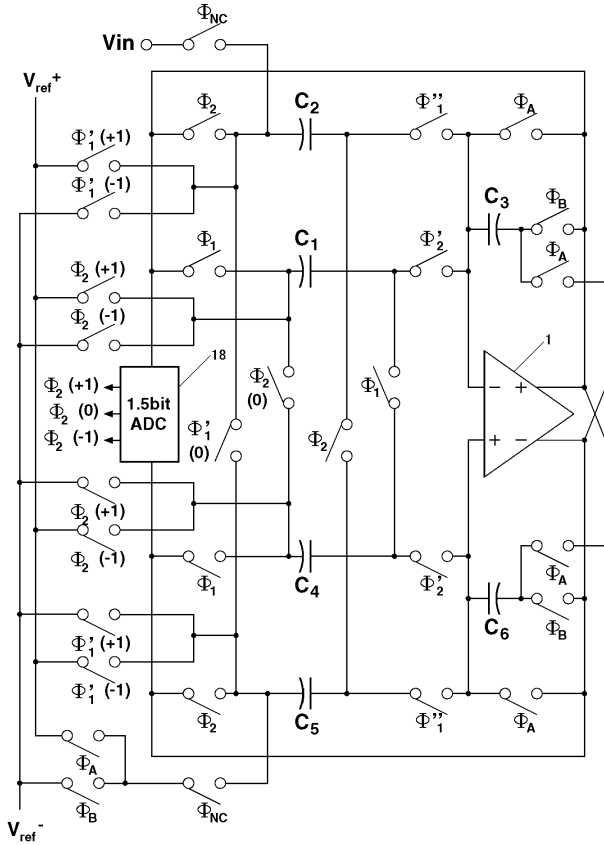
【図4】



【図5】



【図7】



---

フロントページの続き

(72)発明者 古田雅則

静岡県浜松市城北3丁目5-1 国立大学法人静岡大学電子工学研究所内

審査官 栗栖 正和

(56)参考文献 特開平07-162270(JP,A)

特開2005-136540(JP,A)

特開2002-190736(JP,A)

(58)調査した分野(Int.Cl., DB名)

H03M 1/00-1/88