

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4482694号
(P4482694)

(45) 発行日 平成22年6月16日(2010.6.16)

(24) 登録日 平成22年4月2日(2010.4.2)

(51) Int.Cl. F I
 H03M 1/40 (2006.01) H03M 1/40
 H03M 1/06 (2006.01) H03M 1/06

請求項の数 2 (全 7 頁)

(21) 出願番号	特願2006-27180 (P2006-27180)	(73) 特許権者	304023318 国立大学法人静岡大学 静岡県静岡市駿河区大谷836
(22) 出願日	平成18年2月3日(2006.2.3)	(74) 代理人	100088155 弁理士 長谷川 芳樹
(65) 公開番号	特開2007-208815 (P2007-208815A)	(74) 代理人	100092657 弁理士 寺崎 史朗
(43) 公開日	平成19年8月16日(2007.8.16)	(74) 代理人	100108257 弁理士 近藤 伊知良
審査請求日	平成19年3月26日(2007.3.26)	(74) 代理人	100124800 弁理士 諏澤 勇司
		(72) 発明者	川人 祥二 静岡県浜松市城北3丁目5-1 国立大学 法人静岡大学電子工学研究所内

最終頁に続く

(54) 【発明の名称】 高精度巡回型A/D変換器とこれを用いたイメージセンサ

(57) 【特許請求の範囲】

【請求項1】

巡回型A/D変換器において、反転増幅器と、該反転増幅器の出力に接続された比較器と、該比較器の判定結果をアナログ値に変換するD/A変換器と、第1のキャパシタと、該第1のキャパシタの容量と等価に設定された第2のキャパシタと、補正用の第3のキャパシタと、これらのキャパシタ群の接続を切換えるために設けられた複数のスイッチと、これらのスイッチ群のオンオフを制御する制御手段とを備えてなる高精度巡回型A/D変換器であって、

第1のフェーズで、前記制御手段は、前記第1のキャパシタ及び前記第2のキャパシタの一端を入力信号に接続し、前記第1のキャパシタ及び前記第2のキャパシタの他端を前記反転増幅器の入力に接続し、前記第3のキャパシタの一端を前記反転増幅器の出力に接続し、前記第3のキャパシタの他端を前記反転増幅器の入力に接続し、前記比較器は前記反転増幅器の出力を判定し、

第2のフェーズで、前記制御手段は、前記第1のキャパシタの一端を前記反転増幅器の出力に接続し、前記第2のキャパシタの一端を前記D/A変換器の出力に接続し、前記第3のキャパシタの他端を仮想的な接地電位に接続し、

第3のフェーズで、前記制御手段は、前記第1のキャパシタの一端を前記D/A変換器の出力に接続し、前記第2のキャパシタの一端を前記反転増幅器の出力に接続し、前記第3のキャパシタの他端を切り離し、

第4のフェーズで、前記制御手段は、前記第1のキャパシタの一端を前記反転増幅器の出

10

20

力に接続し、前記第1のキャパシタの他端を仮想的な接地電位に接続し、前記第3のキャパシタの他端を前記反転増幅器の入力に接続し、前記比較器は次の判定を行い、その後、第2のフェーズから第4のフェーズまでを順次繰り返すことにより巡回的にA/D変換を行う高精度巡回型A/D変換器。

【請求項2】

請求項1に記載された高精度巡回型A/D変換器を、光検出素子が配列された撮像素子のカラムにアレイ状に並べてなるイメージセンサ。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、巡回型A/D変換器とこの高精度巡回型A/D変換器を用いたイメージセンサとにおける変換誤差を減少させる技術に関する。

【背景技術】

【0002】

スイッチトキャパシタを用いたパイプラインA/D変換器において、容量のミスマッチをキャンセルする方法については、非特許文献1に開示されている。また、スイッチトキャパシタを用いてアンプをシェアするパイプラインA/D変換器において、アンプのオフセット電圧と1/fノイズを約1/3にする方法が、非特許文献2に開示されている。

巡回型A/D変換器において、アンプを共有し、またイメージセンサのカラムでノイズキャンセル機能を持たせる方法については、本発明者が既に特許出願をしている(特許文献1参照)。

【特許文献1】特開2005-136540号公報

【非特許文献1】Bang-Sup Song, Michael F. Tompsett, and Kadaba R. Lakshmikummar, "A 12-bit 1-Msample/s capacitor error-averaging pipelined A/D converter," IEEE Journal of Solid-State Circuits, vol. 23, pp. 1324 - 1333, December 1988.

【非特許文献2】B. M. Min, P. Kim, D. Boisvert, A. Aude, "A 69mW 10b 80MS/s pipelined CMOS ADC," Dig. Tech. Papers, Int. Solid-State Circuits Conf., pp.324-235, 2003.

【発明を実施するための最良の形態】

【0003】

巡回型A/D変換器は、一般的に利得が2である増幅器と、サンプリングホールド回路と、比較器と、比較結果を入力信号から差し引く減算回路とにより構成されている。

本発明は、反転増幅器とキャパシタとにより、サンプリングホールド回路を省略しつつ、巡回型A/D変換器を構成したものである。

【実施例1】

【0004】

図1に、容量のミスマッチ誤差をキャンセルする巡回型A/D変換器を示す。その動作原理を説明する図を図2に示す。また、動作タイミングを図3に示す。各スイッチは図示されない制御回路からの制御信号0~5, cにより制御される。一部のスイッチはデコード(4)の出力信号Dにより制御される。

第1のキャパシタ(以下「C1」という)、第2のキャパシタ(以下「C2」という)及び補正用の第3のキャパシタ(以下「C3」という)は、すべて同じ容量 $C1 = C2 = C3$ である。

最初のサンプリングは、図2(a)のように、C1, C2を並列に接続して、入力信号をサンプリングする。C3は、このとき、差動入力-差動出力を有するアンプ(1)の反転入出力間に接続され、入出力間はスイッチで短絡されているのでC3の両端の電圧は0になっている。このとき、2つの比較器(2, 3)は、入力信号差をサンプリングして判定し、最上位桁を決定する。1サイクルあたり1.5bのA/D変換を行うため、2つの比較器を有しており、図4の特性図に従って、参照電圧をVRとして、 $\pm VR/4$ をしきい値として判定する。

第1の比較器(2)は、 $V_{in} > VR/4$ の範囲で出力(D0)が"1"となり、 $V_{in} < -VR/4$ の範囲で出

10

20

30

40

50

力(D0)が"0"となる。第2の比較器(3)は、 $V_{in} > -V_R/4$ の範囲で出力(D1)が"1"となり、 $V_{in} < -V_R/4$ の範囲で出力(D1)が"0"となる。

図1のデジタル出力D0, D1と図4のD、及び比較器への入力信号 $V_{in}(=V_{inp} - V_{inn})$ との関係は、次式のようになる。

【0005】

【数1】

$$D = \begin{cases} 1 & (D_1=1, D_0=1) \quad (V_{in} > V_R/4) \\ 0 & (D_1=0, D_0=1) \quad (V_R/4 \geq V_{in} \geq -V_R/4) \\ -1 & (D_1=0, D_0=0) \quad (-V_R/4 > V_{in}) \end{cases} \quad (1)$$

10

すなわち、入力を(1) $-V_R$ から $-V_R/4$ 、(2) $-V_R/4$ から $V_R/4$ 、(3) $V_R/4$ から V_R の3領域に分割し、これらの領域に対して3値のA/D変換を行って-1, 0, 1のデジタルコードを割り当てる。最初のコードは最上位桁になる。

デコーダ(4)の出力はc2が"1"のときに、D0, DN, DPのいずれかが"1"になり、 $V_{in} > V_R/4$ の場合はDPが"1"、 $-V_R/4 < V_{in} < V_R/4$ の場合はD0が"1"、 $V_{in} < -V_R/4$ の場合はDNが"1"となるように動作する。

次に、図2(b)に移り、比較器の出力をデコーダ(4)によりデコードした出力をもちいてD/A変換器(5：以下「DAC」という)を制御し、2倍増幅して、DACの出力を引く基本演算を行う。このとき、各C3の一端はアンプ(1)の各出力に接続される。また、各C3の他端が相互に接続される。これは電位的に接地電位に接続されることと等価である。したがって、シングルエンドの反転増幅器を用いる際には、C3の他端を適切な接地電位に接続することとなる。これらの接続を、ここでは仮想的な接地電位に接続するという。増幅器としてシングルエンドの差動入力オペアンプ(6)を使用した回路例を図5に示す。

20

キャパシタの容量に誤差がなければ、その演算は、次式で表される。

【0006】

【数2】

$$V_{out} = 2V_{in} - D \times V_R \quad (2)$$

30

ここで $V_{out} = V_{outp} - V_{outn}$ である。

しかしながら、回路に用いる容量C1, C2に誤差があると次のような関係式になる。

【数3】

$$V_{out} = \left(1 + \frac{C_2}{C_1}\right) V_{in} - \frac{C_2}{C_1} D \times V_R \quad (3)$$

40

これにより生じる誤差を低減するために、C3にこのときの出力電圧を記憶させる。

その後、図2(c)に移り、容量のC1とC2を入れ替えて、動作させる。このときの出力は、次式で与えられる。

【0007】

【数4】

$$V_{out} = \left(1 + \frac{C_1}{C_2}\right) V_{in} - \frac{C_1}{C_2} D \times V_R \quad (4)$$

50

次に、図 2 (d)に移り、C3をアンプの入出力間に接続するとともに、C1に、そのときの出力電圧を記憶する。C3には、式(3)の電圧が記憶されていることから、C3と式(4)の電圧が記憶されたC2を並列に接続したときに、出力電圧は、次式ようになる。

【数 5】

$$V_{out} = \frac{1}{C_2 + C_3} \left\{ C_2 \left(1 + \frac{C_1}{C_2} \right) + C_3 \left(1 + \frac{C_2}{C_1} \right) \right\} V_{in} - \frac{1}{C_2 + C_3} \left(C_2 \frac{C_1}{C_2} + C_3 \frac{C_2}{C_1} \right) D \times V_R \quad (5)$$

$C_3 = C_3 - C_1$, $C_2 = C_2 - C_1$ と置くと、

【0008】

【数 6】

$$V_{out} = \left(2 + \frac{\Delta C_3 \Delta C_2}{C_1 (2C_1 + \Delta C_3 + \Delta C_2)} \right) V_{in} - \left(1 + \frac{\Delta C_3 \Delta C_2}{C_1 (2C_1 + \Delta C_3 + \Delta C_2)} \right) D \times V_R \quad (6)$$

と表される。これは、式(3)の

【数 7】

$$V_{out} = \left(2 + \frac{\Delta C_2}{C_1} \right) V_{in} - \left(1 + \frac{\Delta C_2}{C_1} \right) D \times V_R \quad (7)$$

と比べると誤差が遙かに小さくなっている。例えば、 $C_2 / C_1 = 0.01$, $C_3 / C_1 = 0.01$ であったとして、式(6)の誤差の項 $(C_3 - C_2) / (C_1 (2C_1 + C_3 + C_2))$ は、ほぼ0.00005 (0.005%)である。このように、容量のバラツキが1%程度あったとしても、その誤差を殆ど無視できる値にすることができる。

【0009】

このように誤差補正がなされた電圧がC1に記憶されるが、C2に記憶される電圧も誤差が補正されている。図 2 (d)の動作の後、図 2 (b)に移って、次の桁のA/D変換を実行するが、誤差が補正された電圧に対して演算が継続され、容量のバラツキの影響を受けずにA/D変換を行うことができる。

なお、ここでは、1.5bの演算を行う場合の構成について説明したが、これは、比較器を1個だけ用いた1bの演算を行う場合についても実現可能であることは容易に類推できる。

さらに、ここでは、差動回路を用いたが、シングルエンド型の回路でも、同様な動作による、容量のバラツキをキャンセルする回路が構成できることも容易に類推でき、これらを、本発明から除外するものではない。

ここまで説明した高精度の巡回型A/D変換器は、その部品点数が少ないため、CMOS撮像素子やCCD撮像素子のチップ上に組み込むこともできる。すなわち、各光検出素子から引き出された信号線のカラムにアレイ状に組み込んで多くの面積を消費することが

巡回型A/D変換器において、反転増幅器と、該反転増幅器の出力に接続された比較器と、該比較器の判定結果をアナログ値に変換するD/A変換器と、第1のキャパシタと、該第1のキャパシタの容量と等価に設定された第2のキャパシタと、補正用の第3のキャパシタと、これらのキャパシタ群の接続を切替えるために設けられた複数のスイッチと、これらのスイッチ群のオンオフを制御する制御手段とを備えてなる高精度巡回型A/D変換器が提供される。

高精度巡回型A/D変換器では、第1のフェーズで、前記制御手段は、第1のキャパシタ及び第2のキャパシタの一端を入力信号に接続し、第1のキャパシタ及び第2のキャパシタの他端を前記反転増幅器の入力に接続し、第3のキャパシタの一端を前記反転増幅器の

10

20

30

40

50

出力に接続し、第3のキャパシタの他端を前記反転増幅器の入力に接続し、前記比較器は前記反転増幅器の出力を判定する。

第2のフェーズで、前記制御手段は、第1のキャパシタの一端を前記反転増幅器の出力に接続し、第2のキャパシタの一端を前記D/A変換器の出力に接続し、第3のキャパシタの他端を仮想的な接地電位に接続する。

第3のフェーズで、前記制御手段は、第1のキャパシタの一端を前記D/A変換器の出力に接続し、第2のキャパシタの一端を前記反転増幅器の出力に接続し、第3のキャパシタの他端を切り離す。

第4のフェーズで、前記制御手段は、第1のキャパシタの一端を前記反転増幅器の出力に接続し、第1のキャパシタの他端を仮想的な接地電位に接続し、第3のキャパシタの他端を前記反転増幅器の入力に接続し、前記比較器は次の判定を行う。

その後、第2のフェーズから第4のフェーズまでを順次繰り返すことにより巡回的にA/D変換を行う。

この高精度巡回型A/D変換器を、光検出素子が配列された撮像素子のカラムにアレイ状に並べてなるイメージセンサが提供される。

【産業上の利用可能性】

【0010】

以上に説明した構成により、キャパシタの容量誤差を補正して、高精度の巡回型A/D変換器とこの高精度巡回型A/D変換器を用いたイメージセンサとが実用化できる。この構成は部品点数が少なく、CMOS撮像素子やCCD撮像素子のチップ上に組み込むこともでき、有用なものである。

【図面の簡単な説明】

【0011】

【図1】容量のミスマッチ誤差をキャンセルする巡回型A/D変換器

【図2】図1の巡回型A/D変換器の動作を説明する図

【図3】図1の変換器における動作タイミングを示す図

【図4】1サイクルあたり1.5bのA/D変換を行う巡回型A/D変換器の入出力特性を示す図

【図5】増幅器としてシングルエンドの差動入力オペアンプを使用した例を示す図

【符号の説明】

【0012】

1 アンプ

2, 3 比較器

4 デコーダ

5 D/A変換器(DAC)

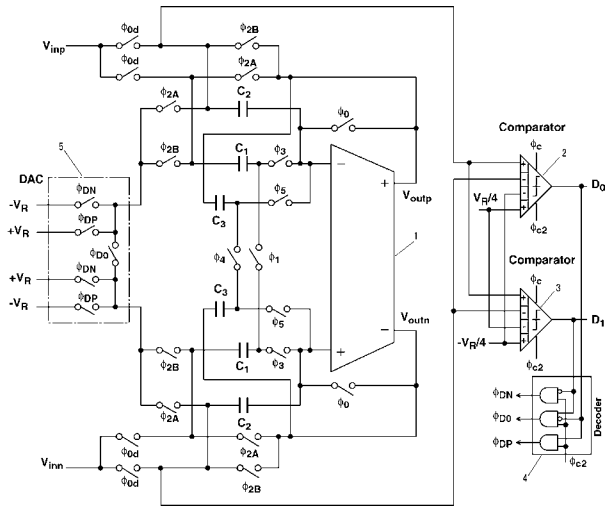
6 差動入力オペアンプ

10

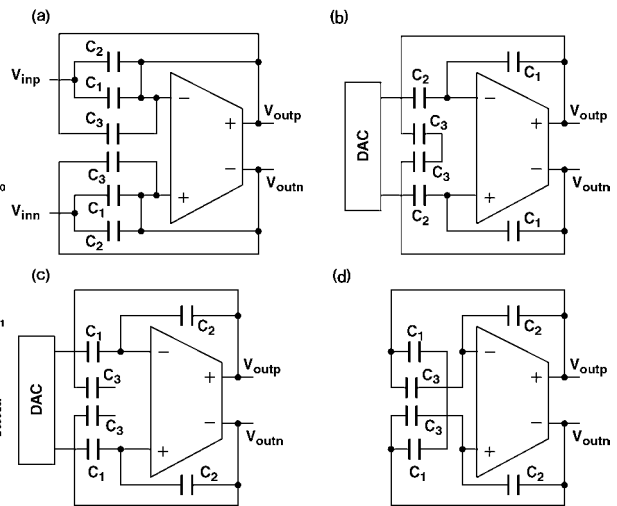
20

30

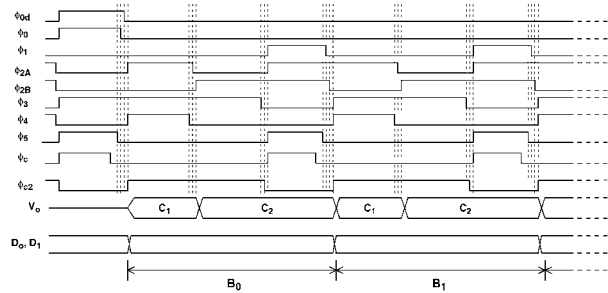
【 図 1 】



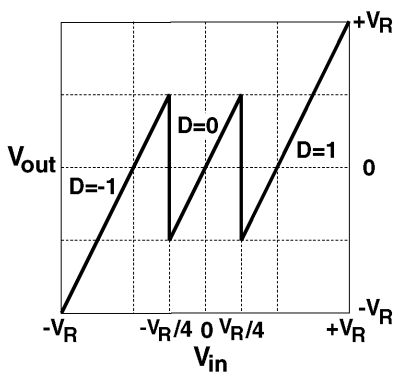
【 図 2 】



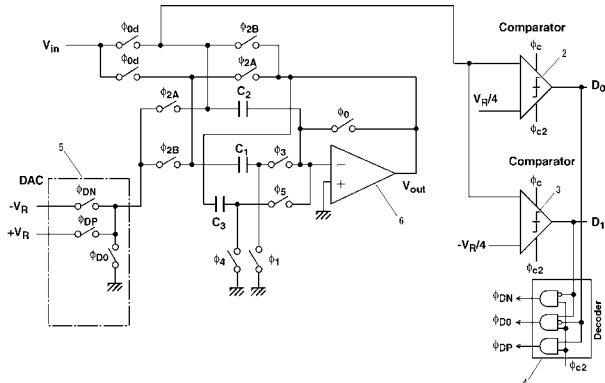
【 図 3 】



【 図 4 】



【 図 5 】



フロントページの続き

(72)発明者 古田 雅則

静岡県浜松市城北3丁目5-1 国立大学法人静岡大学電子工学研究所内

審査官 栗栖 正和

(56)参考文献 特開2005-136540(JP,A)

特開2006-303671(JP,A)

特開2007-104655(JP,A)

B. Song et al., "A 12-bit 1-Msample/s Capacitor Error-Averaging Pipelined A/D Converter", IEEE J. of Solid-State Circuits, 米国, IEEE, 1988年12月, Vol. 23, No. 6, pp. 1324-1333

B. Min et al., "A 69-mW 10-bit 80-MSample/s Pipelined CMOS ADC", IEEE J. of Solid-State Circuits, 米国, IEEE, 2003年12月, Vol. 38, No. 12, pp. 2031-2039

(58)調査した分野(Int.Cl., DB名)

H03M 1/00-1/88