

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4469988号
(P4469988)

(45) 発行日 平成22年6月2日(2010.6.2)

(24) 登録日 平成22年3月12日(2010.3.12)

(51) Int.Cl.		F I			
HO3M	1/08	(2006.01)	HO3M	1/08	A
HO3M	1/14	(2006.01)	HO3M	1/14	B

請求項の数 7 (全 20 頁)

(21) 出願番号	特願2006-243142 (P2006-243142)	(73) 特許権者	304023318 国立大学法人静岡大学 静岡県静岡市駿河区大谷836
(22) 出願日	平成18年9月7日(2006.9.7)	(74) 代理人	100088155 弁理士 長谷川 芳樹
(65) 公開番号	特開2007-104655 (P2007-104655A)	(74) 代理人	100092657 弁理士 寺崎 史朗
(43) 公開日	平成19年4月19日(2007.4.19)	(74) 代理人	100108257 弁理士 近藤 伊知良
審査請求日	平成19年3月22日(2007.3.22)	(74) 代理人	100124800 弁理士 諏澤 勇司
(31) 優先権主張番号	特願2005-258724 (P2005-258724)	(72) 発明者	川人 祥二 静岡県浜松市城北3丁目5-1 国立大学 法人静岡大学電子工学研究所内
(32) 優先日	平成17年9月7日(2005.9.7)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 ノイズキャンセル機能付きA/D変換器

(57) 【特許請求の範囲】

【請求項1】

ノイズ成分を含む第1の電圧レベルとノイズ成分に有意な信号成分が重畳した第2の電圧レベルとが交互に現れる信号に対して、前記第2の電圧レベルから前記第1の電圧レベルを差し引くノイズキャンセル機能を有するA/D変換器であって、

入力信号を増幅する増幅手段(1)と、

前記第1の電圧レベルによって生じた前記増幅手段の出力の電圧レベルを記憶する第1のキャパシタ(C1)と、

前記第2の電圧レベルによって生じた前記増幅手段の出力の電圧レベルを記憶する第2のキャパシタ(C2)と、

前記増幅手段の出力に接続される比較器(2,3)と、

該比較器の比較結果により制御されるD/A変換器(5)と、

前記第1及び第2のキャパシタを前記増幅手段(1)の入力と前記D/A変換器(5)との間に接続換えするためのスイッチング手段と、

該スイッチング手段の開閉を制御する制御部と

を備え、

前記第1及び第2のキャパシタの接続を前記スイッチング手段を用いて前記増幅手段(1)の入力と前記D/A変換器(5)との間に変更することにより、前記第1のキャパシタの電圧と前記第2のキャパシタの電圧との差を前記増幅手段の出力として得るとともに、前記第1及び第2のキャパシタを巡回型A/D変換のために用いることを特徴とするA/D変

10

20

換器。

【請求項 2】

前記 A / D 変換器の入力端子と前記増幅手段の入力との間に接続される第 3 のキャパシタ (C 3) と、

前記増幅手段 (1) の出力と前記入力との間に接続され、前記第 3 のキャパシタとの容量比により前記増幅手段の利得を決定する第 4 のキャパシタ (C 5) と、

前記第 3 および第 4 のキャパシタ (C 3、C 5) 並びに前記増幅手段 (1) の接続を制御する別のスイッチング手段と

をさらに備えてなる請求項 1 に記載の A / D 変換器。

【請求項 3】

前記増幅手段 (1) は、入力信号の極性に対して出力信号の極性が反転する MOS 増幅回路であり、

該 MOS 増幅回路を増幅器として用いるときには、前記第 3 のキャパシタ (C 3) が当該 A / D 変換器の前記入力端子と前記 MOS 増幅回路の入力端子との間に接続され、前記第 4 のキャパシタ (C 5) が前記 MOS 増幅回路の前記入力端子と前記 MOS 増幅回路の出力端子との間に接続され、前記第 1 のキャパシタ (C 1) の一端と前記第 2 のキャパシタ (C 2)

の一端は、前記第 1 の電圧レベルと前記第 2 の電圧レベルをそれぞれ記憶するように順次前記 MOS 増幅回路の前記出力端子に接続され、その後前記第 1 のキャパシタと前記第 2 のキャパシタの前記一端同士を接続して前記第 1 および第 2 のキャパシタの直列回路を形成して、該直列回路の一端を前記 MOS 増幅回路の前記入力端子に接続すると共に該直列

接続の他端を接地電位に接続してノイズキャンセルを行い、
該 MOS 増幅回路をノイズキャンセルされた信号のための巡回型 A / D 変換のために用いるときには、前記第 3 のキャパシタ (C 3) を前記 MOS 増幅回路の前記入力端子と前記出力端子に接続し、

前記巡回型 A / D 変換は第 1 および第 2 のフェーズを含み、前記巡回型 A / D 変換は前記第 1 のフェーズと前記第 2 のフェーズを繰り返すことによって行われ、

前記第 1 のキャパシタ (C 1) の一方の端子を前記第 1 のフェーズにおいて前記 MOS 増幅回路の前記出力端子に接続すると共に、前記第 2 のフェーズにおいて D / A 変換の為の参照電圧を提供する前記 D / A 変換器につなぎ換え、

前記第 1 のキャパシタ (C 1) の他方の端子を前記第 1 のフェーズにおいて接地電位に接続すると共に、前記第 2 のフェーズにおいて前記 MOS 増幅回路の前記入力端子につなぎ換える、ことを特徴とする請求項 2 に記載の A / D 変換器。

【請求項 4】

前記増幅手段 (1) は、差動入力 - 差動出力の MOS 増幅回路であり、

該 MOS 増幅回路を増幅器として用いるときには、前記第 3 のキャパシタ (C 3) が当該 A / D 変換器の前記入力端子と前記 MOS 増幅回路の負入力端子との間に接続され、前記第 4 のキャパシタ (C 5) が前記 MOS 増幅回路の前記負入力端子と前記 MOS 増幅回路の正出力端子との間に接続され、さらに前記 MOS 増幅回路の正入力端子と前記 MOS 増幅回路の負出力端子は短絡されて、直流電位に接続されるとともに、前記第 1 のキャパシタ (C 1) と前記第 2 のキャパシタ (C 2) は前記 MOS 増幅回路の前記正出力端子に、第 1 の

電圧レベルと第 2 の電圧レベルをそれぞれ記憶するように順次接続され、その後、前記第 1 のキャパシタ (C 1) と前記第 2 のキャパシタ (C 2) の一端をそれぞれ前記 MOS 増幅回路の前記負入力端子及び前記正入力端子に接続し、かつ前記第 1 のキャパシタ (C 1) と前記第 2 のキャパシタ (C 2) の他端同士を接続することによりノイズキャンセルを行い、

ノイズキャンセルされた信号のための巡回型 A / D 変換のために前記 MOS 増幅回路を用いるときには、第 3 のキャパシタ (C 3) を前記 MOS 増幅回路の前記負入力端子と前記正出力端子に接続し、前記第 4 のキャパシタ (C 5) を前記 MOS 増幅回路の前記負入力端子と前記正出力端子に接続し、

前記巡回型 A / D 変換は第 1 のフェーズと第 2 のフェーズを含み、前記巡回型 A / D 変換は前記第 1 および第 2 のフェーズを繰り返すことによって行われ、

10

20

30

40

50

前記第1のキャパシタ(C1)の一方の端子と前記第2のキャパシタ(C2)の一方の端子をそれぞれ前記第1のフェーズにおいて前記MOS増幅回路の前記正出力端子及び前記負出力端子に接続すると共に、前記第2のフェーズにおいてD/A変換の為の参照電圧を提供する前記D/A変換器につなぎ換え、

前記第1のキャパシタ(C1)の他方の端子と前記第2のキャパシタ(C2)の他方の端子を接地電位に前記第1のフェーズにおいて接続すると共に、前記第2のフェーズにおいて前記MOS増幅回路の前記負入力端子及び前記正入力端子にそれぞれつなぎ換える、ことを特徴とする請求項2に記載のA/D変換器。

【請求項5】

前記巡回型A/D変換のために前記第4のキャパシタ(C5)が用いられるとき、これにより前記MOS増幅回路の前記負入力端子と前記正出力端子の間に接続されることによりスイッチング素子を減らしてなることを特徴とする請求項4に記載のA/D変換器。

10

【請求項6】

第1および第2の系列の信号のうち一方を受けるための第1の入力端子並びに他方を受けるための第2の入力端子と、

前記第1の入力端子と前記増幅手段(1)の第1の入力との間に接続される第3のキャパシタ(C3)と、

前記増幅手段(1)の前記第1の入力と前記増幅手段(1)の第1の出力の間に接続され、前記第3のキャパシタとの容量比により前記増幅手段の利得を決定する第4のキャパシタ(C5)と、

20

前記第2の入力端子と前記増幅手段(1)の第2の入力との間に接続される第5のキャパシタ(C4)と、

前記増幅手段(1)の前記第2の入力と前記増幅手段(1)の第2の出力の間に接続され、前記第3のキャパシタとの容量比により前記増幅手段の利得を決定する第6のキャパシタ(C6)と、

前記第1の電圧レベルと前記第2の電圧レベルを記憶するための2つのキャパシタ(C1B、C2B)と、を備え、

前記増幅手段(1)は、2つの入力端子と2つの出力端子を有する差動アンプを含むと共にモード切替可能な第1および第2のモードを有しており、前記第1のモードでは前記差動アンプは巡回型A/D変換のために差動入力-差動出力の増幅回路として動作し、前記第2のモードでは前記差動アンプは該差動アンプの共通ソースを固定電位に接続することによりノイズキャンセル動作のために2つのシングルエンドアンプとして動作する、請求項1に記載のA/D変換器。

30

【請求項7】

前記第1および第2の系列の信号は、行および列に配置された複数の画素を含むイメージセンサ画素アレイの第1および第2の画素列にそれぞれ接続された第1および第2のカラムラインから提供される、請求項6に記載のA/D変換器。

【発明の詳細な説明】

【技術分野】

【0001】

40

この発明は、CMOSイメージセンサの出力信号に含まれるランダムノイズ低減機能を有するA/D変換器に関する。

【背景技術】

【0002】

巡回型A/D変換器は、比較的少ない回路規模で比較的高速に動作し、高分解能に適する方式として知られている。従来から知られている回路の例を図1に示す。この回路は、単位回路の1段あたり2倍の増幅を行い、比較器の結果によって、参照電圧を足すまたは引く動作を行う。単位回路を2段縦続に接続して、その出力を入力に戻すことで、1クロックあたり2ビットのA/D変換を行うことができる。A/D変換を5回繰り返せば、10ビットのA/D変換結果が得られる。

50

このような巡回型 A / D 変換器は比較的簡単な回路を用いるので、非特許文献 1 に示されるように、巡回型 A / D 変換器の配列をイメージセンサアレイのカラムに集積化できる。

特許文献 1 には、図 2 に示すような 1 つのアンプを用いて、ノイズキャンセルと巡回型 A / D 変換を行うことができる回路が開示されている。

【 0 0 0 3 】

非特許文献 2 には、利得の大きなアンプを用いて、ランダムノイズの主要な成分をキャンセルすることで、ランダムノイズを低減する共に、画素部のノイズキャンセルを行う方法が記載されている。

特許文献 2 に記載された回路では、2 段構成のノイズキャンセル回路を用いて固定パターンノイズを低減している。また、この回路では第 1 段目のアンプの入出力間に接続された容量には、スイッチのようなアクティブデバイスは一切用いないことを特徴としている。

10

特許文献 3 では、ノイズを含む電圧信号の巡回型 A / D 変換のデジタル値を第 1 のレジスタに記憶すると共に、信号光に応じた電圧信号およびノイズを含む電圧信号の巡回型 A / D 変換のデジタル値を第 2 のレジスタに記憶して、これらの演算によりノイズをキャンセルしている。

【 0 0 0 4 】

特許文献 4 の巡回型 A / D 変換器では、並列型 A / D 変換回路の入力端子は、スイッチにより選択的に信号入力端子またはオペアンプの出力端子のいずれかに接続される。コンデンサアレイのコンデンサの一端は共にコモンラインに接続されると共に、これらのコンデンサの他端は、それぞれのスイッチを介して、A / D 変換回路の入力端子、基準電圧端子、またはグランド端子のいずれかに選択的に接続される。特許文献 5 には、差動増幅回路を用いるサンプル / ホールド回路が記載されている。

20

【 0 0 0 5 】

【特許文献 1】特開 2 0 0 5 - 1 3 6 5 4 0 号公報

【特許文献 2】米国特許第 6 , 1 2 8 , 0 3 9 号明細書

【特許文献 3】特開 2 0 0 6 - 2 5 1 8 9 号公報

【特許文献 4】特開 2 0 0 1 - 5 3 6 1 0 号公報

【特許文献 5】特開 2 0 0 3 - 1 5 8 4 3 2 号公報

30

【非特許文献 1】S. Decker, R. D. Mcgrath, K. Brehmer, C. G. Sodini, "A 256 x 256 CMOS imaging array with wide dynamic range pixels and column parallel digital output", IEEE J. Solid State Circuits, vol. 33, no. 12, pp. 2081-2091, Dec. 1998.

【非特許文献 2】N. Kawai, S. Kawahito, "Noise analysis of high gain low noise column readout circuits for CMOS image sensors", IEEE Trans. Electron Devices, vol.51, no.2, pp.185-194 (2004).

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

40

しかしながら、非特許文献 1 に記載された回路では、イメージセンサの画素部で発生するノイズキャンセルのためのアンプと合わせて、1 チャンネルあたり、3 つのアンプが必要であるので、このための回路の占有面積が大きく、また消費電力が大きくなる。

非特許文献 1 および特許文献 1 の巡回型 A / D 変換のための回路をイメージセンサアレイのカラムに集積する場合、あまり大きなキャパシタを集積することができない。このため、回路がランダムノイズの影響を受けやすくなるので、分解能は高くできても、ノイズレベルが大きい。また、特許文献 2 に記載された回路は、ランダムノイズを低減することを目的にはしていない。

特許文献 3 の巡回型 A / D 変換器は、デジタル的にノイズをキャンセルしている。また、特許文献 4 の巡回型 A / D 変換器は、コモンラインに接続された一端を有するコンデ

50

ンサのアレイと、並列型 A / D 変換回路とを用いており、並列型 A / D 変換回路が大きな面積を必要とする。さらに、特許文献 5 にはサンプル / ホールド回路が記載されており、巡回型 A / D 変換器は記載されていない。

本発明の一側面は、ランダムノイズ低減の機能を A / D 変換器の回路のなかに組み込むことで回路の規模を大きくすることなく、ランダムノイズ低減と A / D 変換とを行うものである。これは特に、CMOS イメージセンサのカラムに集積化する A / D 変換器として有用である。さらに、本発明の別の側面は、実装面積を減らすために、1 つの回路で 2 つの入力信号に対してノイズキャンセルと A / D 変換とを行えるようにしたものである。

これまで、CMOS イメージセンサのカラムに集積化する A / D 変換器はいろいろと報告されているが、ランダムノイズを効果的に低減すると共に A / D 変換を行えるものはなかった。本発明の更なる別の側面は、回路を複雑にすることなく、ランダムノイズを大きく低減しながら、高い分解能の A / D 変換が行える点である。現在 CMOS イメージセンサのノイズレベルは CCD イメージセンサに近づいていると言われている。CMOS イメージセンサの優位性を決定づけるものは、CMOS の利点であるカラムでの処理を有効に利用して、低雑音の読み出しを実現することである。しかし、いまだその実用的な解は報告されていない。本発明のまた更なる別の側面は、CMOS イメージセンサを CCD イメージセンサを超える低ノイズ性能の領域まで高めることができる技術である。

本発明の更なるまた別の側面は、CMOS イメージセンサのカラムに配置した A / D 変換器により、ランダムノイズを効果的に低減しながら A / D 変換を行う。

【課題を解決するための手段】

【0007】

本発明に係る A / D 変換器は、ノイズ成分を含む第 1 の電圧レベルとノイズ成分に有意な信号成分が重畳した第 2 の電圧レベルとが順に現れる信号に対して、第 2 の電圧レベルから第 1 の電圧レベルを差し引くノイズキャンセル機能を有する A / D 変換器である。この A / D 変換器は、入力信号を増幅する第 1 段目の増幅手段(6)と、第 1 の電圧レベルによって生じた第 1 段目の増幅手段の出力の電圧レベルを記憶する第 1 のキャパシタ(C1)と、第 2 の電圧レベルによって生じた第 1 段目の増幅手段の出力の電圧レベルを記憶する第 2 のキャパシタ(C2)と、第 1 のキャパシタの電圧と第 2 のキャパシタの電圧との差を増幅する第 2 段目の増幅手段(1)と、第 2 段目の増幅手段の出力に接続される比較器(2, 3)と、比較器の比較結果により制御される D / A 変換部(5)と、第 1 及び第 2 のキャパシタを接続換えするためのスイッチング手段と、スイッチング手段の開閉を制御する制御部とを備える。第 1 及び第 2 のキャパシタの接続をスイッチング手段を用いて変更することにより、第 1 及び第 2 のキャパシタをノイズキャンセルのために用いられると共に、A / D 変換のために用いる。

【0008】

本発明に係る A / D 変換器は、ノイズ成分を含む第 1 の電圧レベルとノイズ成分に有意な信号成分が重畳した第 2 の電圧レベルとが交互に現れる信号に対して、第 2 の電圧レベルから第 1 の電圧レベルを差し引くノイズキャンセル機能を有する。この A / D 変換器は、入力信号を増幅する増幅手段(1)と、第 1 の電圧レベルによって生じた増幅手段の出力の電圧レベルを記憶する第 1 のキャパシタ(C1)と、第 2 の電圧レベルによって生じた増幅手段の出力の電圧レベルを記憶する第 2 のキャパシタ(C2)と、増幅手段の出力に接続される比較器(2, 3)と、比較器の比較結果により制御される D / A 変換器(5)と、第 1 及び第 2 のキャパシタを増幅手段(1)の入力と D / A 変換部(5)との間に接続換えするためのスイッチング手段と、スイッチング手段の開閉を制御する制御部とを備える。第 1 及び第 2 のキャパシタの接続をスイッチング手段を用いて増幅手段(1)の入力と D / A 変換器(5)との間に変更することにより、第 1 のキャパシタの電圧と第 2 のキャパシタの電圧との差を増幅手段の出力として得るとともに、第 1 及び第 2 のキャパシタを巡回型 A / D 変換のために用いる。

【0009】

本発明に係る A / D 変換器は、該 A / D 変換器の入力端子と増幅手段の入力との間に接

10

20

30

40

50

続される第3のキャパシタ(C3)と、増幅手段(1)の入力と出力の間に接続され、第3のキャパシタとの容量比により増幅手段の利得を決定する第4のキャパシタ(C5)と、第3および第4のキャパシタ(C5)並びに増幅手段(1)の接続を制御する別のスイッチング手段とをさらに備えることができる。

【0010】

本発明に係るA/D変換器では、増幅手段(1)は、入力信号の極性に対して出力信号の極性が反転するMOS増幅回路である。MOS増幅回路を増幅器として用いるときには、第3のキャパシタ(C3)がA/D変換器の入力端子とMOS増幅回路の入力端子の間に接続される。第4のキャパシタ(C5)がMOS増幅回路の入力端子とMOS増幅回路の出力端子に接続される。第1のキャパシタ(C1)の一端と第2のキャパシタ(C2)の一端は、第1の電圧レベルと第2の電圧レベルをそれぞれ記憶するように順次にMOS増幅回路の出力端子に接続され、その後第1のキャパシタと第2のキャパシタの一端同士を接続して第1および第2のキャパシタの直列回路を形成する。直列回路の一端をMOS増幅回路の入力端子に接続すると共に直列接続の他端を接地電位に接続してノイズキャンセルを行う。

10

【0011】

MOS増幅回路をノイズキャンセルされた信号のための巡回型A/D変換のために用いるときには、第3のキャパシタ(C3)をMOS増幅回路の入力端子と出力端子に接続する。巡回型A/D変換は第1のフェーズと第2のフェーズを含み、巡回型A/D変換は第1および第2のフェーズを繰り返すことによって行われる。第1のフェーズにおいて第1のキャパシタ(C1)の一方の端子をMOS増幅回路の出力端子に接続すると共に、第2のフェーズにおいてD/A変換の為に参照電圧を提供するD/A変換部につなぎ換える。第1のフェーズにおいて第1のキャパシタ(C1)の他方の端子を接地電位に接続すると共に、第2のフェーズにおいてMOS増幅回路の入力端子とにつなぎ換える。

20

【0012】

本発明に係るA/D変換器では、増幅手段(1)は、差動入力-差動出力のMOS増幅回路である。MOS増幅回路を増幅器として用いるときには、第3のキャパシタ(C3)がA/D変換器の入力端子とMOS増幅回路の負入力端子との間に接続される。第4のキャパシタ(C5)がMOS増幅回路の負入力端子とMOS増幅回路の正出力端子に接続される。さらにMOS増幅回路の正入力端子とMOS増幅回路の負出力端子は短絡されて、直流電位に接続されるとともに、第1のキャパシタ(C1)と第2のキャパシタ(C2)はMOS増幅回路の正出力端子に、第1の電圧レベルと第2の電圧レベルをそれぞれ記憶するように順次接続される。その後、第1のキャパシタ(C1)と第2のキャパシタ(C2)の一端をそれぞれMOS増幅回路の負入力端子及び正入力端子に接続し、かつ第1のキャパシタ(C1)と第2のキャパシタ(C2)の他端同士を接続することによりノイズキャンセルを行う。

30

【0013】

ノイズキャンセルされた信号のための巡回型A/D変換のためにMOS増幅回路を用いるときには、第3のキャパシタ(C3)をMOS増幅回路の負入力端子と正出力端子に接続する。第5のキャパシタ(C4)をMOS増幅回路の負入力端子と正出力端子に接続する。巡回型A/D変換は第1および第2のフェーズを含み、巡回型A/D変換は第1のフェーズと第2のフェーズを繰り返すことによって行われる。第1のフェーズにおいて、第1のキャパシタ(C1)の一方の端子と第2のキャパシタ(C2)の一方の端子をそれぞれMOS増幅回路の正出力端子及び負出力端子に接続すると共に、第2のフェーズにおいてD/A変換の為に参照電圧を提供するD/A変換部につなぎ換える。第1のフェーズにおいて第1のキャパシタ(C1)の他方の端子と第2のキャパシタ(C2)の他方の端子を接地電位に接続すると共に、第2のフェーズにおいてMOS増幅回路の負入力端子及び正入力端子にそれぞれつなぎ換える。

40

【0014】

本発明に係るA/D変換器では、巡回型A/D変換のために第4のキャパシタ(C5)が

50

用いられるとき、MOS増幅回路の入力端子と出力端子の間に接続されることによりスイッチング素子を減らしてなることが好ましい。

【0015】

本発明に係るA/D変換器は、第1および第2の系列の信号のうち一方を受けるための第1の入力端子並びに他方を受けるための第2の入力端子と、第1の入力端子と増幅手段(1)の第1の入力との間に接続される第3のキャパシタ(C3)と、増幅手段(1)の第1の入力と増幅手段(1)の第1の出力の間に接続され、第3のキャパシタとの容量比により増幅手段の利得を決定する第4のキャパシタ(C5)と、第2の入力端子と増幅手段(1)の第2の入力との間に接続される第5のキャパシタ(C4)と、増幅手段(1)の第2の入力と増幅手段(1)の第2の出力の間に接続され、第3のキャパシタとの容量比により増幅手段の利得を決定する第6のキャパシタ(C6)と、第1の電圧レベルと第2の電圧レベルを記憶するための2つのキャパシタ(C1B, C2B)と、を備える。増幅手段(1)は、2つの入力端子と2つの出力端子を有する差動アンプを含むと共にモード切替可能な第1および第2のモードを有している。第1のモードでは差動アンプは巡回型A/D変換のために差動入力-差動出力の増幅回路として動作し、第2のモードでは差動アンプは該差動アンプの共通ソースを固定電位に接続することによりノイズキャンセル動作のために2つのシングルエンドアンプとして動作する。

10

【0016】

本発明に係るA/D変換器では、第1および第2の系列の信号は、行および列に配置された複数の画素を含むイメージセンサ画素アレイの第1および第2の画素列にそれぞれ接続された第1および第2のカラムラインから提供されることができる。

20

本発明の上記の目的および他の目的、特徴、並びに利点は、添付図面を参照して進められる本発明の好適な実施の形態の以下の詳細な記述から、より容易に明らかになる。

【発明の効果】

【0017】

本発明によれば、ランダムノイズ低減の機能をA/D変換器の回路のなかに組み込むことで回路の規模を大きくすることなく、ランダムノイズ低減とA/D変換とを行うA/D変換器が提供される。

【発明を実施するための最良の形態】

【0018】

本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することによって容易に理解できる。引き続き、添付図面を参照しながら、本発明のA/D変換器に係る実施の形態を説明する。可能な場合には、同一の部分には同一の符号を付する。

30

【0019】

容量を接続するスイッチのオンオフを制御すると共に、1つのアンプを使って画素部で発生するノイズ(リセットノイズと固定パターンノイズ)のキャンセルと、アンプで発生する支配的なランダムノイズ成分のキャンセルとを行うと共に、高い分解能のA/D変換を行う。本発明の実施例を以下に示す。なお、シンボル で始まる記号は制御信号を表しており、制御信号が"1"のときに、その制御信号により制御されるスイッチはオンとなり、制御信号が"0"のときに、その制御信号により制御されるスイッチはオフとなる。これらの制御信号は、イメージアレイから光電荷を外部に転送する制御信号と同期して発生されるものであり、制御信号発生器により発生される。

40

【0020】

この発明は、CMOSイメージセンサからの出力信号のように、ノイズ成分を含む第1の電圧レベルと、ノイズ成分に有意な信号成分が重畳した第2の電圧レベルが順に現れるような信号の処理に好適である。

【0021】

(第1の実施例)

図3に示す回路AD0は、増幅段AMPと、その出力を受けて巡回型A/D変換を行う

50

A/D変換段ADCとを備える。この回路の増幅段AMPは、反転増幅器6と2つのキャパシタCp1, Cp2とを有している。キャパシタCp2は反転増幅器6の入力6aと出力6bとの間に接続され、キャパシタCp1は、入力INと反転増幅器6の入力6aとの間に接続されている。入力信号VinはキャパシタCp1を経由して反転増幅器6の入力6aに提供される。この増幅段AMPにおける利得GはCp1/Cp2で与えられる。反転増幅器6として、反転入力および非反転出力を有する演算増幅回路を用いることができる。反転増幅器6は、例えばMOS増幅回路からなることができる。

【0022】

増幅段AMPの出力OUTは、ノイズレベルを示す電圧レベルに応答して第1の信号を生成すると共に、信号光に応答する生成される信号およびノイズレベルの両方を含む電圧レベルに
10 応答して第2の信号を生成する。A/D変換段ADCは、増幅段AMPの出力OUTからの第1および第2の信号をキャパシタC1およびキャパシタC2にそれぞれサンプリングする。キャパシタC1へのサンプリングは、スイッチ(ϕ_S)SW_{SIN}を介して行われる。スイッチ(ϕ_S)は制御信号 ϕ_S によりオンとし、また制御信号1によりスイッチ(ϕ_1)をターンオンする。同様に、キャパシタC2へのサンプリングがスイッチ(ϕ_R)SW_{RIN}を介して行われる。スイッチ(ϕ_R)は制御信号 ϕ_R によりオンとし、また制御信号1によりスイッチ(ϕ_1)55、57をターンオンする。この期間中、制御信号2によりスイッチ(ϕ_2)41、43はターンオフする。この後の動作、例えば巡回型A/D変換の動作は、実施例2において説明する。

【0023】

なお、制御信号RはキャパシタCp2, C3及びC4の電荷を初期化するためのものであり、この初期化は、キャパシタCp2, C3及びC4の両端間にそれぞれ接続されたスイッチSW_{R1}, 33, 35を用いて行われる。スイッチSW_{BP}が、所望により増幅段をバイパスするために増幅段AMPの入力INと出力との間に接続されている。

【0024】

(第2の実施例)

回路AD1で、増幅動作を行うと共に巡回型のA/D変換を行う第2の実施例を説明する。図4は、第2の実施例に対応するノイズ低減機能をもった巡回型A/D変換器の回路例を示している。増幅手段としてアンプ1が設けられ、A/D変換用に比較回路(比較器2, 3)COMPがアンプ1の出力に接続されており、デコーダ4が比較回路(比較器2, 3)COMPに接続されている。さらに、巡回型のD/A変換用にD/A変換回路(DAC)5がアンプ1の入力にキャパシタC1, C2を介して接続されている。この回路AD1のレイアウトを、図7に示すようにイメージセンサアレイのカラムに集積化し、並列に動作させる。図6は、イメージセンサアレイの画素部の信号の読み出し動作も含めて、図4の回路によるノイズ低減動作と引き続く巡回型A/D変換動作の原理を示す。図6の説明では、図4のV_{COM}をGNDとして参照する。アンプ1として、演算増幅器回路を含むことができ、この演算増幅器回路は、反転入力1a、非反転入力1b、反転出力1c、および非反転出力1dを有する。

【0025】

まず、図6のステップ(a)に示される回路接続となるようにし、回路AD1の入力IN_{AD1}にi行目の画素からのリセットレベルVRを与え、受けた信号をキャパシタC3にサンプルする。キャパシタC5, C4の電荷はリセットされると共に、アンプ1の入力1cにスイッチ49を介してV_{com}が提供される。制御信号 ϕ_d , ϕ_R , ϕ_2 , ϕ_{2d} , ϕ_0 を用いてスイッチ31, 37, 33, 35, 39, 41, 43, 45, 47, 49をターンオンさせる。

【0026】

サンプル完了後、回路AD1の入力IN_{AD1}にリセットレベルVRを引き続き与えると共に、図6のステップ(b)に示される回路接続となるようにして、アンプ1の出力値をキャパシタC1に記憶する(制御信号2dによりスイッチをオフする)。この動作は非常に重要である。アンプ1の出力電圧をV_{out1}とすると、理想的には、V_{out1}=0である。

10

20

30

40

50

キャパシタC5はアンプ1の入力1aと出力1bとの間に接続される。キャパシタC1の一端はスイッチ41を介してアンプ1の出力1bに接続されていると共に、キャパシタC1の他端はスイッチ45を介してVcomに接続されている。アンプ1の入力1cにスイッチ49を介してVcomが提供される。制御信号 V_R の変化にตอบสนองしてスイッチ33、35を開く。制御信号 V_2 の変化にตอบสนองしてスイッチ39を開く。

【0027】

次いで、図6のステップ(c)に示される回路接続となるようにし、回路AD1の入力IN_{AD1}に画素部の信号レベルVSを与える。信号レベルVSはキャパシタC3を介してアンプ1の入力1aに加えられる。これにตอบสนองしてアンプ1の出力電圧はVout2に変化する。この出力電圧Vout2をキャパシタC2に記憶する(制御信号 V_{01} によりスイッチ51をオフする)。制御信号 V_{2d} に従ってスイッチ41、43を開くと共に制御信号 V_{01} にตอบสนองしてスイッチ51を閉じて、キャパシタC2の一端がアンプ1の出力1bに接続されると共に、キャパシタC2の他端がスイッチ47を介してVcomに提供される。アンプ1の入力1cにスイッチ49を介してVcomが提供される。

10

【0028】

キャパシタC2に記憶された電圧は、理想的には、

【数1】

$$V_{OUT2} = -\frac{C_3}{C_5}(V_S - V_R) \quad (1)$$

20

と表される。つまり、信号レベルVS, リセットレベルVRに共通な成分(画素部のノイズ成分)が差し引かれ消えて、その差が、キャパシタC3とキャパシタC5の比で増幅される(キャパシタC3とC5のキャパシタンス比を $C_3/C_5 = G$ とすると、シンボルGはゲインを表すこととなる)。従って、理想的には、キャパシタC1に記憶された電圧信号は不要であるが、大事なことは、出力電圧Vout1, Vout2には、アンプ等が発生するノイズが重畳している点である。そのノイズは、出力電圧Vout1, Vout2共通に存在する成分Vncと、独立に存在する成分(Vn1, Vn2)がある。ノイズ成分Vn1, Vn2は時間的に変動する。

30

【0029】

すなわち、ノイズ成分を考慮に入れた実際の出力は、

【数2】

$$V_{OUT1} = V_{nc} + V_{n1} \quad (2)$$

【数3】

$$V_{OUT2} = \frac{C_3}{C_5}(V_S - V_R) + V_{nc} + V_{n2} \quad (3)$$

40

と表される。

【0030】

従って、図6のステップ(e)を参照しながら後ほど説明される動作によって、出力電圧Vout2と出力電圧Vout1との差が求められる。その差は、

【数4】

$$V_{OUT2} - V_{OUT1} = \frac{C_3}{C_5} (V_S - V_R) + V_{n2} - V_{n1} \quad (4)$$

と表される。このような処理によって、ノイズが低減できるかどうかは、それぞれのノイズの大きさによるが、実際、キャパシタンス C_3 とキャパシタンス C_5 の比率を大きくした高い利得の増幅器におけるノイズを計算してみると、ノイズ成分 V_{nc} が支配的である。式(4)には、ノイズ成分 V_{nc} が含まれない。

10

【0031】

図5に示される回路AD2は、回路AD1に含まれキャパシタ C_5 の一端に接続されたスイッチ37、53を含まず、これ故に、回路AD2は回路AD1に比べて簡素である。増幅時には利得 $G = C_5 / C_3$ となるようにキャパシタ C_5 、 C_3 が接続される。巡回型A/D変換時にはキャパシタ C_3 とキャパシタ C_5 とを並列接続する。キャパシタ C_3 およびキャパシタ C_5 のキャパシタンスは、これらのキャパシタ C_3 、 C_5 の合成キャパシタンスが C_1 に等しくなるように設定されている。増幅時の利得を G とすると、キャパシタンス $C_3 = G \times C_1 / (1 + G)$ 、 $C_5 = C_1 / (1 + G)$ に設定する。キャパシタ C_1 、 C_3 、 C_5 のキャパシタンスが、ある関係を満たすとき、一部のスイッチを省略できる。

20

【0032】

図4に示す回路AD1における巡回型A/D変換動作を次に説明する。図6のステップ(d)に示される回路接続となるようにし、巡回型A/D変換の準備であり、キャパシタ C_3 がアンプ1の帰還容量になるように反転入力1aと非反転出力1bとの間に接続されると共に、キャパシタ C_4 がアンプ1の帰還容量になるように反転入力1cと非反転出力1dとの間に接続されおり、アンプ1の入力1a、1cと出力1b、1dをそれぞれショートしてキャパシタ C_3 、 C_4 の電荷の初期化を行う。キャパシタ C_1 には、電圧 V_{out1} が記憶されており、キャパシタ C_2 には電圧 V_{out2} がそれぞれ記憶されている。この回路接続では、キャパシタ C_3 、 C_4 の電荷の初期化は、制御信号 R にตอบสนองするスイッチ33、35により行われる。制御信号 1 、 0_d にตอบสนองして、スイッチ55、57、61をターンオンする。キャパシタ C_1 、 C_2 の一端はスイッチ55、57を介してアンプ1の反転入力1aおよび非反転入力1cにそれぞれ接続されると共に、キャパシタ C_1 、 C_2 の他端はフローティングである。キャパシタ C_1 には、電圧 V_{out1} が保持され、キャパシタ C_2 には電圧 V_{out2} が保持される。

30

【0033】

図6のステップ(e)を参照しながら、出力電圧 V_{out2} と出力電圧 V_{out1} との差を求める動作が説明される。キャパシタ C_1 、 C_2 の他端を互いに接続することによって、これらのキャパシタ C_1 、 C_2 に記憶された電荷の差分がキャパシタ C_3 と C_4 に転送される。容量値の関係 $C_1 = C_2 = C_3 = C_4$ が満たされていれば、電荷が均等に転送されて、その差動アンプの出力には、式(4)に示されるように、 $V_S - V_R + V_{n2} - V_{n1}$ に相当する差電圧 $V_{DIFF} = V_{OUT2} - V_{OUT1}$ が現れる。キャパシタ C_1 、 C_2 の一端(接地点側)がアンプ1の反転入力1aおよび非反転入力1cにスイッチ55、57を介して接続される。キャパシタ C_1 、 C_2 の他端がスイッチ59を介して互いに接続される。

40

【0034】

その後、このアンプ1の出力に現れた電圧 V_{DIFF} に対して、巡回型のA/D変換を行う。まず、図6のステップ(f)に示される回路接続となるように、制御信号 2_d 、 2 にตอบสนองしてスイッチ41、43、39をターンオンし、制御信号 1 、 0_d にตอบสนองしてスイッチ55、57、59をターンオフする。このステップでは、キャパシタ C_1 、 C_2 にアンプ1の差動出力信号を記憶する。これと共に、アンプ1の出力からの電圧レベルの判定を比較回路(比較器2,3)COMPによって行う。比較器2,3の出力値(d_0 、

50

d 1) はデコーダ 4 により、コード化される。

【 0 0 3 5 】

図 6 のステップ (g) に示される回路接続のようにし、比較器 2, 3 の判定結果に応じた電圧値を DAC (デジタル・アナログ変換器) 5 がキャパシタ C1 と C2 の他端に提供することによって、次式の演算が行える。

【 数 5 】

$$\Delta V_{OUT}(i+1) = 2\Delta V_{OUT}(i) - D(i) \times V_{REF} \quad (5)$$

10

ここで、 $V_{out}(i)$ は、巡回型 A/D 変換における i 回目の出力差電圧であり、 $D(i)$ は比較器の出力のデジタルコードであり、電圧信号 $V_{REF} = V_{RP} - V_{RN}$ は、DAC 5 の参照電圧である。ステップ (g) では、クロック 1 に応答してスイッチ 55、57 をターンオンして、キャパシタ C1 と C2 の一端がアンプ 1 の反転入力 1a および非反転入力 1c に接続されると共に、キャパシタ C1 と C2 の他端が DAC 5 からの信号を受けられるように、クロック 2d に応答してスイッチ 41、43 をターンオフしフィードバック経路を切断する。図 6 のステップ (f) とステップ (g) を必要な回数繰り返すことによって、必要な分解能の A/D 変換結果が提供される。

【 0 0 3 6 】

20

このように、1つのアンプを使って、容量を接続するスイッチのオン/オフを制御することにより、画素部で発生するノイズ(リセットノイズと固定パターンノイズ)のキャンセルと、アンプで発生する支配的なランダムノイズ成分をキャンセルできると共に、高い分解能の A/D 変換が行える。

【 0 0 3 7 】

ここで、理解を容易にするために巡回型 A/D 変換回路の基本動作を説明する。巡回型 A/D 変換動作の最初に、キャパシタ C1 を MOS 増幅器といったアンプ 1 の出力に接続し、電圧 V_{out} に対応する電荷を充電する。キャパシタ C1 とキャパシタ C3 がそれぞれ電荷 $Q1$ 、 $Q3$ を格納し、 $Q1 = C1 \times V_{out}$ 、 $Q3 = C3 \times V_{out}$ が満たされる。すなわち、キャパシタ C3 には、最初に電荷 $Q3$ が充電されている。その後、キャパシタ C1 の一端を MOS 増幅器といったアンプ 1 の反転入力に接続する。また、キャパシタ C1 の他端は DAC 5 に接続を替える。DAC の参照電圧を V_{dac} とすると、キャパシタ C1 の端子電圧は V_{out} から V_{dac} に変化するので、キャパシタ C1 に充電されている電荷の変化は、 $Q1 = C1 \times (V_{out} - V_{dac})$ となり、この変化分がキャパシタ C3 に転送される。その結果、MOS 増幅器 1 の出力電圧は、 $V_{out}(i+1) = (Q3 + Q1) / C3 = ((C1 + C3) \times V_{out}(i) - C1 \times V_{dac}) / C3$ に変化する。この式は、関係式 $C1 = C3$ が満たされれば、 $V_{out}(i+1) = 2 \times V_{out}(i) - V_{dac}$ と書き換えられるので、巡回型 A/D 変換の基本演算(入力電圧を 2 倍に増幅して DAC 5 の参照値を引く)を提供できる。

30

【 0 0 3 8 】

図 8 は、図 4 の回路 AD 1 の動作タイミングチャートを示している。また、図 8 には、図 6 に示した動作ステップと各制御信号の値の対応も示している。図 8 は、画素アレイの i 行目の 1 行分の信号を読み出してノイズキャンセルと A/D 変換を行う動作を示すタイミング図であり、その 1 列分の回路の動作を示している。図 8 は、図 7 に示された、画素部の i 行目への制御信号 S_i (画素選択信号)、 R_i (画素部の浮遊拡散層の電位のリセット制御信号)、 TX_i (フォトダイオード部からの電荷転送制御信号) も示している。

40

【 0 0 3 9 】

図 8 において、(d1d0) は 2 つの比較器の出力値であり、これは以下のような値をとる。

。

【数6】

$$(d_1 d_0) = \begin{cases} (1 1) & (V_{REF}/4 < V_{out}) \\ (0 1) & (-V_{REF}/4 \leq V_{out} \leq V_{REF}/4) \\ (0 0) & (V_{out} \leq -V_{REF}/4) \end{cases} \quad (6)$$

($d_1 d_0$) = (0 1), (1 1), (0 0) のとき、式(5)の D_i は、それぞれ、0, 1, -1 の値をとる。

【0040】

D_0 , DP , DN は、($d_1 d_0$) がそれぞれ (0 1), (1 1), (0 0) のときに "1" になり、それ以外のときは、"0" となる。 D_0 は、図6のステップ(e)における動作のときにも、キャパシタ C_1 , C_2 の電荷の転送のために "1" となる。巡回型 A/D 変換は、図6のステップ(f)と(g)の動作を繰り返すことによって上位ビットから順に決定されていき、NビットのA/D変換を行う場合ではN-2回繰り返される。N-2回目の図6のステップ(g)における動作に対して最下位ビットが決定され、また出力される。その後は、比較器の出力($d_1 d_0$)を(0 1)に戻しておく。 cR は、そのための比較器の初期化パルスであり、これが投入されると、($d_1 d_0$)が(0 1)に初期化される。

なお、図4における信号 V_{RCN} , V_{RCP} は、 $V_{RCP} - V_{RCN} = V_{REF}/4$ が得られるように設定される。

【0041】

巡回型 A/D 変換によって得られた各回ごとの A/D 変換結果は、図7のブロック図のデータレジスタ15に格納され、水平走査によって、A/D変換後に読み出される。そのデータは、各回ごとに、3値を取る。すなわち冗長表現になっている。これらを、水平走査で読み出したあと、冗長表現 - 非冗長表現変換部において、非冗長表現の2進数に変換して出力する。冗長表現 - 非冗長表現変換回路は、カラムに並べても良いが、カラムの回路規模が大きくなる。

【0042】

図7はCMOSイメージセンサの一例であり、各画素は光を電荷に変換するためのフォトダイオード PD_i と、いくつかのMOSトランジスタ $T_1 \sim T_4$ とを備える。また、制御信号 TX_i に応答するトランジスタ T_1 より電荷の移動が制御され、制御信号 R_i に応答するトランジスタ T_2 より電荷の初期化が制御され、制御信号 S_i に応答するトランジスタ T_3 より画素の選択が制御される。トランジスタ T_4 はトランジスタ T_1 と T_2 との接続点 J_1 の電位に応答する。各画素では、リセット動作に応答してリセットノイズが発生される。また、各画素から出力される電圧には、画素毎に固有の固定パターンノイズが含まれる。また、ランダムノイズは、A/D変換器の入力に繋がる素子等により発生される。各画素はマトリクス状に配置され、図面において列に沿って延びる信号線により、カラムに配置されたノイズキャンセルつき巡回型アナログ - デジタル変換回路14の一つへ信号が伝送される。

【0043】

図7において、垂直シフトレジスタ11はイメージアレイ12を構成する画素13に与えられる制御信号 R_i , S_i , TX_i を供給し、各画素において得られた光電荷をノイズキャンセル機能付き巡回型アナログ - デジタル変換回路14へ信号を伝送する。ノイズキャンセル機能付き巡回型アナログ - デジタル変換回路アレイ14は複数の基本回路を含み、また各画素からの信号を並列に処理できる。処理された信号は、データレジスタ15にラッチされ、水平シフトレジスタ16からの制御信号により出力端に伝送される。この後に、処理された信号は、必要に応じて冗長表現 - 非冗長表現変換回路17において処理がなされる。

10

20

30

40

50

なお、増幅手段のアンプ1として差動入力 - 差動出力のMOS増幅回路の例を説明したが、1入力1出力の反転増幅回路を本A/D変換器のために使用できる。

【0044】

(第3の実施例)

図9は、第3の実施例であり、2列からの信号のノイズキャンセルを並列に行い、それらの信号に対して順に、巡回型A/D変換を行うA/D変換器である。図9の回路AD3そのものは、図4の回路AD1に比べて複雑になっている。しかしながら、図9の回路AD3を画素2列分の幅を使ってレイアウトすればよいので、画素サイズがより小さい場合にも図4の回路AD1に比較して利用できる。図9に示される回路においては、アンプとして、差動動作切換え機能付アンプ21を使用する。

10

【0045】

図10は、図9の回路AD3の動作を説明する図面を示す。また、図11は、図9に使用する差動動作切換え機能付アンプ21の回路例A1を示す。図11に示された増幅回路A1は、制御信号SEDが"0"であるとき、電流源トランジスタM2と、負荷M3、M4、M5、M6と、駆動トランジスタM7、M8とを含む差動入力 - 差動出力アンプとして動作すると共に、制御信号SEDが"1"であるとき、増幅回路A1は、2つのコモンソース増幅器21e、21f(トランジスタM3、M4、M7を含む増幅器とトランジスタM5、M6、M8を含む増幅器)として動作する。2つのコモンソース増幅器では、差動回路の共通のソース点COMMONの電圧が固定電位Vbn3の電位である。制御信号SEDに応じてトランジスタM1、M9により回路動作が変更されることを利用して、2つの信号に対して、2つのコモンソース増幅器とキャパシタを用いて同時にノイズキャンセルを行い。それぞれを差動回路形式の巡回型A/D変換によってA/D変換を行う。また、実用上の回路では固定電位Vbn3として接地電位を用いると、配線を減らせる。

20

【0046】

なお、差動入力 - 差動出力の増幅回路のための動作モードでは、図11に示した同相モード信号帰還を用いて出力の動作点を安定させる。2つのソース接地のシングルエンドアンプのための動作モードでは、同相モード帰還は不要であるので、制御信号SEDを受けるトランジスタM1によって、差動入力 - 差動出力のためのテール電流源用のnMOSトランジスタのゲートをロウレベル(例えば0ボルト)にして、電流源トランジスタM2をカットオフさせている。

30

同相モード時の初期期間に、制御信号CMによりスイッチ(CM)SW_{CM1}、SW_{CM2}、SW_{CM3}をオンとし、出力の基準動作点信号VCOM及び直流バイアスVbn1を同相モード信号帰還用キャパシタC_{CM1}、C_{CM2}に与える。その後スイッチ(CM)SW_{CM1} ~ SW_{CM3}をオフとすることにより、直流点が安定した後に、キャパシタC_{CM1}、C_{CM2}を経由して同相モード信号の帰還がなされる。

【0047】

画素部のノイズキャンセルは、まず、制御信号SEDを"1"にし、2つのコモンソースアンプの回路となるように増幅回路A1を設定する。図10の説明では、図9のV_{COM}としてGNDを用いる。また、回路AD3が図10のステップ(a)に示される回路接続となるように、制御信号Rを用いてスイッチ71a、71bをターンオンさせて、アンプ21の反転入力21aと非反転出力21bを接続すると共に、非反転入力21cと反転出力21dを接続する。制御信号0を用いてスイッチ79a、79b、79c、79dをターンオンするので、所定のノードに電圧V_{COM}が与えられる。制御信号0dを用いてスイッチ75a、75b、75c、75dをターンオンすると共にスイッチ77a、77b、77c、77dをターンオフする。回路AD3の2つの入力Vin1、Vin2には、i行目の画素のある画素列のリセットレベルVRAと、例えばその隣の列のリセットレベルVRBを与える。これらリセットレベルVRA、VRBをキャパシタC3、C4にそれぞれサンプルする。制御信号02を用いてスイッチ81a、81bをターンオンするので、キャパシタCA1、CB1の一端が、それぞれ、非反転出力21bおよび反転出力21dに接続される。

40

50

【 0 0 4 8 】

サンプル完了後、回路 A D 3 が図 1 0 のステップ (b) に示される回路接続となるように、制御信号 R の変化にตอบสนองしてスイッチ 7 1 a、7 1 b をターンオフする。アンプ 2 1 内の 2 つのアンプ 2 1 e、2 1 f の出力電圧をスイッチ 8 1 a、8 1 b を介してキャパシタ C 1 A とキャパシタ C 1 B に記憶する (制御信号 0 2 によりスイッチをオフ)。

【 0 0 4 9 】

次いで、回路 A D 3 が図 1 0 のステップ (c) に示される回路接続となるように、制御信号 0 1 を用いてスイッチ 8 3 a、8 3 b をターンオンするので、キャパシタ C A 2、C B 2 の一端が、それぞれ、非反転出力 2 1 b および反転出力 2 1 d に接続される。回路 A D 3 の 2 つの入力 V_{in1} 、 V_{in2} に画素部の 2 つの列の信号レベル V_{SA} 、 V_{SB} をそれぞれ与える。そのときの 2 つのアンプの出力電圧をスイッチ 8 3 a、8 3 b を介してキャパシタ C 2 A と C 2 B に記憶する (制御信号 0 1 によりスイッチをオフ)。

10

【 0 0 5 0 】

キャパシタ C 2 A、C 2 B に記憶された電圧 V_{outp} と V_{outn} は、理想的には、それぞれ

【 数 7 】

$$V_{outp} = -\frac{C_3}{C_5}(V_{SA} - V_{RA}) \quad (7)$$

20

【 数 8 】

$$V_{outn} = -\frac{C_4}{C_6}(V_{SB} - V_{RB}) \quad (8)$$

と表される。つまり、画素部のノイズがキャンセルされ、容量比で増幅がなされる。これらの信号に含まれるサンプルされたランダムノイズ成分をさらにキャンセルすることで低雑音の信号読み出しが可能となる。

30

【 0 0 5 1 】

その原理は、図 4 を参照して行われた説明と同じである。このキャンセル動作は、図 1 0 のステップ (e) の動作でなされる。キャンセル動作に先立って、図 1 0 のステップ (d) に示されるように、制御信号 R を用いてスイッチ 7 1 a、7 1 b をターンオンしてアンプ 2 1 の入力 2 1 a、2 1 c と出力 2 1 b、2 1 d をそれぞれ接続すると共に、キャパシタ C 3、C 4 の両端の電荷を初期化する。スイッチ 8 5 a、8 5 b を介してキャパシタ C 1 A、C 2 A の一端はアンプ 2 1 の入力 2 1 a、2 1 c にそれぞれ接続される。制御信号 D 0 を用いてスイッチ 8 7 をターンオンする。図 4 に対する説明と同様、図 1 0 のステップ (e) においてまずキャパシタ C 1 A に記憶された電圧とキャパシタ C 2 A に記憶された電圧との差分を求める。この動作によって、ランダムノイズがキャンセルされた信号をアンプ 2 1 が生成する。アンプ 2 1 の出力値に対して、キャパシタ C 3、C 4、C 1 A、C 2 A を用いて、図 1 0 のステップ (f) と (g) に示された動作を繰り返すことによって、巡回型 A / D 変換が実行される。まず、図 9 の入力 V_{in1} に与えられた入力信号に対する巡回型 A / D 変換が実行される。ステップ (f) では、制御信号 2 d にตอบสนองするスイッチ 8 4 a、8 4 b を介してキャパシタ C 1 A、C 2 A の一端がそれぞれ、アンプ 2 1 の出力 2 1 b、2 1 d にそれぞれ接続される。キャパシタ C 1 A、C 2 A の他端はスイッチ 7 3 を介して互いに接続される。ステップ (g) では、キャパシタ C 1 A、C 2 A の一端は D A C 5 の出力にそれぞれ接続される。

40

【 0 0 5 2 】

50

その後、再び、図10のステップ(d)の動作に戻り、図9の入力Vin2の入力信号に対する巡回型A/D変換を行う。図10のステップ(d)においてまずキャパシタC3、C4の電荷を制御信号Rに応じたスイッチ71a、71bを用いて初期化する。スイッチ89a、89bを介してキャパシタC1B、C2Bの一端はアンプ21の入力21a、21cにそれぞれ接続されている。

【0053】

次に、制御信号03を用いてスイッチ91をターンオンする。図10のステップ(e)に示すようにキャパシタC1B、C2Bをスイッチ87を介して接続して、記憶されている電荷をそれぞれキャパシタC3、C4にスイッチ89a、89bを介して転送する。この動作によって、アンプ21にサンプルされるランダムノイズ成分をキャンセルした信号をアンプ21が生成される。アンプ21の出力値に対して図10のステップ(f)と(g)を繰り返すことで、巡回型A/D変換が実行される。

10

実際の図10の制御信号の波形の例を図12に示す。

この回路AD3においても、図5に示したのと同様に、キャパシタC5の一端に設けられたスイッチを省略することができる。

A/D変換部において1.5ビット変換を行う回路を用いるものとして説明したが、通常の1ビット変換や2ビット変換であっても適用可能である。

【0054】

図13に示されるように、最近、これを実際に測定してその効果を調べている。その結果、極めて高いノイズ低減が可能であることがわかっている。図13では、横軸は、カラム増幅器の利得を示し、縦軸は入力換算ノイズ電圧を示している。参照符号C_Sはシングルステージにおけるノイズキャンセル制帽を示し、参照符号C_Dはダブルステージにおけるノイズキャンセル制帽を示す。利得20倍以上では、本実施の形態において用いられるダブルステージにおけるノイズキャンセル性能がシングルステージにおけるノイズキャンセル性能よりも優れる。

20

【0055】

好適な実施の形態において本発明の原理を図示し説明してきたが、本発明は、そのような原理から逸脱することなく配置および詳細において変更され得ることは、当業者によって認識される。本発明は、本実施の形態に開示された特定の構成に限定されるものではない。したがって、特許請求の範囲およびその精神の範囲から来る全ての修正および変更

30

に権利を請求する。

【産業上の利用可能性】

【0056】

CMOSイメージセンサからの出力信号のように、ノイズ成分を含む第1の電圧レベルと、ノイズ成分に有意な信号成分が重畳した第2の電圧レベルが交互に現れるような信号に対して、この発明の実施の形態を適用すると、回路を複雑にすることなく、ランダムノイズを大きく低減しながら、高い分解能のA/D変換が行える。

【図面の簡単な説明】

【0057】

【図1】図1は、従来技術における巡回型A/D変換器を示す図面である。

40

【図2】図2は、従来技術における、ノイズキャンセル機能をもつアンプ共有型巡回型A/D変換器を示す図面である。

【図3】図3は、ノイズ低減機能をもつ巡回型A/D変換器の一例を示す図面である。

【図4】図4は、ノイズ低減機能をもつ巡回型A/D変換器の別の例を示す図面である。

【図5】図5は、図4に示す巡回型A/D変換器を部分的に変更したA/D変換器の例を示す図面である。

【図6】図6は、ノイズ低減機能を持つ巡回型A/D変換器の動作の主要ステップを示す図面である。

【図7】図7は、図4の回路のレイアウトをイメージセンサアレイのカラムに配置して、イメージセンサアレイとA/D変換器のレイアウトを集積化したイメージセンサの一例を示す図

50

面である。

【図8】図8は、図6の回路の動作タイミングを示す図面である。

【図9】図9は、イメージセンサアレイの2画素列からの信号をA/D変換するための単一のA/D変換器の一例を示す図面である。

【図10】図10は、図9の回路の動作の主要ステップを示す図面である。

【図11】図11は、図9に使用する内部アンプの回路例を示す図面である。

【図12】図12は、図10の回路の動作タイミングを示す図面である。

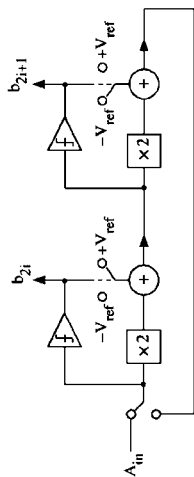
【図13】図13は、シングルステージを用いるノイズキャンセル性能およびダブルステージを用いるノイズキャンセル性能とカラム増幅器の利得との関係を示す図面である。

【符号の説明】

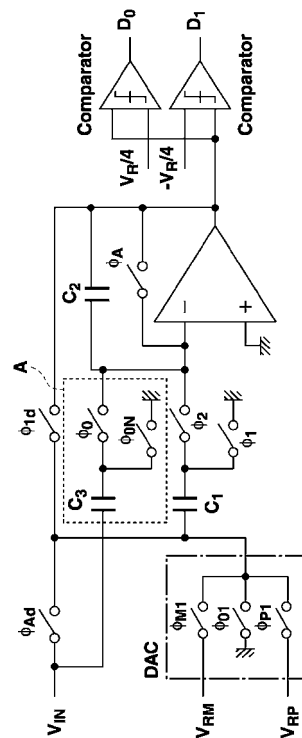
【0058】

1...差動入力-差動出力アンプ、2,3...比較器、4...デコーダ、5...デジタル-アナログ変換器(DAC)、6...反転増幅器、11...垂直シフトレジスタ、12...イメージアレイ、13...画素、14...ノイズキャンセル機能付巡回型アナログ-デジタル変換器、15...データレジスタ、16...水平シフトレジスタ、17...冗長表現-非冗長表現変換器、21...差動動作切換え機能付アンプ

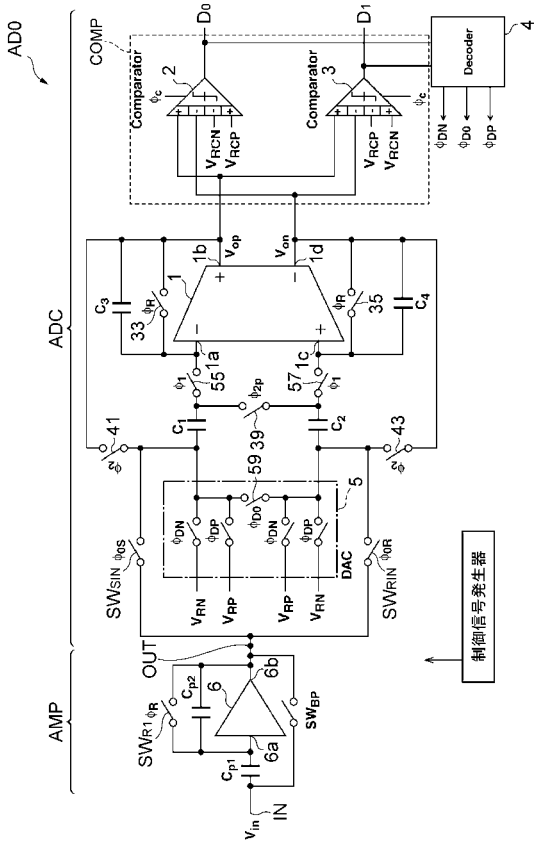
【図1】



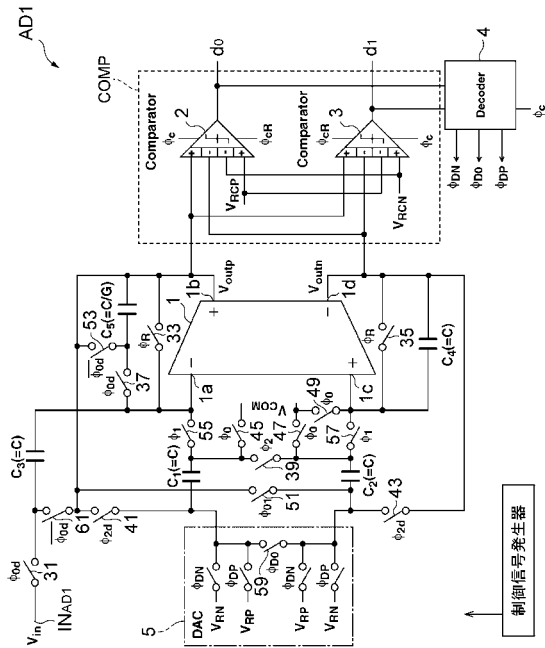
【図2】



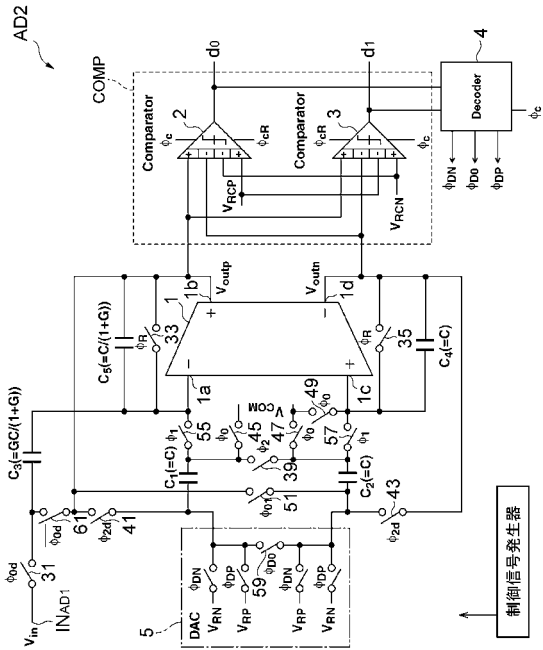
【 図 3 】



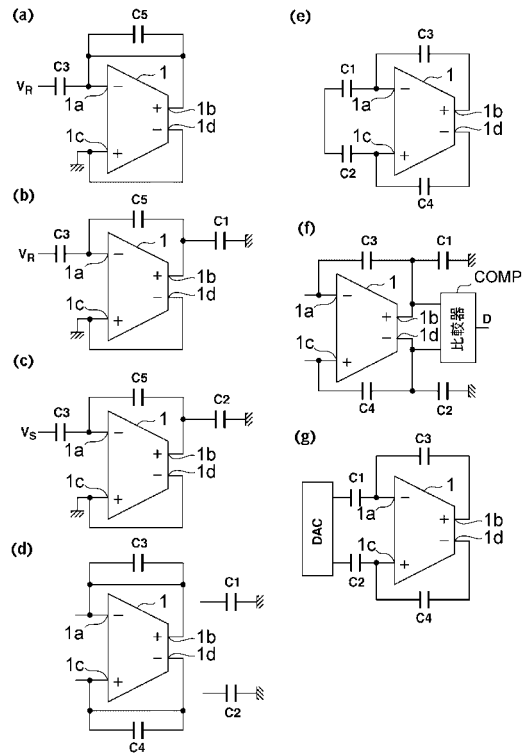
【 図 4 】



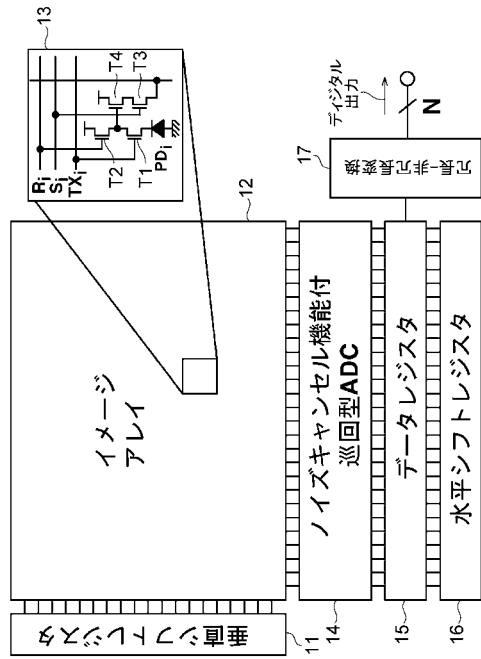
【 図 5 】



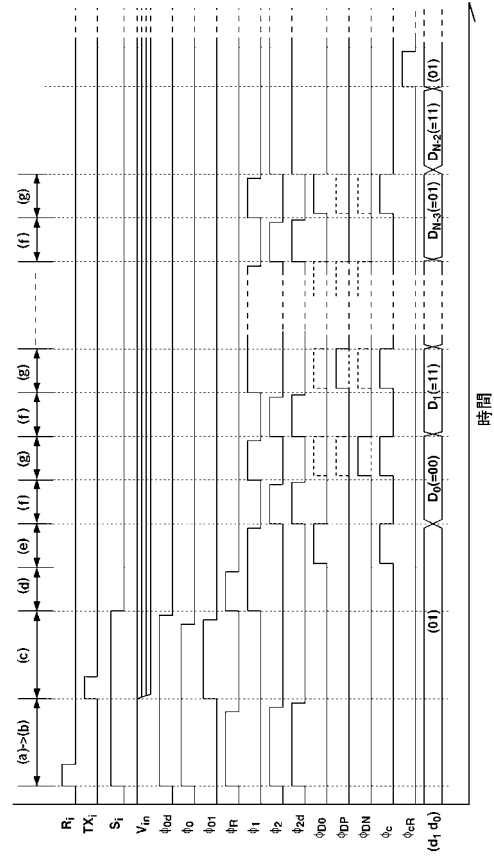
【 図 6 】



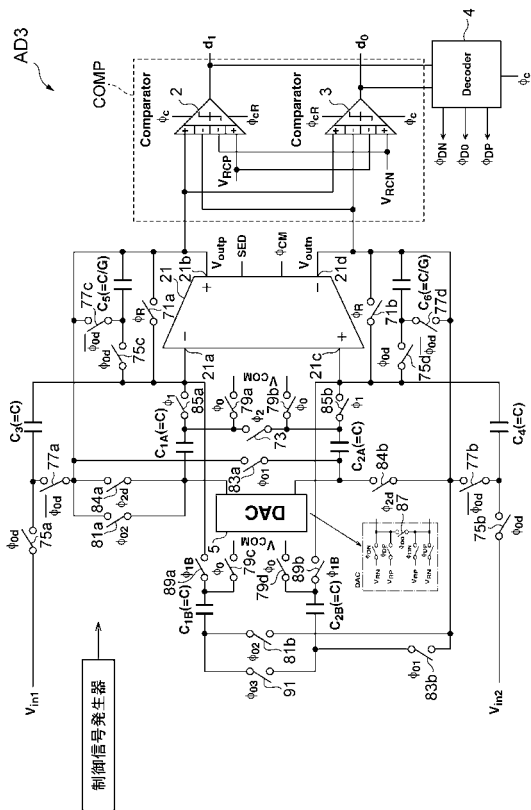
【図7】



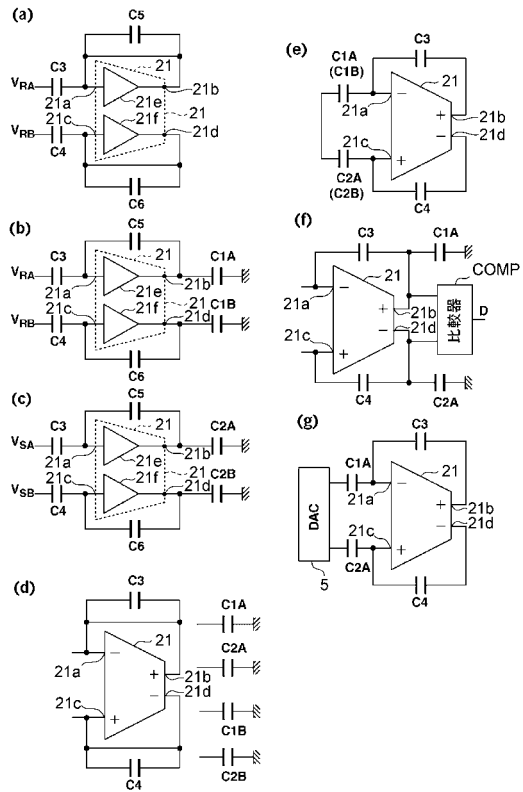
【図8】



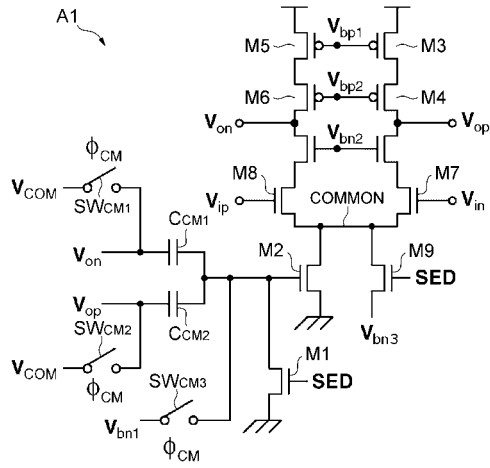
【図9】



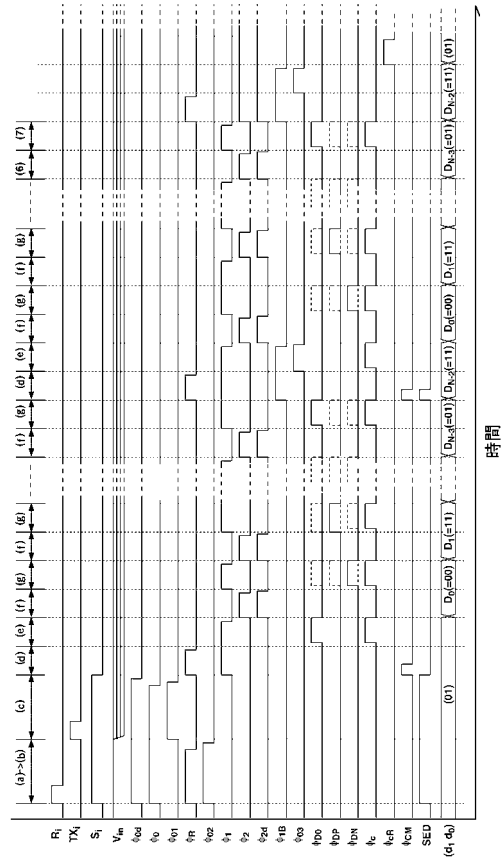
【図10】



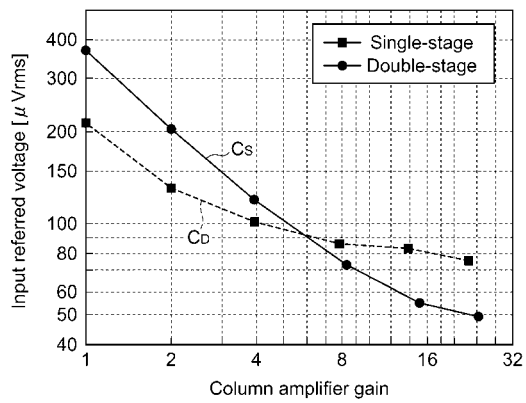
【 図 1 1 】



【 図 1 2 】



【 図 1 3 】



フロントページの続き

審査官 栗栖 正和

(56)参考文献 特開2005-136540(JP,A)
特開2006-081165(JP,A)
特開平05-056356(JP,A)

(58)調査した分野(Int.Cl., DB名)
H03M 1/00-1/88