

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-273610

(P2004-273610A)

(43) 公開日 平成16年9月30日(2004.9.30)

(51) Int. Cl. ⁷	F I	ターマコード (参考)
HO 1 L 21/208	HO 1 L 21/208	5 F O 5 3
HO 1 S 5/18	HO 1 S 5/18	5 F O 7 3

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号	特願2003-59871 (P2003-59871)	(71) 出願人	800000057 財団法人新産業創造研究機構 兵庫県神戸市中央区港島南町1丁目5-2
(22) 出願日	平成15年3月6日(2003.3.6)	(74) 代理人	100089196 弁理士 梶 良之
		(74) 代理人	100104226 弁理士 須原 誠
		(72) 発明者	浅岡 康 兵庫県三田市上井沢545-1 シャルム 上井沢301
		(72) 発明者	金子 忠昭 兵庫県三田市学園3-1-A210

最終頁に続く

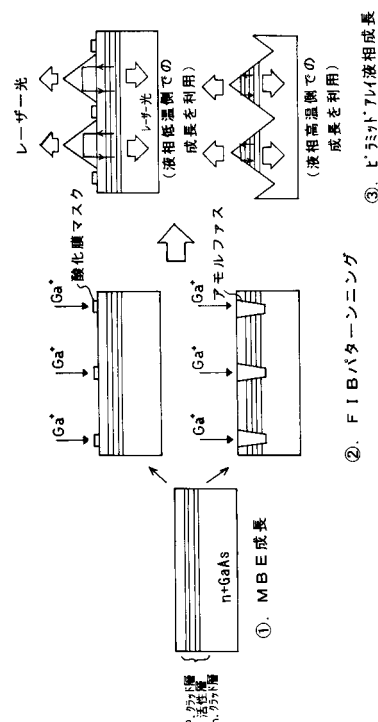
(54) 【発明の名称】 半導体基板表面の微細ファセット形状作製方法

(57) 【要約】

【課題】 各種の半導体基板表面に自在にファセット制御された微細構造体を作製する方法を提供する。

【解決手段】 所定の結晶方位を有した単結晶半導体基板1表面に、集束イオンビームを照射して、前記単結晶半導体基板1表面を選択的に損傷領域化して、この選択的に損傷領域化した前記単結晶半導体基板1表面を極薄の融液層4に面するようにして、この融液層4を他の半導体基板5と挟み込み、前記単結晶半導体基板1から他の半導体基板5に対して温度勾配が形成されるようにして熱処理を行い、前記損傷領域化した部分を選択的にエッチングさせて、前記単結晶半導体基板1表面にファセット制御された微細構造物8を形成する。

【選択図】 図6



【特許請求の範囲】**【請求項 1】**

所定の結晶方位を有した単結晶半導体基板表面に、集束イオンビームを照射して、前記単結晶半導体基板表面を選択的に損傷領域化して、この選択的に損傷領域化した前記単結晶半導体基板表面を極薄の融液層に面するようにして、この融液層を他の半導体基板と挟み込み、前記単結晶半導体基板と他の半導体基板との間で温度勾配が形成されるようにして熱処理を行い、前記損傷領域化した部分にファセット制御された微細構造体を形成する半導体基板表面の微細ファセット形状作製方法。

【請求項 2】

前記単結晶半導体基板から他の半導体基板に対して温度勾配を形成して熱処理を行い、前記損傷領域化した部分を選択的にエッチングさせて、前記単結晶半導体基板表面に凹型のファセット制御された微細構造体を形成する請求項 1 に記載の半導体基板表面の微細ファセット形状作製方法。

10

【請求項 3】

前記他の半導体基板から単結晶半導体基板に対して温度勾配を形成して熱処理を行い、前記損傷領域化した部分を選択的にエピタキシャル成長させて、前記単結晶半導体基板表面に凸型のファセット制御された微細構造体を形成する請求項 1 に記載の半導体基板表面の微細ファセット形状作製方法。

【請求項 4】

前記半導体基板が、GaAs、AlGaAs、InGaAs、InGaAlAs、Si、InP、SiCのいずれかである請求項 1 ~ 3 のいずれかに記載の半導体基板表面の微細ファセット形状作製方法。

20

【請求項 5】

前記単結晶半導体基板の結晶方位が、(100)、(110)、(111)面のいずれかである請求項 1 ~ 3 のいずれかに記載の半導体基板表面の微細ファセット形状作製方法。

【請求項 6】

所定の結晶方位を有した単結晶半導体基板表面に、集束イオンビームを照射して、そのイオンビームドーズ量を制御して、前記単結晶半導体基板表面に選択的に強制酸化膜を形成して、この選択的に強制酸化膜を形成した前記単結晶半導体基板表面を極薄の融液層に面するようにして、この融液層を他の半導体基板と挟み込み、前記単結晶半導体基板と他の半導体基板との間で温度勾配が形成されるようにして熱処理を行い、前記強制酸化膜を形成していない部分にファセット制御された微細構造体を形成する半導体基板表面の微細ファセット形状作製方法。

30

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

本発明は、半導体基板表面にファセット成長した微細構造物を作製する半導体基板表面の微細ファセット形状作製方法に関する。

【0002】**【従来の技術】**

近年、マイクロエレクトロニクスの中核をなすULSIの集積度の向上とともに、これら量子デバイスにおける回路パターンは微細化の一途をたどっている。このため、ナノ領域での微細加工技術の開発が盛んに行われている。

40

【0003】

従来、これら量子デバイス回路パターンの微細加工技術の代表的なものとして、パターン転写方式の光リソグラフィーがある。この光リソグラフィー技術は、極紫外光やX線を用いることにより高精度化を目指してはいるものの、高精度の微細なマスクを作製する必要があると同時に、フォトレジストを用いるときの解像度の点で限界に近づきつつある。また、これら従来からの方法からの拡張では開発コストも無視し得ないものになっており、新しい、微細加工方法の開発が要望されている。

50

【0004】

新しい微細加工方法としては、例えば、特許文献1に記載されているものがある。この特許文献1は、シリコン基板へのイオンビーム照射損傷導入によりシリコン基板のヒドラジン (H_2N_4) エッチング耐性が増強するという特性を利用して、イオンビームをドット状、ライン状等にシリコン基板に照射し、その後ヒドラジンエッチングを行い、イオンビーム照射損傷領域化されていない部分をエッチングすることによって、凸形ピラミッド群、或いは凹型ピラミッド群の配列構造を形成するものである。

【0005】

【特許文献1】

特開2001-15484号公報

10

【0006】

【発明が解決しようとする課題】

この方法では、イオンビーム損傷領域化以外の部分をウェットエッチングすることによって除去し、凸状あるいは凹状の配列構造を形成することは可能である。しかしながら、例えば、凸状あるいは凹状に形成されている部分に、更に、別形態の構造を組み合わせることは困難である。また、ウェットエッチングによって、配列構造体を形成するため、基板には、Si基板等のエッチングされやすい基板を選択する必要がある。

【0007】

本発明は、各種の半導体基板表面に自在にファセット制御された微細構造体を作製する方法を提供することを目的とする。

20

【0008】

【課題を解決するための手段】

前記課題を解決するための本発明の半導体基板表面の微細ファセット形状作製方法は、所定の結晶方位を有した単結晶半導体基板表面に、集束イオンビームを照射して、単結晶半導体基板表面を選択的に損傷領域化して、この選択的に損傷領域化した単結晶半導体基板表面を極薄の融液層に面するようにして、この融液層を他の半導体基板と挟み込み、単結晶半導体基板と他の半導体基板との間で温度勾配が形成されるようにして熱処理を行い、単結晶半導体基板の損傷領域化した部分にファセット制御された微細構造体を形成することを特徴とする。また、単結晶半導体基板から他の半導体基板に対して温度勾配を形成して熱処理を行い、単結晶半導体基板の損傷領域化した部分を選択的にエッチングさせて、単結晶半導体基板表面に凹型のファセット制御された微細構造体を形成するものである。また、他の半導体基板から単結晶半導体基板に対して温度勾配を形成して熱処理を行い、単結晶半導体基板の損傷領域化した部分を選択的にエピタキシャル成長させて、単結晶半導体基板表面に凸型のファセット制御された微細構造体を形成するものである。また、半導体基板が、GaAs、AlGaAs、InGaAs、InGaAlAs、Si、InP、SiCのいずれかであるものである。また、単結晶半導体基板の結晶方位が、(100)、(110)、(111)面のいずれかであるものである。

30

【0009】

半導体基板表面に集束イオンビームを照射して、所定のパターンを形成する。この集束イオンビームの照射によって、半導体基板表面は損傷領域化される。これによって、半導体基板表面の他の結晶状態の部分に比べて、反応性が高まる。なお、ここでいう損傷領域化とは、結晶内部のアモルファス化と表面の損傷とを含めたことをいう。このため、他の半導体基板と融液層を挟み込むことによって、この他の半導体基板に対して温度勾配が形成されるように熱処理を行うと、この温度勾配の方向によって、この損傷領域化された部分が選択的にエッチング、又はエピタキシャル成長するようになる。このとき、集束イオンビームを照射する半導体基板の結晶方位を、例えば、(100)、(110)、(111)面のいずれかにすることによって、各結晶方位によってファセット制御された直方体やピラミッド状の凸状又は凹状の微細構造物を作製することができる。なお、半導体基板に制限はなく、半導体基板に合せて融液層を適宜選択することによって、GaAs、AlGaAs、InGaAs、InGaAlAs、Si、InP、SiC等の半導体基板表面に

40

50

ファセット制御された微細構造物を作製することができる。

【0010】

また、本発明の半導体基板表面の微細ファセット形状作製方法は、所定の結晶方位を有した単結晶半導体基板表面に、任意のイオンビーム径、イオン電流密度に制御した金属イオンの集束イオンビームを単結晶半導体基板表面に自然に形成されている表面自然酸化膜の存在又は酸素分子放射のもとでの金属イオン打ち込みにより、選択的に強制酸化膜を形成して、この選択的に強制酸化膜を形成した前記単結晶半導体基板表面を極薄の融液層に面するようにして、この融液層を他の半導体基板と挟み込み、前記単結晶半導体基板と他の半導体基板との間で温度勾配が形成されるようにして熱処理を行い、前記強制酸化膜を形成していない部分にファセット制御された微細構造体を形成する。

10

【0011】

任意のイオンビーム径、イオン電流密度に制御した金属イオンの集束イオンビームを前記単結晶半導体基板表面に自然に形成されている表面自然酸化膜の存在又は酸素分子放射のもとでの金属イオン打ち込みにより、選択的に強制酸化膜を形成する領域を制限することができる。また、同様に、エピタキシャル成長する領域を制限することが可能となる。

【0012】

【発明の実施の形態】

以下、図面を参照しつつ本発明に係る半導体基板表面の微細ファセット形状作製方法の実施の形態の一例を説明する。

【0013】

図1は、単結晶半導体基板1の表面2に集束イオンビーム3を照射している状態を示す図である。図2は、この単結晶半導体基板1の表面2が融液層4に面するようにして、他の半導体基板5とこの融液層4を挟み込んで熱処理（液相成長）している状態を示す図である。図3は、単結晶半導体基板1の表面2の結晶方位が（100）面である場合の熱処理後の表面2を示す概略図である。

20

【0014】

図1において、1は所定の結晶方位を有した単結晶半導体基板であり、2はこの単結晶半導体基板1の表面であり、3は集束イオンビームを示している。

【0015】

図1に示すように、本発明に係る半導体基板表面の微細ファセット形状作製方法は、単結晶半導体基板1の表面2に、真空中で集束イオンビーム3を照射する。この集束イオンビーム3には、Gaイオン等を使用することが可能である。

30

【0016】

集束イオンビーム3の照射、注入により表面2には、イオンが侵入した損傷領域化領域8が形成される。これら損傷領域化領域8は、イオンの注入によって、結晶構造が不安定となり、表面2の他の領域に比べ、反応性が高くなる。このため、後述するように融液層4を介して熱処理を行うと、熱処理時の温度勾配の方向によっては、この損傷領域化領域8の元素が選択的にエッチングされて、融液層4に溶出される。あるいは、エピタキシャル成長するようになる。

【0017】

次に、図2に示すように、単結晶半導体基板1のイオンが注入された損傷領域化領域8が形成された表面2を極薄の融液層4側に面するようにして、他の半導体基板5とこの融液層4を挟み込む。そして、単結晶半導体基板1の他面側にヒータ6をセットして、単結晶半導体基板1側から他の半導体基板5に対して温度勾配が形成されるように熱処理を行う。このとき、熱処理は密閉容器内で行い、不活性雰囲気もしくは理想的には 10^{-6} Pa以下の圧力下で行うことが好ましい。これによって、熱処理時に不純物の混入を防止することができる。また、熱処理温度は、単結晶半導体基板、融液層等によって異なるが、融液層が形成できる温度であることが好ましい。

40

【0018】

ここで、融液層4は、単結晶半導体基板1の材質よりも融点の低い材料であれば特に限定

50

されるものではない。好ましくは、単結晶半導体基板 1 を構成する元素を含むものであることが好ましい。例えば、単結晶半導体基板 1 に、SiC を使用した場合、最も理想的な融液層としては Si が考えられる。このときの処理温度としては 1800 以上が必要であり、特に、2000 以上が好ましい。また、Pr、Dy、Nd、Sc、Tb などの金属を融液として使用することも可能である。このような金属を用いると、処理温度を 1000 以上とかなり低温にすることが可能である。また、単結晶半導体基板 1 に GaAs 基板を使用した場合、最も理想的な融液層としては Ga が考えられる。この時の処理温度としては 200 以上が必要であり、特に 300 以上が好ましい。また、In を融液層として使うことも可能である。また、同様に、AlGaAs、InGaAs、InGaAlAs、InP 等を基板として使用した場合も融液層としては、Ga を使用することが可能である。同様に、単結晶半導体基板 1 に Si 基板を使用した場合、理想的な融液層としては Bi 又は In が考えられる。この時の処理温度としては 200 以上が必要であり、特に 300 以上が好ましい。また、Bi-Ge、In-Ge を融液層として使うことも可能である。これによって、Si 基板表面に SiGe を成長させることも可能となる。

10

20

30

40

50

【0019】

また、他の半導体基板 5 としては、単結晶半導体基板 1 と同一材料、もしくは単結晶半導体基板 1 の融点よりも融点の低いものを使用することが好ましい。これによって、単結晶半導体基板 1 から他の半導体基板 5 に対して温度勾配を形成するようにして熱処理を行うと、単結晶半導体基板 1 側の反応性が高くなった損傷領域化領域 8 がエッチングされ、この部分から選択的に元素が融液層 4 に溶出し、他の半導体基板 5 側に堆積される。

【0020】

この他の半導体基板 5 は、単結晶半導体基板 1 と異なり、一定の結晶方位を有した単結晶基板である必要は特にないが、例えば、ある所定の結晶方位を有する単結晶基板とした場合は、その表面にファセット面を有した微細なファセット形状を形成させることも可能である。

【0021】

融液層 4 を挟み込んで熱処理した後の単結晶半導体基板 1 の表面 2 の形態を図 3 に示す。図 3 に示す単結晶半導体基板 1 は、結晶方位が (100) 面の場合を例として示している。結晶方位が (100) 面の単結晶半導体基板 1 を使用した場合、損傷領域 8 がエッチングされ、(111) 面がエッチングされにくいいため、(111) 面が表出した凹状のファセット形状 7 が形成される。このファセット形状 7 のピッチは、集束イオンビーム 3 によってイオンを注入した時のピッチに依存し、イオン注入時のピッチを小さくすることによって、形成されるファセット形状 7 のピッチも小さくすることが可能となる。

【0022】

また、単結晶半導体基板 1 の結晶方位を (111) とすると、熱処理時には損傷領域化領域 8 がエッチングされ、(111) 面がエッチングされにくいいため、逆ピラミッド状に (111) 面が表出した凹状のファセット形状 7 が形成される。

【0023】

また、単結晶半導体基板 1 のイオンが注入された損傷領域化領域 8 が形成された表面 2 を極薄の融液層 4 側に面するようにして、他の半導体基板 5 とこの融液層 4 を挟み込む。そして、温度勾配が前述の図 2 に示す場合とは反対となるようにして熱処理を行う。すなわち、図 4 に示すように、他の半導体基板 5 側にヒータ 6 が配置されるようにして他の半導体基板 5 から単結晶半導体基板 1 に対して温度勾配が形成されるようにする。このとき、熱処理は、前述の図 2 に示す場合と同様に、密閉容器内で行い、不活性雰囲気もしくは 10^{-6} Pa 以下の圧力下で行うことが好ましい。これによって、熱処理時に不純物の混入を防止することができる。また、熱処理温度は、単結晶半導体基板、融液層等によって異なるが、融液層が形成できる温度であることが好ましい。

【0024】

このようにして、融液層 4 を挟み込んで熱処理した後の単結晶半導体基板 1 の表面 2 の形態を図 5 に示す。図 5 に示す単結晶半導体基板 1 は、結晶方位が (111) 面の場合を例

として示している。結晶方位が(111)面の単結晶半導体基板1を使用した場合、イオンビーム照射によって損傷領域化された損傷領域化領域8をそれぞれ頂点として(111)方向にエピタキシャル成長し、ピラミッド状の凸状のファセット形状7が形成される。このファセット形状7のピッチは、集束イオンビーム3によってイオンを注入した時のピッチに依存し、イオン注入時のピッチを小さくすることによって、形成されるファセット形状7のピッチも小さくすることが可能となる。

【0025】

また、単結晶半導体基板1の結晶方位を(100)とすると、熱処理時には損傷領域化領域8部分が(100)方向にエピタキシャル成長し、凸状の直方体状のファセット形状7が形成される。

10

【0026】

このように、単結晶半導体基板1の結晶方位を適宜選択することによって、熱処理後に形成されるファセット形状を制御することができる。また、イオン照射後に損傷領域化した領域に対して液相成長時に温度勾配の方向をかえることで、基板表面に形成されるファセット形状を凸状又は凹状のいずれにも形成することができる。このように、液相成長によって、基板表面に凸状構造体又は凹状構造体を形成することができるため、従来のウェットエッチングによるものと異なり、基材の種類に依存することなく、自在にファセット制御された凸形状又は凹形状の構造体を形成することができる。また、本発明に係るファセット形状作製方法は、従来の所定のパターンが形成されたマスクを用いる光リソグラフィ法と異なり、マスクを使用しないため、半導体基板表面に所定のパターンのファセット形状を形成後に、マスクを除去する必要がないため、工程数が減少する。また、マスクを使用しないため、半導体基板表面の純度を保つこともできる。

20

【0027】

図6は、以上説明してきた微細ファセット形状の製造方法を用いて、半導体デバイスである半導体面発光レーザーの製造方法への適用の一実施態様を模式的にまとめて示した図である。

まず、単結晶半導体基板(本実施形態例においては、GaAsを用いている。)上にMBE成長等によって、n-クラッド層、活性層、p-クラッド層を形成し、その表面にイオンビーム照射によってパターンニングを行う。この際、イオンビームの照射量によって、図6中2の上図に示すように、イオンビーム照射による損傷領域化領域にマスクとなる酸化膜を形成する。或いは、図6中2の下図に示すようにアモルファス化することができる。そして、液相成長時にイオン照射によって損傷領域化した領域に対して温度勾配の方向をかえる(この基板を高温側或いは低温側に設置する)ことで、基板表面を凸状又は凹状に加工することができる。これによって、基板表面にピラミッドアレイを複数形成することができ、いずれの面側からも光を取り出すことが可能となる。

30

【0028】

なお、本発明は、前述の融液層を挟み込んで熱処理を行うものに限定されるものではない。例えば、単結晶半導体基板表面に、集束イオンビームを所定のパターンとなるように照射して、選択的に損傷領域化領域を形成した後、公知のウェットエッチングを行ってこの損傷領域化領域をエッチングして凹状のファセット形状を形成することもできる。

40

【0029】

また、任意のイオンビーム径、イオン電流密度に制御した金属イオンの集束イオンビームを単結晶半導体基板表面に自然に形成されている表面自然酸化膜の存在又は酸素分子放射のもとでの金属イオン打ち込みにより、選択的に基板表面に強制酸化膜を形成することもできる。この強制酸化膜は、イオン注入によって、基板表面に存在していた自然酸化膜中の酸素と反応し、化学的に安定した酸化層となるものである。そして、この強制酸化膜は、前述の液相成長時に、一方の基板から他方の基板側に向かって溶出する元素を他方の基板と反応させないようなマスクの役割を果たすことが可能となる。また、このマスクは、一方の基板から他方の基板側に向かって溶出する領域を制限する役割も果たすことができる。

50

【0030】

この強制酸化膜によるマスクと、前述の損傷領域化領域8の形成ピッチ等を適宜選択的に組み合わせることで、三次元的に各ファセット形状が組み合わせられた微細構造物を形成することも可能となる。

【0031】

【実施例】

(実施例1)

結晶方位が(100)の単結晶GaAs基板表面に、Gaイオンビームを照射して、格子状のパターンとなるように描画した。この単結晶GaAs基板を図2に示すように、他のGaAs基板とでGa融液を挟み込むようにして、単結晶GaAs基板から他のGaAs基板に対して温度勾配を形成するように真空炉内にセットして、20/minの昇温速度で、500まで昇温し、1時間保持する熱処理を行った。そして、30分かけて室温まで冷却した後、単結晶GaAs基板表面に付着しているGaを塩酸で除去した表面を原子間力顕微鏡(以下、AFMという。)で観察した。図7にそのAFM像を示す。

10

【0032】

図7に示すように、Gaイオンビームで描画した部分は、熱処理の際に溶出し、凹状に形成される。そして、単結晶GaAs基板表面は、格子状の微細構造体がGaイオンビームで描画したとおりのパターンに形成されていることが観察できる。

【0033】

(実施例2)

実施例1と同様に結晶方位が(100)の単結晶GaAs基板の表面にイオンドーズ量が異なるようにGaイオンビームを照射して2本の線を描画した。そして、この単結晶GaAs基板が低温側となるように図5に示すようにして真空炉内にセットして、実施例1と同様にして熱処理を行った。この単結晶GaAs基板の表面のAFM像を図8に示す。

20

【0034】

図8に示すように、低温側に表面をイオンビームで描画した単結晶基板を設けた場合、イオンビームで描画して損傷領域化した部分がエピタキシャル成長し、表面に凸状の微細構造体が形成される。そして、そのイオンドーズ量の違いによって形成される構造体が異なり、イオンドーズ量が多いものほど、すなわち、表面の損傷領域化度を高くしたものほど、輪郭の鮮明な構造体ができることがわかる。

30

【0035】

(実施例3)

結晶方位が(100)面の単結晶GaAs基板表面に一定のイオンドーズ量のGaイオンビームでT字状に描画し、実施例2と同様にこの単結晶GaAs基板が低温側になるように真空炉内にセットして熱処理を行った。図9にAFM像を示す。図9に示すように、T字状の凸状の構造体が形成されることがわかる。

【0036】

このように、単結晶基板表面をイオンビームで描画して、その表面を損傷領域化した後に、液相成長法の際に、低温側若しくは高温側にこの基板をセットすることによって、表面に形成される微細構造体を凸状あるいは凹状のファセット制御された微細構造体を形成することができる。

40

【0037】

また、このイオンビームによる描画、液相成長法による熱処理を繰返し、その際にイオンビームで描画した基板を適宜低温側、高温側となるようにセットすることによって、図10に示すような凹凸形状の混在した複雑な形状の構造体を形成することも可能となる。

【0038】

【発明の効果】

本発明は以上のように構成されており、任意の微細なファセット形状を半導体基板表面に形成できる。このため、各種半導体デバイスはもとより、生体分子手術基板等への適用も可能となる。

50

【図面の簡単な説明】

【図 1】半導体基板 1 の表面 2 に集束イオンビーム 3 を照射している状態を示す図である。

【図 2】半導体基板 1 の表面 2 が融液層 4 に面するようにして、他の半導体基板 5 とでこの融液層 4 を挟み込み、半導体基板 1 から他の半導体基板 5 に対して温度勾配を形成するように熱処理している状態を示す図である。

【図 3】半導体基板 1 の表面 2 の結晶方位が (1 0 0) 面である場合の図 2 に示す熱処理後の表面に凹形状のファセット微細構造を有する表面 2 を示す概略図である。

【図 4】半導体基板 1 の表面 2 が融液層 4 に面するようにして、他の半導体基板 5 とでこの融液層 4 を挟み込み、他の半導体基板 5 から半導体基板 1 に対して温度勾配を形成するように熱処理している状態を示す図である。

【図 5】半導体基板 1 の表面 2 の結晶方位が (1 1 1) 面である場合の図 4 に示す熱処理後の表面に凸形状のファセット微細構造を有する表面 2 を示す概略図である。

【図 6】本発明に係る微細ファセット形状の製造方法を用いて、半導体デバイス製造方法への適用の一実施態様を模式的にまとめて示した図である。

【図 7】本発明に係る微細ファセット形状作製方法によって形成された微細構造体の一例の形態を示す写真である。

【図 8】本発明に係る微細ファセット形状作製方法によって形成された微細構造体の一例の形態を示す写真である。

【図 9】本発明に係る微細ファセット形状作製方法によって形成された微細構造体の一例の形態を示す写真である。

【図 10】本発明に係る微細ファセット形状作製方法によって形成された凹凸形状が混在した微細構造体の一例の形態を示す写真である。

【符号の説明】

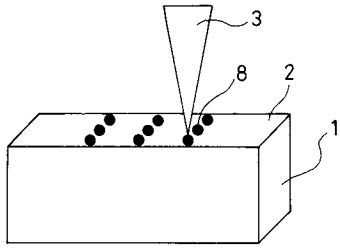
- 1 半導体基板
- 2 表面
- 3 集束イオンビーム
- 4 融液層
- 5 半導体基板
- 6 ヒーター
- 7 ファセット形状
- 8 損傷領域化領域

10

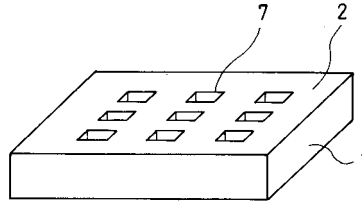
20

30

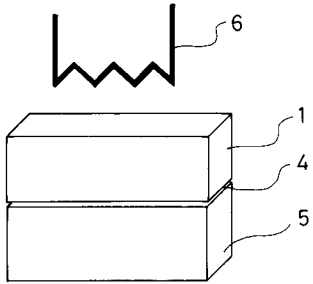
【図 1】



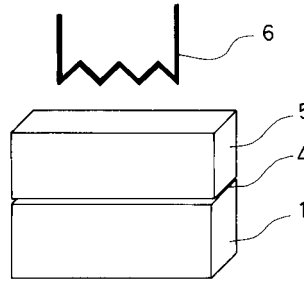
【図 3】



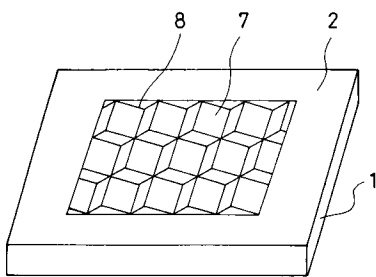
【図 2】



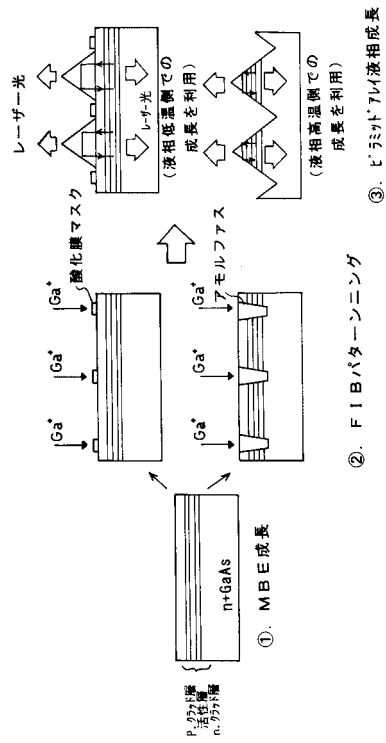
【図 4】



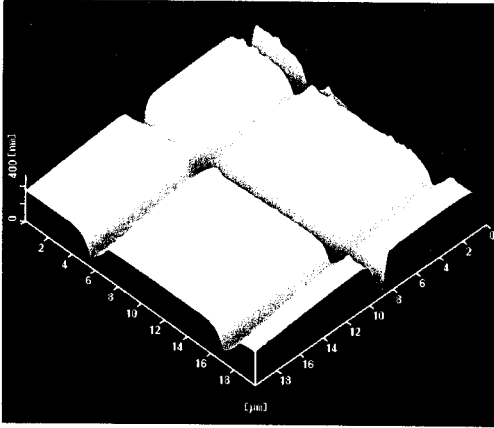
【図 5】



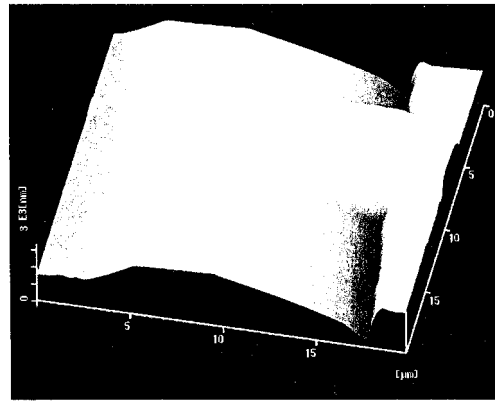
【図 6】



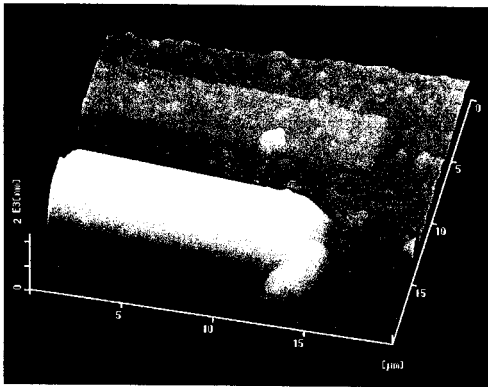
【 図 7 】



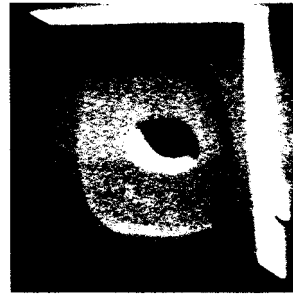
【 図 9 】



【 図 8 】



【 図 10 】



フロントページの続き

(72)発明者 佐野直克

兵庫県三田市学園2丁目1番地 関西学院大学理学部内

Fターム(参考) 5F053 AA50 DD01 DD02 DD03 DD05 DD11 DD20 GG01 HH01 PP20

RR20

5F073 AB04 AB16 CB02 DA02 DA06 DA07