

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5370979号
(P5370979)

(45) 発行日 平成25年12月18日(2013.12.18)

(24) 登録日 平成25年9月27日(2013.9.27)

(51) Int.Cl. F I
 H O 1 L 21/3205 (2006.01) H O 1 L 21/88 M
 H O 1 L 21/768 (2006.01)
 H O 1 L 23/532 (2006.01)

請求項の数 1 (全 13 頁)

(21) 出願番号 特願2007-106945 (P2007-106945)
 (22) 出願日 平成19年4月16日(2007.4.16)
 (65) 公開番号 特開2008-270250 (P2008-270250A)
 (43) 公開日 平成20年11月6日(2008.11.6)
 審査請求日 平成22年3月25日(2010.3.25)

(73) 特許権者 504203572
 国立大学法人茨城大学
 茨城県水戸市文京2丁目1番1号
 (73) 特許権者 301023238
 独立行政法人物質・材料研究機構
 茨城県つくば市千現一丁目2番地1
 (74) 代理人 100074631
 弁理士 高田 幸彦
 (72) 発明者 大貫 仁
 茨城県日立市中成沢町四丁目12番1号
 国立大学法人茨城大
 学 工学部内

最終頁に続く

(54) 【発明の名称】 半導体集積回路の製造方法

(57) 【特許請求の範囲】

【請求項1】

回路素子が形成された半導体基体と、前記半導体基体の主表面上に形成された絶縁層と、少なくとも前記絶縁層を利用して形成されたトレンチと、前記トレンチ内にめっき法によって形成された銅配線を備え、前記銅配線の線幅が70nm以下で、該銅配線の酸素濃度が3wt%以下であり、前記銅配線の前記トレンチの側面と平行な面における平均結晶粒径が配線幅の1.3倍以上であり、該平均結晶粒径の標準偏差が40nm以下である半導体集積回路の製造方法において、

純度が99.9999~99.999999wt%の硫酸銅めっき浴、アノードに純度が99.999999wt%の銅電極を用いた電解めっきによって前記トレンチ内に銅めっき層を形成する第1工程、電解めっき後に銅めっき層を水素雰囲気中で熱処理をする第2工程を有することを特徴とする半導体集積回路の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体集積回路装置、特に配線ロードマップに示された配線幅70nm及びそれ以下の配線幅を備える半導体集積回路の製造方法に関する。

【背景技術】

【0002】

半導体集積回路装置はムーアの法則で言われている3年で集積度が4倍になるというハ

イスピードで高集積度化が進められている。この集積度向上のための目安になっているのが国際半導体技術ロードマップ(International Technology Roadmap for Semiconductor)で、2005年版(ITRS 2005 Edition)のMPU(Micro Processing Unit)の配線を例に挙げると、集積度を向上するために配線幅の目標値が2005年は90nm、2007年は68nm、2010年は45nm、2013年は32nmとなっており、高速動作を確保するために抵抗率の目標値は夫々 $3.07 \mu \cdot \text{cm}$ 、 $3.43 \mu \cdot \text{cm}$ 、 $4.08 \mu \cdot \text{cm}$ 、 $4.83 \mu \cdot \text{cm}$ となっている。

【0003】

半導体集積回路装置の配線材料としては、これまで安価で比較的抵抗率の低いアルミニウムまたはアルミニウム合金が広く使用されてきたが、集積度が向上する(配線幅が狭くなる)に従って抵抗率がアルミニウムの半分程度で許容電流がアルミニウムより2桁以上大きい銅または銅合金がアルミニウムに代わって使用される傾向にある。しかしながら、配線幅が縮小され、ある値以下になると銅とアルミニウムの平均自由行程の違いに基づいて銅配線の抵抗率がアルミニウムのそれより大きくなることが知られている(特許文献1)。特許文献1では、アルミニウム配線と銅配線の両方を備え、配線の形状に応じてアルミニウム配線と銅配線のうち抵抗率が小さくなる方を選択的に使用することで、平均自由行程の違いに基づく問題を解決している。

【特許文献1】特開2003-133312号

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明者らは特許文献1で提案されている方法では配線幅が70nm以下になると国際半導体技術ロードマップに開示されている抵抗率を達成することが出来なくなることを実験で確認した。本発明者らはその原因が、半導体集積回路装置の集積度が向上すると配線を形成するトレンチの幅が狭くなり、トレンチの幅が100nm以下になるとトレンチ内に形成される銅配線の結晶粒径が小さくなり、電流の流れる方向に多数の結晶粒が存在し、結晶粒の界面で電子の散乱される機会が増加し、抵抗率が異常に増加することであると推測した。

【0005】

本発明の目的は、配線を形成するトレンチ幅が70nm以下になっても配線の抵抗率が大幅に増加せず国際半導体技術ロードマップに開示されている目標値を余裕を持って満たす銅配線を実現し、それを使用した半導体集積回路装置及びその製造方法を提供することにある。

【課題を解決するための手段】

【0006】

上記目的を達成する本発明半導体集積回路装置の特徴とするところは、回路素子が形成された半導体基体と、前記半導体基体の主表面上に形成された絶縁層と、少なくとも前記絶縁層を利用して形成されたトレンチと、前記トレンチ内に形成された配線幅が70nm以下の銅配線を備え、前記銅配線が電子散乱の少ない粒界構造を有する点にある。電子散乱の少ない粒界構造は以下の説明から明らかになる。

【0007】

上記目的を達成する本発明半導体集積回路装置の特徴とするところは、回路素子が形成された半導体基体と、半導体基体の主表面上に形成された絶縁層と、少なくとも絶縁層を利用して形成されたトレンチと、トレンチ内に形成された銅配線を備え、銅配線の配線幅が70nm以下で、銅配線のトレンチの側面と平行な面における平均結晶粒径が配線幅の1.3倍以上となるようにした点にある。銅配線の抵抗率は、トレンチの側面と平行な面における平均結晶粒径Dと配線幅Wの比D/Wが1.3を境界にしてそれ以下では急増するが、それ以上になると安定した低い値を維持することが確認され、比D/Wを1.3以上にすることにより国際半導体技術ロードマップに開示されている抵抗率を満たす配線を

10

20

30

40

50

実現するが可能になる。ここでいう銅配線は製造過程で不可避免的に混入する不純物以外の不純物を含まない純度の高い銅からなる配線をいう。半導体基体としては、I V族元素、III V族化合物及びこれらの組合せからなる半導体単結晶または半導体多結晶からなる基体、絶縁基体とその上に形成された半導体単結晶層または半導体多結晶層からなる基体をいう。また、ここでいう銅配線とは、半導体集積回路装置の各配線層の全てが銅配線で形成されているものは勿論のこと一部に銅配線が使用されているものを含むものである。

【0008】

上記目的を再現性良く達成する本発明半導体集積回路装置の他の特徴とするところは、上述の比 D/W が1.3以上の半導体集積回路装置において銅配線の結晶粒径の標準偏差を40nm以下にすることである。

10

【0009】

上記目的を達成する本発明半導体集積回路装置の他の特徴とするところは、銅配線中の酸素濃度を配線幅70nm以下では5wt%以下に、50nm以下では4wt%以下に、30nm以下では3wt%以下にすることにある。配線中の酸素濃度を配線幅に応じて所定値以下にすることにより、銅配線の抵抗率を国際半導体技術ロードマップ2005版に開示されている配線幅68nm、45nm、32nmのときの抵抗率の目標値 $3.43\mu\cdot\text{cm}$ 、 $4.08\mu\cdot\text{cm}$ 、 $4.83\mu\cdot\text{cm}$ を大幅に下回った抵抗率を実現できる。また、配線中の酸素濃度の変化に対する配線の抵抗率の変化が著しく小さくなり、所望の抵抗率を再現性良く実現できる。

【0010】

20

上記目的を達成する本発明半導体集積回路装置の製造方法の特徴とするところは、純度99.99~99.999999wt%(以下4N~8Nと称す)の硫酸銅めっき浴、アノードに純度99.9999~99.999999wt%(以下6N~9Nと称す)の銅電極を用いて電解めっき法によってトレンチ内に銅めっき層を形成し、しかる後に水素雰囲気中で銅めっき層を熱処理する点にある。この製造方法によって、比 D/W を1.3以上にすること、酸素濃度を5wt%以下にすることを容易に実現できる。

【0011】

上記目的を達成する他の本発明半導体集積回路装置の製造方法の特徴とするところは、硫酸銅めっき浴、アノードに銅電極を用いて電解めっき法によってトレンチ内に銅めっき層を形成し、しかる後に銅めっき層を水素、アルゴン、窒素から選ばれた雰囲気中で赤外線加熱する点にある。この製造方法によっても、比 D/W を1.3以上にすること、酸素濃度を5wt%以下にすることを容易に実現できる。

30

【発明の効果】

【0012】

本発明によれば、平均結晶粒径 D と配線幅 W の比 D/W を規定することにより、または配線中の酸素濃度を規定することによりトレンチ幅が狭くなるに従って抵抗率が異常に増加するという問題が解決でき、国際半導体技術ロードマップに開示されている値を満たす配線を備えた半導体集積回路装置の実現を可能にする。

【発明を実施するための最良の形態】

【0013】

40

本発明を適用する半導体集積回路装置としては、単結晶半導体基体にMOSトランジスタ、バイポーラトランジスタなどから選ばれた回路素子を多数個集積化して日々集積度の向上が進められているMPU及びASIC(Application Specific Integrated Circuit: 特定用途向けの集積回路の総称)などのロジックLSI、DRAM(Dynamic Random Access Memory)及びフラッシュメモリなどのメモリLSIが好ましい用途である。他の用途としては、表示画面の大型化が進められ高速動作が要求される液晶表示装置がある。

以下、本発明半導体集積回路装置及びその製造方法の好ましい実施形態を図面を用いて詳細に説明する。

【実施例1】

50

【 0 0 1 4 】

図1は本発明を適用した半導体集積回路装置の概略断面図で、実際の半導体集積回路装置は配線層が8層、9層、それ以上になっているが、説明を簡略化するために2層配線構造を例示している。図において、1は一方の主表面1aに隣接して多数個の回路素子(図示せず)が形成された半導体基体、2は半導体基体1の一方の主表面1a上に形成された例えばシリコン酸化物層からなる第1絶縁層、2aは第1絶縁層2に形成されたスルーホール、3はスルーホール2a内に形成された例えばタングステンからなるプラグ、3aはスルーホール2aとプラグ3との間に形成された例えばTiN(窒化チタン)からなるバリア層、4は第1絶縁層2及びプラグ3上に例えば窒化シリコン層41を介して形成された例えばシリコン酸化物層42からなる第2絶縁層、4aは第2絶縁層4に形成された第1トレンチ、5は第1トレンチ4a内に形成された第1銅配線、5aは第1トレンチ4aと第1銅配線5との間に形成された例えばTaN(窒化タンタル)/Ta(タンタル)からなるバリア層、6は第2絶縁層4及び第1銅配線5上に例えば窒化シリコン層61を介して例えばシリコン酸化物層62、窒化シリコン層63、シリコン酸化物層64を順次積層して形成した第3絶縁層、6aは第2絶縁層6に形成された断面T字形を有する第2トレンチ、7は第2トレンチ6a内に形成された第2銅配線、7aは第2トレンチ6aと第2銅配線7の間に形成された例えばTa/TaN/Taからなるバリア層である。第1銅配線5及び/又は第2銅配線7の配線幅はバリア層5aまたは7aの幅を加えて70nm以下となる値で、トレンチの側面と平行な面における平均結晶粒径Dと配線幅Wの比D/Wが1.3以上になっている。配線幅とはトレンチの幅で決まる幅で、第1銅配線5または第2銅配線7の線幅にバリア層5aまたは7aの幅を加えた値をいう。

10

20

【 0 0 1 5 】

図2は銅配線におけるトレンチの側面と平行な面における平均結晶粒径Dと配線幅Wの比D/Wと抵抗率の関係を示す図で、この図から比D/Wが1.3を境界にして1.3以下になると抵抗率が急増し、1.3以上になると抵抗率が2.8~3.0 $\mu\cdot\text{cm}$ の間で安定していることが分かる。この抵抗率は国際半導体技術ロードマップ2005年版に開示されている配線幅68nm、45nm、32nmのときの抵抗率の目標値3.43 $\mu\cdot\text{cm}$ 、4.08 $\mu\cdot\text{cm}$ 、4.83 $\mu\cdot\text{cm}$ を大幅に下回った値を実現できるものである。本発明は抵抗率が安定する平均結晶粒径Dと配線幅Wの比D/Wの範囲で銅配線を使用することを特徴としている。図2のデータは配線幅が70nm、50nm、30nmのいずれの場合においても同一であった。

30

40

【 0 0 1 6 】

銅配線のトレンチの側面と平行な面における平均結晶粒径は、微細構造解析技術として広く知られているFIB/TEM技術を用いて測定した。FIB/TEM技術とは、図3に示すように、試料としての銅配線5(7)からトレンチ4a(6a)の側面と平行をなす面に沿う領域を集束イオンビーム(FIB)加工によって試料片として切り出し、その試料片のトレンチ4a(6a)の側面と平行をなす面を透過型電子顕微鏡(TEM)により観察を行うものである。TEMによる観察された図4に示す組織図において各結晶粒の粒界に沿って線を引き、結晶粒を円形と仮定して粒径の面積を求め、最終的に個々の粒径を算出し、それらの平均値を求めた。これが平均結晶粒径である。

【 0 0 1 7 】

本発明は銅配線のトレンチの側面と平行な面における平均結晶粒径Dと配線幅Wの比D/Wが、配線の抵抗率を小さくするために好ましい範囲を有していることを見出しなされたものである。配線の平均結晶粒径Dと配線幅Wの比D/Wは従来からエレクトロマイグレーション耐性を向上するために検討されており、その場合の平均結晶粒径はトレンチに形成された配線を表面側から見て算出した値を使用している。配線幅が100nm以下の銅配線においては、表面側から底部側に向かって結晶粒径が小さくなるように結晶粒が分布していることを本発明者らは見出した。従って、配線の表面側から見た平均結晶粒径は配線幅によって大きく変化しないが、配線のトレンチの側面と平行な面における平均結晶粒径は大きく変化する。配線の抵抗率は電流の流れる方向における結晶粒の粒界の多さに

50

依存することから、配線の抵抗率を小さくするためには、トレンチの側面と平行な面における平均結晶粒径が重要なファクターとなる。本発明はこの新しい知見に基づいてなされたものである。

【0018】

銅配線のトレンチの側面と平行な面における平均結晶粒径Dと配線幅Wの比D/Wを1.3以上にすると抵抗率を小さくできる理由は、平均結晶粒径が大きくなるということは結晶粒が大きくなることを意味し、その結果、電流の流れる方向に存在する粒界が減少して電子散乱が減少することが主たる要因と推測する。

【0019】

図5は銅配線における結晶粒径の標準偏差と抵抗率の関係を示す図で、結晶粒径の標準偏差が35~40nm付近から抵抗率が急増することが分かる。従って、標準偏差を40nm以下、好ましくは35nm以下にすると抵抗率の変化が殆どなくなり、所望の抵抗率の銅配線を再現性良く得ることが出来る。

10

結晶粒径の標準偏差は、個々の粒径を x_k 、平均値を \bar{X} とし、個数をNとすると標準偏差 σ は数式(1)で与えられる。

【0020】

【数1】

$$\frac{1}{N} \sum (x_k - \bar{x})^2 \sigma^2 = \dots (1)$$

20

【0021】

平均結晶粒径Dと配線幅Wの比D/Wを1.3以上に保持した状態で結晶粒径の標準偏差は小さくすることは、線幅より大きい結晶粒径の結晶粒が揃うことを意味し、電流の流れ方向に存在する粒界が減少し抵抗率が小さくなる。従って、標準偏差は小さい方が好ましい。但し、標準偏差に0nmは含まない。図5のデータは配線幅が70nm、50nm、30nmのいずれの場合においても同一であった。

【0022】

銅配線からその結晶粒径の標準偏差を測定する方法としては、例えばFIB/TEM技術を用いて図4に示す組織図を作成し、それから全結晶粒の粒径を算出して数式(1)により算出することが可能である。

30

【0023】

図6は銅配線に含まれる酸素濃度と抵抗率の関係を示す図で、配線幅が70nmの場合は酸素濃度が5wt%を超えると抵抗率が急増し、50nmの場合は酸素濃度が4wt%を超えると抵抗率が急増し、30nmの場合は酸素濃度が3wt%を超えると抵抗率が急増していることが分かる。このことから銅配線中の酸素濃度を配線幅が70nmの場合は5wt%以下にすると $3 \mu \cdot \text{cm}$ 以下の抵抗率の銅配線が再現性良く得られ、配線幅が50nmの場合は酸素濃度を4wt%以下にすると $3.5 \mu \cdot \text{cm}$ 以下の抵抗率の銅配線が再現性良く得られ、配線幅が30nmの場合は酸素濃度を3wt%以下にすると $3.8 \mu \cdot \text{cm}$ 以下の抵抗率の銅配線が再現性良く得られ、国際半導体技術ロードマップ2005年版に開示されている配線幅68nm、45nm、32nmのときの抵抗率の目標値 $3.43 \mu \cdot \text{cm}$ 、 $4.08 \mu \cdot \text{cm}$ 、 $4.83 \mu \cdot \text{cm}$ を大幅に下回った抵抗率を実現できることが分かる。酸素濃度は低ければ低いほど抵抗率を小さくできることから、酸素濃度の好ましい下限値は存在しない。

40

【0024】

銅配線中の酸素濃度は、TEM/EDS(透過型電子顕微鏡対応のエネルギー分散型X線分析装置)によって測定した。具体的には、ビーム径1~2nmの電子線を銅配線に照射して銅配線から励起されたX線のエネルギーを検出することにより、銅配線に含まれる元素の種類(定性分析)及びその濃度(定量分析)を分析する方法である。

50

【 0 0 2 5 】

銅配線に含まれる酸素濃度が低くなると抵抗率が小さくなる理由は、(1)酸素は粒界付近に集まり電子散乱の原因になるので、酸素濃度を低くすると粒界付近に集まる酸素を低減でき電子散乱を抑制できること、(2)酸素濃度が低くなると銅配線とバリア層との密着性が向上し、銅配線の側面及び底面における電子散乱が抑制できること、が考えられるが、前者が主たる要因と推測する。

【 0 0 2 6 】

本発明半導体集積回路装置の銅配線を粒界構造から言及するに、隣接する結晶粒の粒界が対応粒界 (coincidence boundary) になっていると考えられる。対応粒界とは Grain Boundary Structure and Properties Academic press (1976) に掲載された論文 "5. Special High Angle Grain Boundaries" に説明されているように、粒界において隣接する2個の結晶粒間で共有する原子が存在する状態をいう。隣接する結晶粒間で原子が共有される状態になると、その部分では粒界が存在せず、電子散乱が生じないため、抵抗率が下がる効果を奏する。

【 実施例 2 】

【 0 0 2 7 】

図7は本発明半導体集積回路装置の製造方法を説明するための概略工程図で、図1の同一部材には同一符号を付し繰り返し説明を避けた。また、半導体集積回路装置の製造方法のうち、本発明に直接関係するデュアルダマシンプロセスを用いて銅配線を形成する工程を示した。

【 0 0 2 8 】

まず、一方の主表面11に隣接して多数の回路素子(図示せず)が形成された半導体基体1を準備し、半導体基体1の一方の主表面1aの上方に窒化シリコン層41及びシリコン酸化物層42からなる第1絶縁層4をCVD (Chemical Vapor Deposition) 法により堆積する。次に、配線を形成する予定の領域のシリコン酸化物層42をエッチングにより除去し、これによって露出した窒化シリコン層41を更にエッチングすることにより第1トレンチ4aを形成する。このトレンチは幅が70nm以下、50~300nmの範囲から通電容量によって選択される深さを有している。窒化シリコン層41はシリコン酸化物層42をエッチングするときのストッパーとして利用される(図7a)。

【 0 0 2 9 】

次に、第1トレンチ4a内を含むシリコン酸化物層42上に、例えばTa₂N₅/Ta積層体からなるバリア層5aをスパッタ法またはCVD法により数nmから10nm程度の厚さ堆積する。このバリア層5a上に銅配線5を形成する。その方法は、まずスパッタ法によってバリア層5a上に極薄い銅シード層(図示せず)を形成し、銅シード層上に純度6Nの硫酸銅めっき浴、アノードに純度9Nの銅電極を用いて電解めっき法により第1トレンチ4aの深さを超える厚さの銅めっき層を形成し、その後水素雰囲気中において200~400℃で10分~1時間加熱処理するプロセスで形成した(図7b)。この電解めっきプロセスに使用した高純度のめっき浴及び銅電極は、現在市販されていないため材料メーカーに特別に注文して入手した。

【 0 0 3 0 】

銅配線5を形成する他の方法としては、銅シード層上に、市販されている通常の純度3Nの硫酸銅めっき浴、アノードに市販されている純度4Nを有する銅電極を用いて電解めっき法により第1トレンチ4aの深さを超える厚さの銅めっき層を形成し、水素、アルゴン、窒素から選ばれた雰囲気中で赤外線ランプにより200~600℃で10分~1時間加熱処理する方法である。この方法の特徴は純度の低いめっき浴及び銅電極を使用できること、及び短時間で処理できることである。

【 0 0 3 1 】

次いで、CMP (Chemical Mechanical Polishing) に

10

20

30

40

50

より第1トレンチ4 a部分においてはその深さを超える部分の銅層、並びにシリコン酸化物層4 2上の銅層及びバリア層5 aを除去して第1トレンチ4 a内にのみ第1銅配線5となる銅層及びバリア層5 aを残す(図7 c)。

【0032】

次に、シリコン酸化物層4 2及び第1銅配線5上に窒化シリコン層6 1、シリコン酸化物層6 2、窒化シリコン層6 3及びシリコン酸化物層6 4を順次CVD法により堆積する。ここで、窒化シリコン層6 3は断面T字形を有する第2トレンチ6 aの上辺部を形成する際のエッチングストッパーとして、また、窒化シリコン層6 1は第1銅配線5との接続を図るためのコンタクトホール(T字形の脚部)を形成する際のエッチングストッパーとして機能する(図7 d)。トレンチの上辺部の幅は幅が70 nm以下、50 ~ 300 nm

10

【0033】

次いで、第1銅配線5のコンタクト領域上のシリコン酸化物層6 4、窒化シリコン層6 3及びシリコン酸化物層6 2をエッチングにより除去し、更にエッチングによって露出した窒化シリコン層6 1をエッチングすることによりコンタクトホール(第2トレンチ6 aのT字形の脚部)を形成する。

【0034】

次に、コンタクトホール内を含むシリコン酸化物層6 4上に反射防止膜もしくはレジスト膜(図示せず)を形成する。更に、第2銅配線7を形成する予定領域を開口したレジスト膜をマスクにして反射防止膜もしくはレジスト膜、シリコン酸化物層6 4をエッチング

20

【0035】

次いで、第2トレンチ6 a内を含むシリコン酸化物層6 4上に例えばTa/TaN/Ta積層体からなるバリア層7 aをスパッタ法またはCVD法により数nmから10 nm程度の厚さ堆積する。

【0036】

次に、バリア層7 a上に薄い銅膜をスパッタ法により形成し、この銅膜をシード層にして第1銅配線の場合と同様の方法により第2トレンチ6 aを含むバリア層7 a上全面に第2トレンチ6 aの深さを超える厚さの銅層を形成し、同様の熱処理を行う(図7 f)。

30

【0037】

しかる後、CMPにより第2トレンチ6 a部分においてはその深さを超える部分の銅層、並びにシリコン酸化物層6 4上の銅層及びバリア層7 aを除去して、第2トレンチ6 a内にのみ第2銅配線7となる銅層及びバリア層7 aを残し、2層構造の銅配線が完成する。(図7 g)。

【0038】

この実施例では2層構造の銅配線の製造方法を説明したが、3層以上の配線構造にする場合には、第2銅配線を形成した工程を繰り返すことで実現できる。

【0039】

この実施例で得られた半導体集積回路装置の銅配線は配線幅70 nm、平均結晶粒径Dと配線幅Wの比D/Wが1.4、抵抗率が2.9 $\mu \cdot \text{cm}$ 、酸素濃度1 wt%であった。

40

【0040】

本発明の実施形態においては、バリア層5 a、7 aとしてTa膜とTaN膜の組合せを使用した。これに限定されず他の金属とその金属の窒化物との組合せが使用できる。金属としては、Ti(チタン)、W(タングステン)、Nb(ニオブ)、Cr(クロム)、Mo(モリブデン)などが挙げられる。

【図面の簡単な説明】

【0041】

50

【図 1】本発明の一実施例として示した半導体集積回路装置の概略断面図である。

【図 2】銅配線におけるトレンチの側面と平行な面における平均結晶粒径 D と配線幅 W の比 D/W と抵抗率の関係を示す図である。

【図 3】FIB/TEM 技術を用いた銅配線のトレンチの側面と平行な面における平均結晶粒径の測定方法の説明図である。

【図 4】銅配線のトレンチの側面と平行な面を TEM によって観察した組織図である。

【図 5】銅配線における結晶粒径の標準偏差と抵抗率の関係を示す図である。

【図 6】銅配線に含まれる酸素濃度と抵抗率の関係を示す図である。

【図 7 (a)】本発明半導体集積回路装置の製造方法の一実施例の一工程を説明するための概略工程図である。

10

【図 7 (b)】本発明半導体集積回路装置の製造方法の一実施例の一工程を説明するための概略工程図である。

【図 7 (c)】本発明半導体集積回路装置の製造方法の一実施例の一工程を説明するための概略工程図である。

【図 7 (d)】本発明半導体集積回路装置の製造方法の一実施例の一工程を説明するための概略工程図である。

【図 7 (e)】本発明半導体集積回路装置の製造方法の一実施例の一工程を説明するための概略工程図である。

【図 7 (f)】本発明半導体集積回路装置の製造方法の一実施例の一工程を説明するための概略工程図である。

20

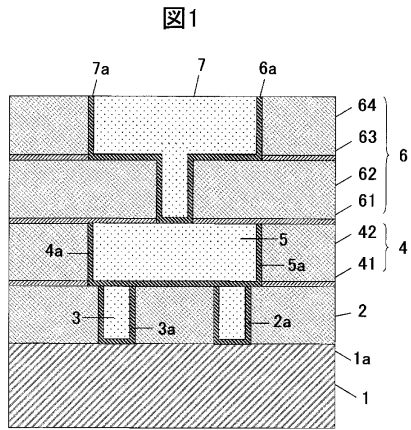
【図 7 (g)】本発明半導体集積回路装置の製造方法の一実施例の一工程を説明するための概略工程図である。

【符号の説明】

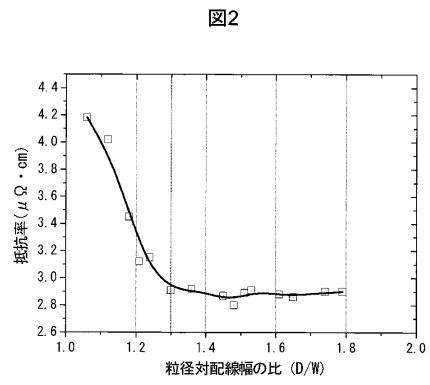
【 0 0 4 2 】

1 ... 半導体基体、2 ... 第 1 絶縁層、3 ... プラグ、4 ... 第 2 絶縁層、4 a ... 第 1 トレンチ、4 1 ... 窒化シリコン層、4 2 ... シリコン酸化物層、5 ... 第 1 銅配線、5 a ... バリア層、6 ... 第 3 絶縁層、6 a ... トレンチ層、6 1 ... 窒化シリコン層、6 2 ... シリコン酸化物層、6 3 ... 窒化シリコン層、6 4 ... シリコン酸化物層、7 ... 第 2 銅配線、7 a ... バリア層。

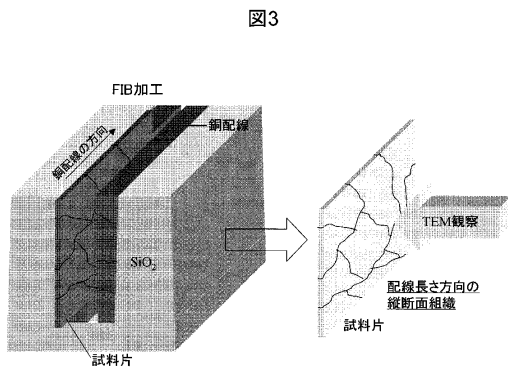
【 図 1 】



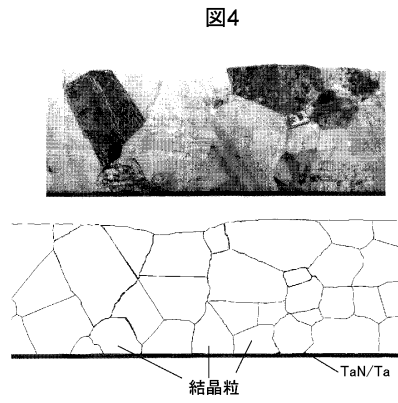
【 図 2 】



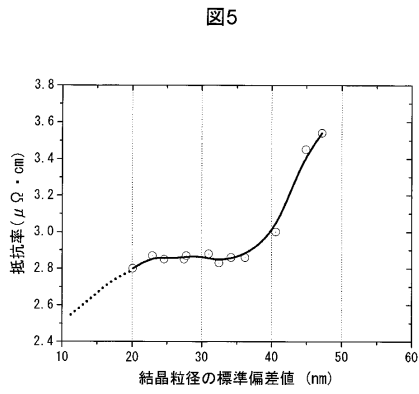
【 図 3 】



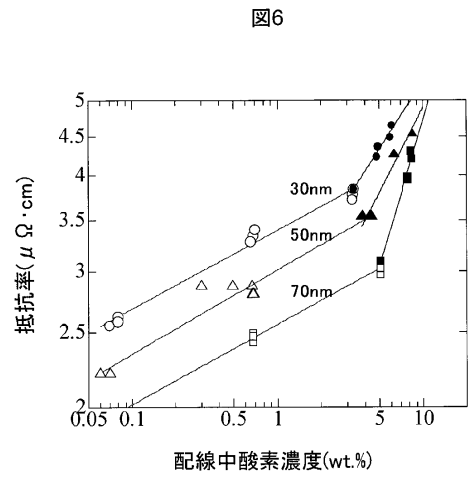
【 図 4 】



【 図 5 】

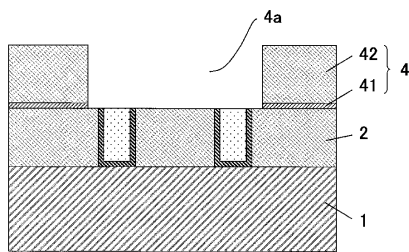


【 図 6 】



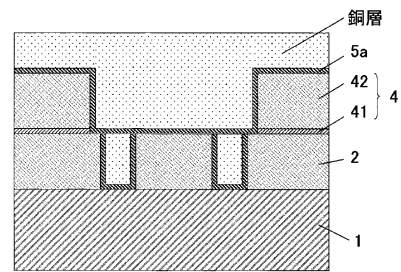
【 図 7 (a) 】

図7(a)



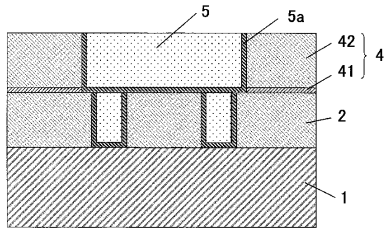
【 図 7 (b) 】

図7(b)



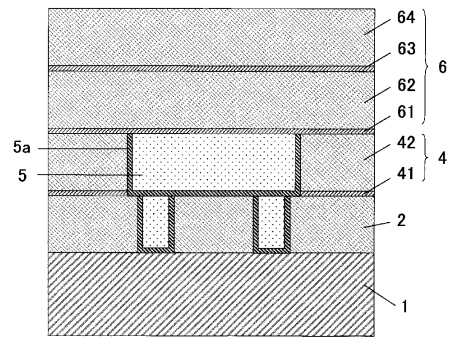
【図7(c)】

図7(c)



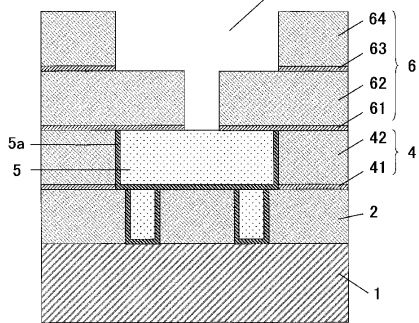
【図7(d)】

図7(d)



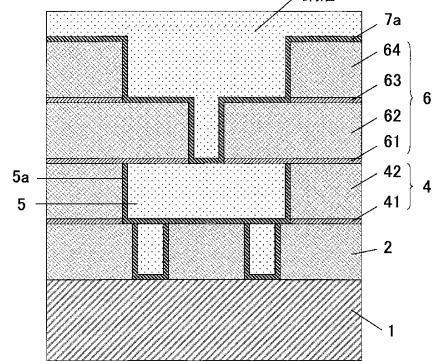
【図7(e)】

図7(e)

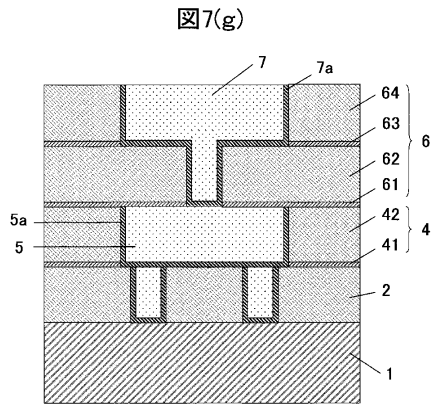


【図7(f)】

図7(f)



【図7(g)】



フロントページの続き

- (72)発明者 田代 優
茨城県日立市中成沢町四丁目12番1号 国立大学法人茨城大学 工学部内
- (72)発明者 クウ キュウ ピン
茨城県日立市中成沢町四丁目12番1号 国立大学法人茨城大学 工学部内
- (72)発明者 石川 信博
茨城県つくば市千現一丁目2番地1 独立行政法人物質・材料研究機構
内
- (72)発明者 古屋 一夫
茨城県つくば市千現一丁目2番地1 独立行政法人物質・材料研究機構
内
- (72)発明者 長野 隆洋
神奈川県横浜市泉区緑園七丁目13番7号 株式会社ボンゾウ内

審査官 小田 浩

- (56)参考文献 特開2007-053133(JP,A)
特開2004-221494(JP,A)
特開平10-154709(JP,A)
特開2000-114367(JP,A)
国際公開第2006/137237(WO,A1)
特開2003-171797(JP,A)
特開2003-231995(JP,A)
特開平11-283981(JP,A)
特開2001-345325(JP,A)
特開2005-223059(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/3205
H01L 21/768
H01L 23/532