

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-221708

(P2007-221708A)

(43) 公開日 平成19年8月30日(2007.8.30)

(51) Int. Cl.

H03K 19/173 (2006.01)

F I

H03K 19/173 I O 1

テーマコード(参考)

5J042

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号 特願2006-43034(P2006-43034)

(22) 出願日 平成18年2月20日(2006.2.20)

(71) 出願人 504174135

国立大学法人九州工業大学  
福岡県北九州市戸畑区仙水町1番1号

(74) 代理人 100099634

弁理士 平井 安雄

(72) 発明者 渡邊 実

福岡県飯塚市大字伊岐須1-4-4-40

(72) 発明者 小林 史典

福岡県宗像市大谷2-11

Fターム(参考) 5J042 BA09 CA15 CA20 DA04

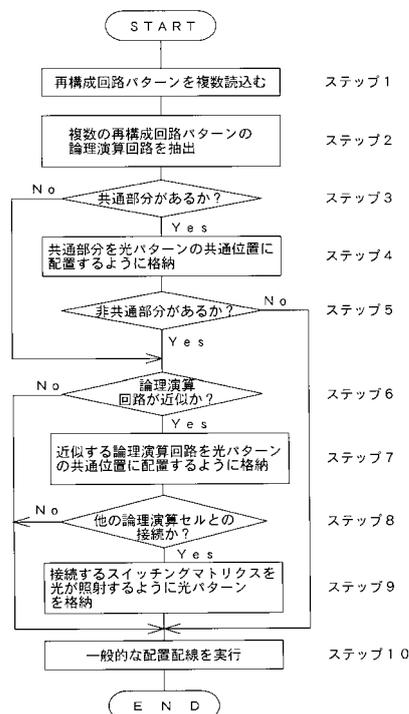
(54) 【発明の名称】 光学的メモリの記録方法及び光学的メモリ

(57) 【要約】

【課題】 光学的メモリに格納する動的再構成の光パターン相互間に関連付けて記録することにより光再構成速度を飛躍的に向上させることができる光学的メモリの記録方法及び光学的メモリを提供する。

【解決手段】 再構成回路パターンに対応する光パターンの照射により各種の論理演算回路を再構成する論理演算セルをアレイ状に配列されてなる光再構成型ゲートアレイに対して照射する光パターンの記録情報を複数格納する光学的メモリの記録方法において、前記再構成される複数の再構成回路パターン中で共通する論理演算セルが同じ配設領域となるように前記複数の光パターンの記録情報を光学的メモリに格納することにより、複数の再構成回路パターン相互間の関連を付けて共通しない論理演算セルの差分についてのみ光再構成を行うこととなり、光再構成の速度を飛躍的に向上させることができる。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

再構成回路パターンに対応する光パターンの照射により各種の論理演算回路を再構成する論理演算セルをアレイ状に配列されてなる光再構成型ゲートアレイに対して照射する光パターンの記録情報を光学的メモリを複数格納する光学的メモリの記録方法において、

前記再構成される複数の再構成回路パターン中で共通する論理演算セルが同じ配設領域となるように前記複数の光パターンの記録情報を光学的メモリに格納することを

特徴とする光学的メモリの記録方法。

## 【請求項 2】

前記請求項 1 に記載の光学的メモリの記録方法において、

前記光再構成型ゲートアレイに対して光パターンがビット単位で照射され、当該光パターンの照射による任意部分の再構成がより少ないビット数となるように複数の光パターンの記録情報を光学的メモリに格納することを

特徴とする光学的メモリの記録方法。

## 【請求項 3】

前記請求項 1 又は 2 に記載の光学的メモリの記録方法において、

前記光パターンを照射する領域の照射面積及び/又は光パターンで再構成される再構成回路パターンの配線遅延時間がより小さくなるように複数の光パターン記録情報を光学的メモリに格納することを

特徴とする光学的メモリの記録方法。

## 【請求項 4】

前記請求項 1 ないし 3 のいずれかに記載の光学的メモリの記録方法において、

前記照射面積、配線遅延時間及び光パターンのビット数により各々任意の重み付けを付与し、当該重み付けに基づく評価関数により複数の光パターンの記録情報を光学的メモリに格納することを

特徴とする光学的メモリの記録方法。

## 【請求項 5】

前記請求項 1 ないし 4 のいずれかに記載の光学的メモリの記録方法において、

前記再構成される複数の再構成回路パターン中で論理演算回路の回路構成が近似する論理演算セルが同じ配設領域となるように複数の光パターンの記録情報を光学的メモリに格納することを

特徴とする光学的メモリの記録方法。

## 【請求項 6】

前記請求項 1 ないし 5 のいずれかに記載の光学的メモリの記録方法において、

前記論理演算回路を一の論理演算セルと他の論理演算セルとを配線で接続するように複数の光パターンの記録情報を光学的メモリに格納することを

特徴とする光学的メモリの記録方法。

## 【請求項 7】

再構成回路パターンに対応する光パターンの照射により各種の論理演算回路を再構成する論理演算セルをアレイ状に配列されてなる光再構成型ゲートアレイに対して照射する光パターンの記録情報を複数格納する光学的メモリにおいて、

前記再構成される複数の再構成回路パターン中で共通する論理演算セルが同じ配設領域となる前記複数の光パターンの記録情報を格納することを

特徴とする光学的メモリ。

## 【請求項 8】

前記請求項 7 に記載の光学的メモリにおいて、

前記光再構成型ゲートアレイに対して光パターンをビット単位で照射し、当該光パターンの照射による任意部分の再構成がより少ないビット数となる複数の光パターンの記録情報を格納することを

特徴とする光学的メモリ。

10

20

30

40

50

## 【請求項 9】

前記請求項 7 又は 8 に記載の光学的メモリにおいて、

前記光パターンを照射する領域の照射面積、光パターンで再構成される再構成回路パターンの配線遅延時間、及び前記光パターンのビット数により各々任意の重み付けを付与し、当該重み付けに基づく評価関数により複数の光パターンを格納することを特徴とする光学的メモリ。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、光再構成型ゲートアレイに各種の論理演算回路を再構成するための光パターンを光学的メモリに格納する光学的メモリの記録方法に関し、特に光再構成速度を飛躍的に向上させる光学的メモリの記録方法及び光学的メモリに関する。

10

## 【背景技術】

## 【0002】

従来、この種の光学的メモリ及びその記録方法として図 6 ないし図 8 に示すものがあり、この図 6 は光再構成型ゲートアレイ及び再構成照射手段と一体化した光学的メモリの組合せ構成図、図 7 は図 6 における光再構成型ゲートアレイの光再構成論理ブロックの回路構成図、図 8 は図 6 に記載の光学的メモリに格納する光パターンの記録情報の生成及び格納動作フローチャートを示す。

## 【0003】

20

前記各図において背景技術に係る光学的メモリ 1 は、再生光照射手段 2 及び光再構成型ゲートアレイ 3 の間に所定間隔を隔てて対向状態で介装され、ホログラムメモリで構成される。この再生光照射手段 2 は、光学的メモリ 1 で再生照射光 2 a を発振して照射する面発光レーザで構成され、再生光照射制御手段 4 により再生照明光 2 a の発振及び照射が制御される。この再生照射光 2 a が光学的メモリ 1 に照射されると、この光学的メモリ 1 はホログラムとして記録されるマスクパターンを再生して再生光 1 a の光パターンを光再構成型ゲートアレイ 3 に照射する。

## 【0004】

前記光再構成型ゲートアレイ 3 は、光学的メモリ 1 から照射される光パターンの記録情報に基づいて各種の論理演算回路を再構成する論理演算セル 3 1 をアレイ状に配列して V L S I として構成される。この論理演算セル 3 1 は、8 本の回線からなる配線路 3 2 により接続されると共に、この配線路 3 2 に介装されるスイッチング・マトリクス 3 3 により任意に接続を切替えられる構成である。また、スイッチング・マトリクス 3 3 は、外部からの入力データ S 1 を入力すると共に論理演算セル 3 1 の演算結果を外部へ出力データ S 2 として出力する入出力ポート 3 4 が入出力ブロックパット 3 5 と共に接続される構成である。

30

## 【0005】

次に、前記構成に基づく従来の光学的メモリにおける複数の光パターンの記録情報を格納する動作について説明する。前記光学的メモリを構成する V L S I の配置配線に用いられる評価関数を用いて再構成回路パターンに対応する光パターンを光学的メモリ 1 へ格納する。

40

## 【0006】

まず、再構成回路パターンの各種論理演算回路又は回路素子を乱数を利用して初期配置する（ステップ 2 1）。この初期配置された各種論理演算回路又は回路素子を乱数を利用して初期配線する（ステップ 2 2）。このように初期配置及び初期配線された遅延時間の総和を代入して遅延に関する評価値 D を算出する（ステップ 2 3）と共に、前記配置及び配線された再構成回路パターンが占有する実装面積の総和を代入して面積に関する評価値 S を算出し、この各評価値 S、D に各重み付け値  $K_s$ 、 $K_D$  を乗算する次式（1）の評価式により評価関数値 H（H の値は小さい値ほど最適値と判断）を H 1（1 回目）として求める（ステップ 2 4）。

50

## 【 0 0 0 7 】

$$H = K_s \cdot S + K_D \cdot D \quad \cdot \cdot \cdot (1)$$

$K_s$  ; 実装面積の評価に対する重み付け値

$K_D$  ; 遅延時間の評価に対する重み付け値

この各重み付け値は、実装面積を重視した設計又は遅延時間 (= 演算速度) を重視した設計のいずれかを重要視するかにより、各値が決定されることとなる。

## 【 0 0 0 8 】

次に、前記ステップ 2 1 の場合と同様に、再構成回路パターンの各種論理演算回路又は回路素子を乱数を利用して 2 回目を再配置する (ステップ 2 5)。この 2 回目の再配置された各種論理演算回路又は回路素子を乱数を利用して 2 回目を再配線する (ステップ 2 6) 。このように 2 回目の再配置及び 2 回目再配線された再構成回路パターンについて回路遅延の遅延時間を算出する (ステップ 2 7)。

10

## 【 0 0 0 9 】

前記ステップ 2 4 の初期配置・配線の場合と同様に 2 回目の再配置及び再配線の算出値を前記式 (1) の評価式により 2 回目の評価関数値  $H_2$  を求め (ステップ 2 8 - 1)、2 回目の評価関数値  $H_2$  が前記の評価関数値  $H_1$  と比較して下がっているか否かを判断する (ステップ 2 8 - 2)。

前記評価関数値  $H_2$  が下がっていると判断された場合には、そのレイアウトを採用し (ステップ 2 9 - 1)、他方下がっていないと判断された場合には、当該レイアウトを破棄して他の乱数値を元にする (ステップ 2 9 - 2)。

20

## 【 0 0 1 0 】

前記ステップ 2 9 - 1 で採用されたレイアウトにおける評価関数値が目標値に達しているか否かを判断し (ステップ 3 0)、目標値に達していれば終了する。他方、目標値に達していないと判断された場合、及び前記ステップ 2 9 - 2 で他の乱数値を元にする場合、前記ステップ 2 5 に戻り再度評価関数値を求めて評価関数値が目標値に達したか否かを繰り返して判断されることとなる (ステップ 2 5 ないしステップ 3 0)。

【特許文献 1】特開 2 0 0 5 - 5 1 0 5 9 号公報

【特許文献 2】特開 2 0 0 5 - 4 5 1 3 0 号公報

【発明の開示】

【発明が解決しようとする課題】

30

## 【 0 0 1 1 】

前記背景技術に係る光学的メモリの記録方法は以上のように構成され、実行されていたことから、光学的メモリ 1 へ光パターンを書き込む際に、光再構成型ゲートアレイ 3 を VLSI として形成される多数の論理演算セル 3 1 及びスイッチング・マトリクス 3 3 に対して全面に照射する再生光 1 a としての光パターンに対応する光パターンの記録情報をホログラムとして記録されることとなり、光再構成速度を高めることができないという課題を有していた。

## 【 0 0 1 2 】

即ち、光学的メモリ 1 に記録されたホログラムの複数の記録情報は、これらの記録情報相互間で何ら関連を考慮されることなく格納動作が実行されていたことから、光再構成される論理演算セル 3 1 又はスイッチング・マトリクス 3 3 が同一の論理演算回路又は同一の接続関係であるにも拘わらず同一の光パターンの再生光 1 a を光学的メモリ 1 に記録される。このように記録された光学的メモリ 1 から射出される光パターンは、光再構成型ゲートアレイ 3 の全領域に対応するビット数となり、より多くのビット数で全領域に均一に拡散照射されていることから特定領域に集中した高いエネルギーによる論理演算セル 3 1 の再構成を高速化できない。

40

## 【 0 0 1 3 】

本発明は、前記課題を解消するためになされたもので、光学的メモリに格納する動的再構成の光パターン相互間に関連付けて記録して光パターンを集中照射することにより光再構成速度を飛躍的に向上させることができる光学的メモリの記録方法及び光学的メモリを

50

提供することを目的とする。

【課題を解決するための手段】

【0014】

本発明に係る光学的メモリの記録方法は、再構成回路パターンに対応する光パターンの照射により各種の論理演算回路を再構成する論理演算セルをアレイ状に配列されてなる光再構成型ゲートアレイに対して照射する光パターンの記録情報を光学的メモリに複数格納する光学的メモリの記録方法において、前記再構成される複数の再構成回路パターン中で共通する論理演算セルが同じ配設領域となるように前記複数の光パターンの記録情報を光学的メモリに格納するものである。

【0015】

本発明に係る光学的メモリの記録方法は必要に応じて、光再構成型ゲートアレイに対して光パターンがビット数で照射され、当該光パターンの照射による任意部分の再構成がより少ないビット単位となるように複数の光パターンの記録情報を光学的メモリに格納するものである。

【0016】

本発明に係る光学的メモリの記録方法は必要に応じて、光パターンを照射する領域の照射面積及び/又は光パターンで再構成される再構成回路パターンの配線遅延時間がより小さくなるように複数の光パターン記録情報を光学的メモリに格納するものである。

【0017】

本発明に係る光学的メモリの記録方法は必要に応じて、照射面積、配線遅延時間及び光パターンのビット数により各々任意の重み付けを付与し、当該重み付けに基づく評価関数により複数の光パターンの記録情報を光学的メモリに格納するものである。

【0018】

本発明に係る光学的メモリの記録方法は必要に応じて、再構成される複数の再構成回路パターン中で論理演算回路の回路構成が近似する論理演算セルが同じ配設領域となるように複数の光パターンの記録情報を光学的メモリに格納するものである。

【0019】

本発明に係る光学的メモリの記録方法は必要に応じて、論理演算回路を一の論理演算セルと他の論理演算セルとを配線で接続するように複数の光パターンの記録情報を光学的メモリに格納するものである。

【0020】

本発明に係る光学的メモリは、再構成回路パターンに対応する光パターンの照射により各種の論理演算回路を再構成する論理演算セルをアレイ状に配列されてなる光再構成型ゲートアレイに対して照射する光パターンの記録情報を複数格納する光学的メモリにおいて、前記再構成される複数の再構成回路パターン中で共通する論理演算セルが同じ配設領域となる前記複数の光パターンの記録情報を格納するものである。

【0021】

本発明に係る光学的メモリは必要に応じて、光再構成型ゲートアレイに対して光パターンをビット単位で照射し、当該光パターンの照射による任意部分の再構成がより少ないビット数となる複数の光パターンの記録情報を格納するものである。

【0022】

本発明に係る光学的メモリは必要に応じて、光パターンを照射する領域の照射面積、光パターンで再構成される再構成回路パターンの配線遅延時間、及び前記光パターンのビット数により各々任意の重み付けを付与し、当該重み付けに基づく評価関数により複数の光パターンを格納するものである。

【発明の効果】

【0023】

このように本発明においては、再構成回路パターンに対応する光パターンの照射により各種の論理演算回路を再構成する論理演算セルをアレイ状に配列されてなる光再構成型ゲートアレイに対して照射する光パターンの記録情報を複数格納する光学的メモリの記録方

10

20

30

40

50

法において、前記再構成される複数の再構成回路パターン中で共通する論理演算セルが同じ配設領域となるように前記複数の光パターンの記録情報を光学的メモリに格納することにより、複数の再構成回路パターン相互間の関連を付けて共通しない論理演算セルの差分についてのみ光再構成を行うこととなり、光再構成の速度を飛躍的に向上させることができるという効果を有する。特に、光学的メモリをホログラムメモリで形成して論理演算セルにビット単位で部分的な光再構成を行う場合には、より少ないビット数に光パターンの再生光を集光してより高い光エネルギーで光再構成できることから、より高速な光再構成が可能となる。

#### 【0024】

本発明に係る光学的メモリは、再構成回路パターンに対応する光パターンの照射により各種の論理演算回路を再構成する論理演算セルをアレイ状に配列されてなる光再構成型ゲートアレイに対して照射する光パターンの記録情報を複数格納する光学的メモリにおいて、前記再構成される複数の再構成回路パターン中で共通する論理演算セルが同じ配設領域となる前記複数の光パターンの記録情報を格納することにより、複数の再構成回路パターン相互間の関連を付けて共通しない論理演算セルの差分についてのみ光再構成を行うこととなり、光再構成の速度を飛躍的に向上させることができるという効果を有する。

10

#### 【発明を実施するための最良の形態】

#### 【0025】

(本発明の第1の実施形態)

以下、本発明の第1の実施形態に係る光学的メモリを図1に基づいて図6、図7を参照して説明する。この図1は本実施形態に係る光学的メモリの記録方法の動作フローチャートを示す。

20

前記各図において本発明の第1の実施形態に係る光学的メモリは、光学的メモリ1へ光再構成回路パターンに対応する光パターンの記録情報を格納する場合に、再構成される複数の再構成回路パターン中で光再構成型ゲートアレイ3における共通する論理演算セル31、又は近似する論理演算セル31が存在するか否か、また論理演算セル31を接続する他の論理演算セル31が存在するか否かにより、光パターンのうちの共通する部分、又は近似する部分を同じ配設領域となるように複数の光パターンを格納する構成である。

#### 【0026】

前記光学的メモリ1は、前記背景技術の場合と同様にホログラムメモリ等の光学的な記録・再生が可能なメモリで形成され、再生光照射手段2及び光再構成型ゲートアレイ3の間の対向状態で介装される構成である。このホログラムメモリ等からなる光学的メモリ1は、レーザをアレイ状に配列した面発光レーザで形成される再生光照射手段2から照射される再生照射光2aの照射角度により、複数格納される光パターンの記録情報を選択して再生光1aの光パターンを光再構成型ゲートアレイ3に照射する構成である。また、前記再生照射光2aの照射角度は、再生光照射制御手段4によって制御される。

30

#### 【0027】

次に前記構成に基づく本実施形態に係る光学的メモリの記録方法において複数の光パターンの記録情報を格納する動作について説明する。まず、書込み装置(図示を省略)が予め作成された再構成回路パターンを複数読み込み(ステップ1)、この読み込まれた装置の再構成回路パターン相互間で光再構成型ゲートアレイ3の論理演算セル31に相当する部分の論理演算回路の部分抽出する(ステップ2)。

40

#### 【0028】

この抽出された各論理演算回路が各再構成回路パターン相互間の共通部分があるか否かを判断する(ステップ3)。共通部分が存在すると判断された場合には、この共通部分の論理演算回路に対応する光パターンの共通位置に配置するように格納する(ステップ4)。

この共通部分以外に各再構成回路パターン相互間で非共通部分が存在すると判断された場合、及び前記ステップ3で共通部分がないと判断された場合には、さらに各再構成回路パターン相互間で論理演算回路について近似する部分が存在するか否かを判断される(ス

50

テップ 6)。

【0029】

前記ステップ 6 において近似する論理演算回路に対応する光パターンの共通位置に配置するように光学的メモリ 1 に格納する(ステップ 7)。前記配置された共通部分及び近似する部分の論理演算回路(任意の論理演算セル 3 1 に相当)が他の論理演算セル 3 1 との接続が必要か否かを判断する。他の論理演算セル 3 1 との接続が必要であると判断された場合には、接続する論理演算セル 3 1 相互間の配線路 3 2 中に設けられたスイッチング・マトリクス 3 3 を選択的に接続する再生光 1 a が照射されるように光パターンを光学的メモリ 1 に格納する。

【0030】

前記ステップ 6 で論理演算回路の近似する部分が存在しないと判断された場合、及びステップ 8 で他の論理演算セル 3 1 との接続がないと判断された場合には、LSI、VLSI 等の一般的設計に用いられる配置・配線の最適化手法により再構成回路パターンの全体について光パターンを特定して光学的メモリ 1 に格納する(ステップ 10)。

【0031】

以上のように本実施形態においては、ホログラムメモリで形成される光学的メモリに複数の再構成回路パターン相互間の共通する論理演算セル 3 1 を関連付けて共通位置に格納し、光再構成において共通しない論理演算セル 3 1 の差分についてのみ光再構成を行うこととなり、光再構成の速度を飛躍的に向上させることができる。

【0032】

(本発明の第 2 の実施形態)

本発明の第 2 の実施形態に係る光学的メモリの記録方法を図 2 ないし図 5 に基づき図 6 及び図 7 を参照して説明する。この図 2 は本実施形態に係る光学的メモリの記録方法の動作フローチャート、図 3 は前記図 7 における論理演算セルの詳細回路ブロック図、図 4 は前記図 7 におけるスイッチング・マトリクスの詳細回路図、図 5 は本実施形態に係る光学的メモリの記録方法により再構成された再生回路パターン構成図を示す。

【0033】

前記各図において本実施形態に係る光学的メモリの記録方法は、光学的メモリ 1 に対向配設される光再構成型ゲートアレイ 3 に対して光学的メモリ 1 からビット単位で照射される複数の光パターンの記録情報を、この光パターンの照射による任意部分の光再構成がより少ないビット数、回路遅延及び小さな回路占有面積となるように格納する構成である。この光パターンが照射される任意部分は、順次光再構成される相前後する二つの光パターン相互間において、光再構成型ゲートアレイ 3 の論理演算セル 3 1 により光再構成される光パターンによる再構成回路パターンとの各論理演算セル 3 1 が異なる論理演算回路(異なる機能部分; 差分)について、その光パターンの照射による光再構成がより少ないビット数(差分ビット数)となるように複数の光パターンの記録情報が光学的メモリ 1 に格納される。

【0034】

前記光パターンの各ビット毎の照射は光再構成型ゲートアレイ 3 の論理演算セル 3 1、スイッチング・マトリクス 3 3 に配設されるフォトダイオード P に対して照射される構成である。このフォトダイオード P の配設機構を図 3 及び図 4 に示す。同図において論理演算セル 3 1 は、入力部に配設された 4 つのマルチプレクサ(MUX) 3 1 1、4 入力 1 出力のルックアップ・テーブル(LUT) 3 2 0、D フリップ・フロップ 3 3 0、D フリップ・フロップ 3 3 0 の出力の切換えを行うマルチプレクサ 3 4 0、マルチプレクサ 3 4 0 の出力ノードと 8 本の配線 1 8 との間に設けられた 8 つのスリーステート・バッファ 3 5 0 及び D フリップ・フロップ 3 3 0 のクリア(CLR)信号の切り替えを行うマルチプレクサ 3 6 0 を有し、前記 D フリップ・フロップ 3 3 0 以外の各素子にフォトダイオード P を備える構成である。また、前記スイッチング・マトリクス 3 3 は、縦横に格子状に配設された各 8 本の配線路 3 2 の組の交点に設けられたクロスバスイッチであり、それぞれ垂直に交差する配線同士を結合する役割を有する。1 つのスイッチング・マトリクス 3 3

10

20

30

40

50

には、8本の配線路32の交点に設けられた8個の4方向スイッチ333が接続され、この各4方向スイッチ333に各々フォトダイオードPを備える構成である。

【0035】

次に前記構成に本実施形態に係る光学的メモリの記録方法における複数の光パターンの記録情報を格納する動作について説明する。前提として光学的メモリ1に複数格納される光パターンの記録情報に対応する再構成回路パターンに関して算出される各種算出値は図示を省略する書込み装置の記録部に順次格納され、当該再構成回路パターンのレイアウトを決定するに際して、前回の各種算出値が前記記録部から読み出される。

【0036】

まず、前記背景技術に係る光学的メモリの場合と同様に、再構成回路パターンの各種論理演算回路又は回路素子を乱数を利用して初期配置する(ステップ11)。この初期配置された各種論理演算回路又は回路素子を乱数を利用して初期配線する(ステップ12)。

10

【0037】

このように初期配置及び初期配線された遅延時間の総和を代入して遅延に関する評価値Dを算出すると共に、前記配置及び配線された再構成回路パターンが占有する実装面積の総和を代入して面積に関する評価値Sを算出し、さらに前回の再構成回路パターンとの差分に対応するビット数を評価値Nとして抽出する(ステップ13)。前記、各評価値S、D、Nに各重み付け値 $K_S$ 、 $K_D$ 、 $K_N$ を乗算する次式(2)の評価式により評価関数値H値(Hの値は小さいほど最適値と判断)をH1(1回目)として求める(ステップ24)。

20

【0038】

$$H = K_S \cdot S + K_D \cdot D + K_N N \quad \dots (2)$$

$K_S$ ; 実装面積の評価に対する重み付け値

$K_D$ ; 遅延時間の評価に対する重み付け値

$K_N$ ; 差分ビット数の評価に対する重み付け値

この各重み付け値は、実装面積を重視した設計又は遅延時間(=演算速度)を重視した設計のいずれかを重要視するかにより、各値が決定されることとなる。

【0039】

次に、前記ステップ11の場合と同様に、再構成回路パターンの各種論理演算回路又は回路素子を乱数を利用して2回目を再配置する(ステップ15)。この2回目の再配置された各種論理演算回路又は回路素子を乱数を利用して2回目を再配線する(ステップ16)。このように次回の再配置及び次回に再配線された再構成回路パターンについて回路遅延の遅延時間、再構成回路パターンが占有する実装面積及び差分ビット数を算出する(ステップ17)。

30

【0040】

前記ステップ14の初期配置・配線の場合と同様に次回の再配置及び再配線の算出値を前記式(2)の評価式により次回の評価関数値H2を求め(ステップ18-1)、次回の評価関数値H2が前回の評価関数値H1と比較して下がっているか否かを判断する(ステップ18-2)。

前記評価関数値H2が下がっていると判断された場合には、そのレイアウトを採用し(ステップ19-1)、他方下がっていないと判断された場合には、当該レイアウトを破棄して他の乱数値を元にする(ステップ19-2)。

40

【0041】

前記ステップ29-1で採用されたレイアウトにおける評価関数値が目標値に達しているか否かを判断し(ステップ20)、目標値に達していれば終了する。他方、目標値に達していないと判断された場合、及び前記ステップ19-2で他の乱数値を元にする場合、前記ステップ15に戻り再度評価関数値を求めて評価関数値が目標値に達したか否かを繰り返して判断されることとなる(ステップ15ないしステップ20)。

【0042】

このステップ15ないしステップ20における評価関数値を下げる具体例を図5(A)

50

、(B)、(C)に基づいて説明する。同図(A)において相前後で光再構成する二つの再構成回路パターンにおける論理演算セル31が同じ論理演算回路であれば、ノット回路NOT1、NOT2、アンド回路AND1、AND2、AND3及びオア回路OR1が各々同一の回路構成であることから、この論理演算セル31に対する再生光1aの照射を必要としない光パターンの記録情報を光学的メモリ1に格納することとなる。

【0043】

また、同図(B)に示すような再構成回路パターンにおいて、前回の再構成回路パターンが同図(A)に示す再構成回路パターンである場合には、アンド回路AND3とノット回路NOT3との相違に基づく差分ビット数の再生光1aを論理演算セル31へ照射するような光パターンの記録情報を光学的メモリ1に格納することとなる。特に、このアンド回路AND3とノット回路NOT3とが近似する回路構成である場合には、より少ない差分ビット数の再生光1aとすることができる。

10

【0044】

さらに、同図(C)に示すような再構成回路パターンにおいて、前回の再構成回路パターンが同図(A)に示す再構成回路パターンである場合に、アンド回路AND3とノット回路NOT3とが全く異なる回路構成であるときには、前回の再構成回路パターンにおける他の論理演算セル31におけるノット回路NOT4を接続して回路構成する光パターンの記録情報を光学的メモリ1に格納することとなる。この任意の論理演算セル31における論理演算回路と他の論理演算セル31における論理演算回路との接続は、配線路32中に配設される任意のスイッチング・マトリクス33の4方向スイッチ333を選択駆動させることにより実行される。このように論理演算回路を論理演算セル31で新たに光再構成することなく、前回再構成回路パターンを極めて少ないビット数の光パターンで集光照射することにより再構成を飛躍的に高速化できることとなる。

20

【0045】

(本発明の他の実施形態)

なお、前記第1の各実施形態に係る光学的メモリの記録方法においては、光学的メモリ1へ光再構成回路パターンに対応する光パターンの記録情報を格納する場合に、再構成される複数の再構成回路パターン中で光再構成型ゲートアレイ3における共通する論理演算セル31、又は近似する論理演算セル31が存在するか否か、また論理演算セル31を接続する他の論理演算セル31が存在するか否かをいずれも判断する対象としたが、いずれか一方のみを対象とする構成とすることもできる。

30

【0046】

また、前記第2の実施形態に係る光学的メモリの記録方法においては、回路遅延、回路占有面積を差分ビット数と併せて評価関数値を算出する構成としたが、回路遅延又は回路占有面積のいずれか一方のみを差分ビット数と併せて評価関数値を算出する構成とすることもできる。

【0047】

また、第1の実施形態に係る光学的メモリの記録方法の動作フローチャートに引き続いて第2の実施形態に係る光学的メモリの記録方法の動作フローチャートを実行する構成とすることもできる。このように各々を連続して光学的メモリ1への光パターンの記録情報を格納するようにしているので、より少ない差分ビット数でより高速な光再構成が可能となる。

40

【図面の簡単な説明】

【0048】

【図1】本発明の第1の実施形態に係る光学的メモリの記録方法の動作フローチャート図である。

【図2】本発明の第2の実施形態に係る光学的メモリの記録方法の動作フローチャートである。

【図3】本発明の第2の実施形態に係る光学的メモリの記録方法の図7における論理演算セルの詳細回路ブロック図である。

50

【図4】本発明の第2の実施形態に係る光学的メモリの記録方法の図7におけるスイッチング・マトリクスの詳細回路図である。

【図5】本発明の第2の実施形態に係る光学的メモリの記録方法により再構成された再生回路パターン構成図である。

【図6】背景技術に係る光再構成ゲートアレイ及び再構成照射手段と一体化した光学的メモリの組合わせ構成図である。

【図7】図6における光再構成ゲートアレイの光再構成論理ブロックの回路構成図である。

【図8】図6に記載の光学的メモリに格納する光パターンの記録情報の生成及び格納動作フローチャートである。

10

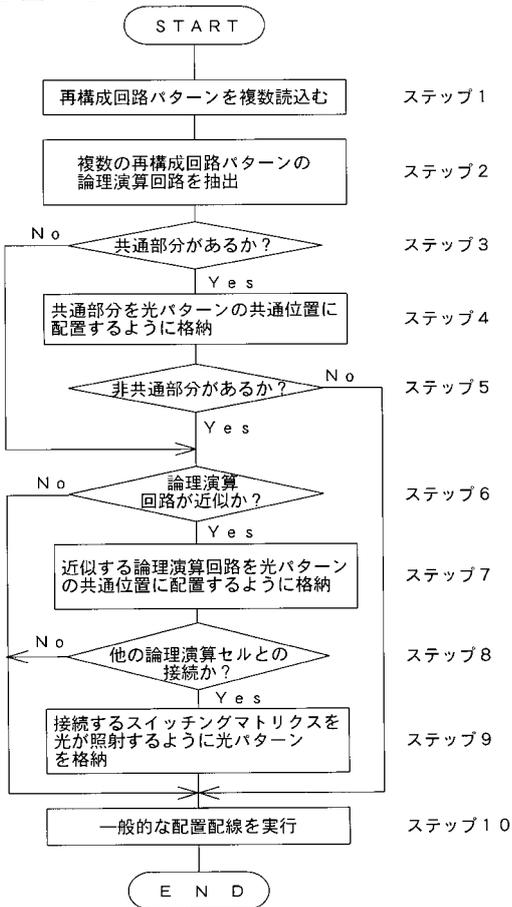
【符号の説明】

【0049】

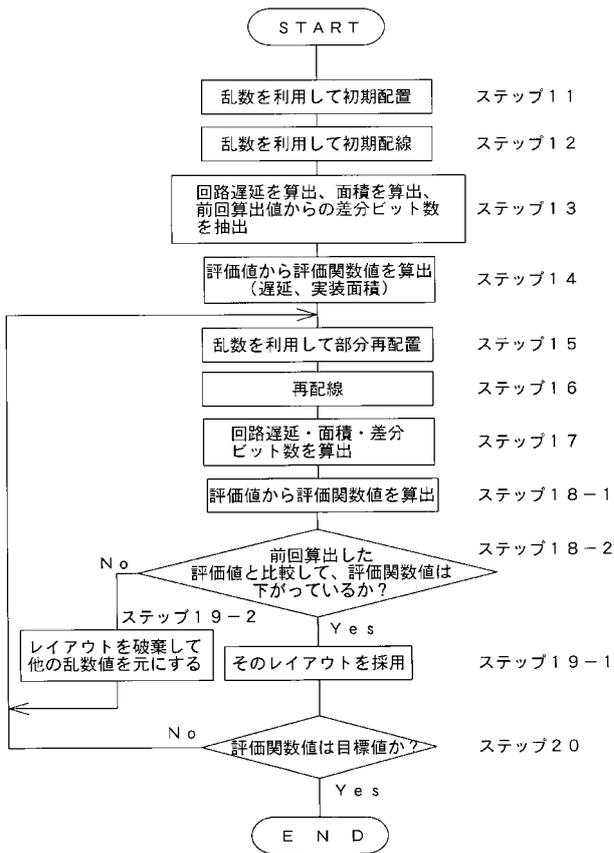
- 1 光学的メモリ
- 16
- 2 再生光照射手段
- 3 光再構成型ゲートアレイ
- 31 論理演算セル
- 32 配線路
- 33 スwitching・マトリクス
- 34 入出力ポート
- 35 入出力ブロックパット
- 311、322、340、360 マルチプレクサ
- 333 4方向スイッチ
- 320 ルックアップ・テーブル
- 330 Dフリップフロップ
- 350 スリーステート・バッファ0
- 4 再生光照射制御手段

20

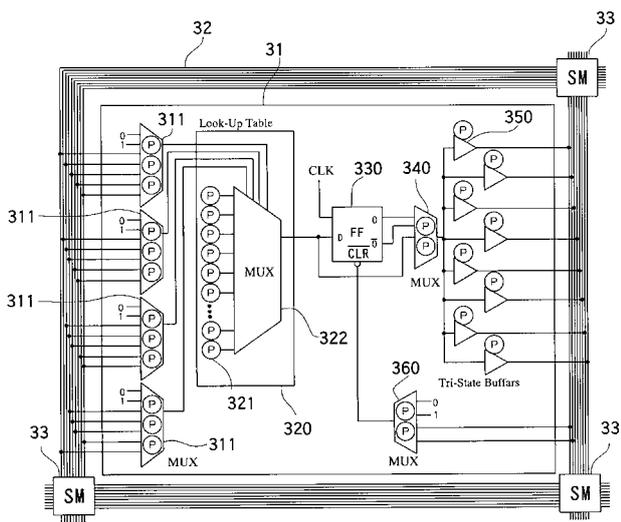
【 図 1 】



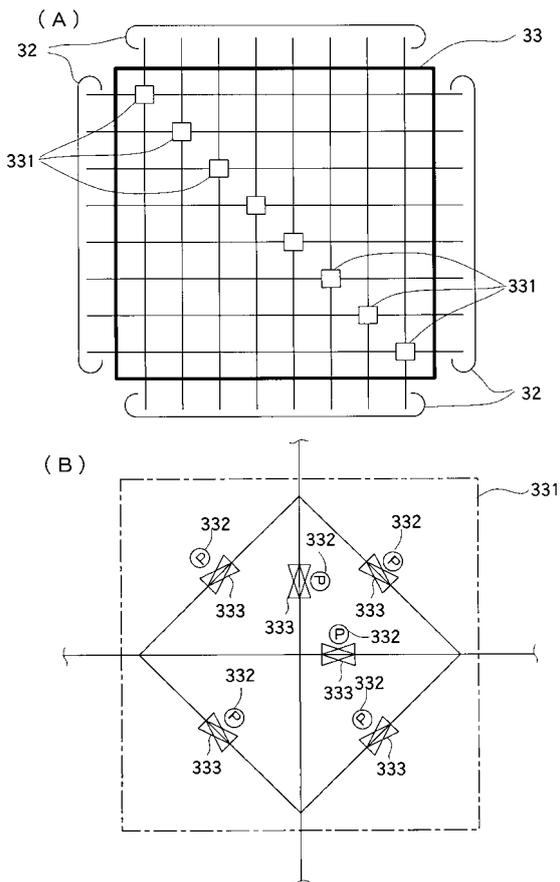
【 図 2 】



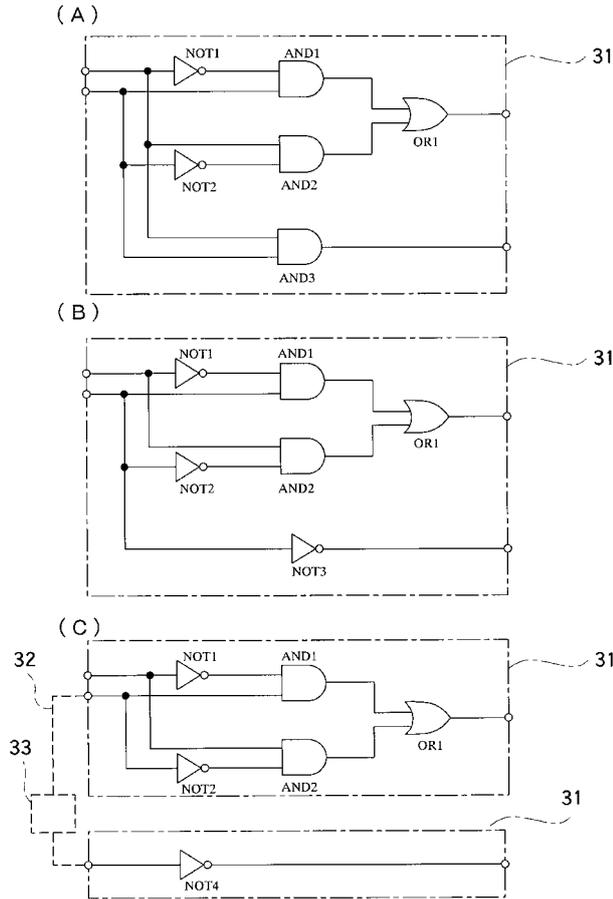
【 図 3 】



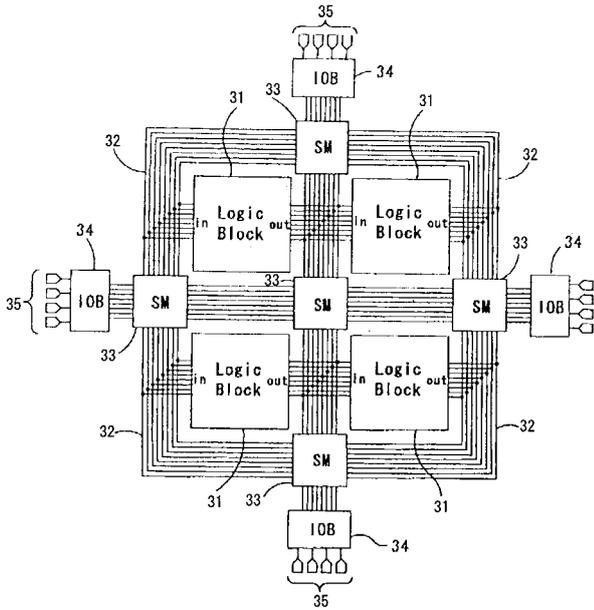
【 図 4 】



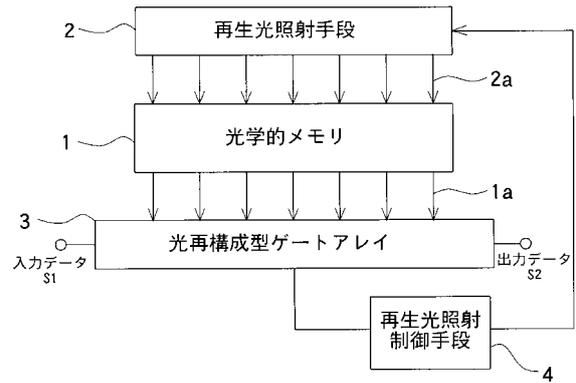
【図5】



【図7】



【図6】



【図8】

