

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3994170号
(P3994170)

(45) 発行日 平成19年10月17日(2007.10.17)

(24) 登録日 平成19年8月10日(2007.8.10)

(51) Int. Cl. F I
 HO 1 P 3/02 (2006.01) HO 1 P 3/02
 HO 1 P 1/18 (2006.01) HO 1 P 1/18

請求項の数 2 (全 9 頁)

<p>(21) 出願番号 特願2005-269670 (P2005-269670) (22) 出願日 平成17年9月16日(2005.9.16) (65) 公開番号 特開2007-82046 (P2007-82046A) (43) 公開日 平成19年3月29日(2007.3.29) 審査請求日 平成17年9月16日(2005.9.16)</p> <p>特許法第30条第1項適用 2005年3月21日から 24日 社団法人電子情報通信学会主催の「E i C電子 情報通信学会 2005年総合大会」において文書をも って発表</p>	<p>(73) 特許権者 390014306 防衛省技術研究本部長 東京都新宿区市谷本村町5番1号 (74) 代理人 100079290 弁理士 村井 隆 (72) 発明者 内海 要三 東京都新宿区市谷本村町5-1 防衛庁内 (72) 発明者 亀井 利久 東京都新宿区市谷本村町5-1 防衛庁内</p> <p>審査官 岸田 伸太郎</p>
--	---

最終頁に続く

(54) 【発明の名称】 浮遊電極付コプレナー線路

(57) 【特許請求の範囲】

【請求項1】

中心導体と接地導体とを同一平面上に配置したコプレナー線路において、
 前記中心導体と接地導体とからなる線路本体部の両側に間隙を介して対向するようにそれぞれ絶縁配置された浮遊電極と、
 前記線路本体部と前記浮遊電極との間隙の少なくとも一方に配置された液晶層とを備え

、
 前記浮遊電極間、又は前記中心導体と前記接地導体間に電圧を印加することにより、前記液晶層における液晶分子の配向を電界のみで制御できる構造をもつことを特徴とする浮遊電極付コプレナー線路。

【請求項2】

前記線路本体部の両側にスペーサを介して浮遊電極が配置されており、前記線路本体部と前記浮遊電極と前記スペーサで囲まれた間隙に注入された液晶材料で前記液晶層が形成されている請求項1記載の浮遊電極付コプレナー線路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶材料を用いたマイクロ波・ミリ波アダプティブデバイス（適応素子）の開発に好適な伝送線路に係り、とくにコプレナー線路に浮遊電極を付加して液晶層中の液晶分子の配向を電界制御可能とした浮遊電極付コプレナー線路に関する。

【背景技術】

【0002】

近年、変化する無線環境や異なる伝送方式によるサービスをシームレスに送受信できるアダプティブ技術(適応技術)が重要となっている。マイクロ波・ミリ波の伝送線路では、伝送媒体に用いられる磁性体や誘電体の透磁率や誘電率を、外部から印加する磁界や電界の強さや方向を変化させることにより、振幅や位相などの伝送特性を可変制御する技術がある。なお、マイクロ波・ミリ波帯で誘電率を変化できる媒体として液晶が注目されている。

【0003】

液晶は、分子が長楕円体であり、電界を印加するとその電気力線に液晶分子の長軸が平行に並ぶ(配向する)性質がある。一般的には、液晶ディスプレイに応用されているが、この性質を利用してマイクロ波・ミリ波帯で誘電率を変化させることができる。

【0004】

従来、液晶を用いたマイクロ波・ミリ波アダプティブデバイスは、マイクロストリップ線路で構成されている場合がほとんどである(例えば、非特許文献1参照。)

【0005】

【非特許文献1】「電子情報通信学会論文誌, Vol. J87-C, No.1 (2004), p.39.」

【0006】

以下、図6及び図7により従来のマイクロストリップ線路を用いた液晶装荷アダプティブデバイスの構造と誘電体層として用いる液晶層の誘電率が変化する原理について説明する。

【0007】

マイクロストリップ線路は、誘電体基板の上面に中心導体を下面に接地導体を配置した構造である。液晶装荷マイクロストリップ線路デバイスは誘電体層を液晶層に置き換えた構造である。

【0008】

図6及び図7は液晶装荷マイクロストリップ線路デバイスの断面図であり、図6は直流電界印加時、図7は直流電界無印加状態である。このデバイスの構造は、液晶層4の界面に液晶分子の初期配向を与えるラビング処理を施した配向膜1があり、中心導体2と接地導体3との間に液晶材料が充填されて液晶層4を構成している。白く示したものは液晶分子5を拡大したイメージである。破線6はマイクロストリップ線路を伝送する高周波電界の電気力線を示している。実線7は、直流電界の電気力線である。

【0009】

図6のように、中心導体2と接地導体3の間に直流電界を印加すると、液晶分子は、図示のように高周波電界の接線方向に液晶分子の長軸方向が平行に並ぶ。このときにマイクロストリップ線路を伝搬している高周波が感じる液晶層4の実効誘電率を ϵ_1 (高周波電界と長軸方向が平行な時の実効誘電率)と定義する。

【0010】

電界印加前には配向膜1のラビング処理の初期配向(液晶分子の長軸が配向膜1の方向に揃う)により、液晶分子の長軸は高周波電界と垂直に並んでいるが、直流電界を印加した瞬間に、高周波電界と平行になる。このときの応答時間を立ち上がり時間と定義する。電界で制御しているため電界の大きさに比例して高速に応答する。

【0011】

図7のように、中心導体2と接地導体3との間に直流電界が無印加な状態のときには、液晶分子は、図示のように高周波電界の接線方向に液晶分子の長軸方向が垂直に並ぶ。このときに高周波が感じる液晶層4の実効誘電率を ϵ_2 (高周波電界と長軸方向が垂直な時の実効誘電率)と定義する。

【0012】

液晶分子の長軸が高周波電界と平行に並んでいるときの実効誘電率 ϵ_1 と、高周波電界に垂直に並んでいるときの実効誘電率 ϵ_2 との差、即ち誘電異方性 $\Delta\epsilon$ ($=\epsilon_1 - \epsilon_2$)

10

20

30

40

50

'₂) が大きいほどアダプティブデバイスに適している。

【0013】

直流電界を印加された状態から無印加の状態に切り替えたとき、液晶分子の長軸方向が高周波電界に垂直になるまでの応答時間を立ち下がり時間と定義する。このとき液晶分子を拘束する力は液晶材料からなる液晶層4の界面に施されたラビング処理の機械的拘束力のみのため非常に遅い応答となり、また、立ち下がり時間は液晶層厚の2乗に比例して大きくなる。なお、マイクロストリップ線路は、液晶層厚を小さくすると挿入損失が増大するという制限があるため高速化が図れない。

【0014】

上記のように、立ち上がり時間は液晶層に印加される電界により制御されるため高速に 10
応答するが、立ち下がり時間は液晶層界面に施されたラビング処理による機械的配向力に
依存することから、液晶層厚の2乗で決定されるため、よく用いられている層厚100μ
m程度の場合には立ち上がり時間に比較して1000倍以上遅い応答時間を要するという
問題があった。

【0015】

このような問題を解決する方法として、いくつかの提案があり、例えば、下記非特許文
献2, 3, 4がある。

【0016】

【非特許文献2】「Microwave variable delay line using a membrane impregnated with liquid crystal, IEICE Trans. Electron., Vol.E86-C, No.8, pp.1699-1703 (2003) 20
」

【非特許文献3】「ポリマー分散液晶の応答時間特性、電子情報通信学会技術報告、MW20
04-172 (2004-10)」

【非特許文献4】「ポリマー分散液晶の層厚変化に対する応答時間特性、電子情報通信学
会技術報告、MW2004-212 (2005-1)」

【0017】

非特許文献2は、応答時間の高速化に効果があるが、印加電圧が450Vと従来よりも
大きな電圧が必要である。また非特許文献3, 4については、立ち下がり時間が数十秒か
ら数百ミリ秒にまで改善されているが、立ち上がり時間に比べるとさらなる改善が望まれ
る。非特許文献2~4のいずれもマイクロストリップ線路構造であり、この構造では、印 30
加電界による配向強制力で立ち上がり時間が決定され、液晶層界面に施したラビング処理
による機械的拘束力で立ち下がり時間が決定される。そのため原理的に立ち下がり時間を
高速化することが困難である。

【発明の開示】

【発明が解決しようとする課題】

【0018】

液晶を用いたマイクロ波・ミリ波アダプティブデバイスにおいて、従来は、マイクロス
トリップ線路で構成される場合がほとんどであった。マイクロストリップ線路構造の場合
には、液晶材料をマイクロ波基板に置き換えてアダプティブデバイスを開発する際、その
応答時間の高速化が課題であった。上記のように、マイクロストリップ線路構造では、印 40
加電界による配向強制力で立ち上がり時間が決定され、液晶層界面に施したラビング処理
による機械的拘束力で立ち下がり時間が決定される。そのため原理的に立ち下がり時間を
高速化することが困難であり、立ち下がり時間の高速化が、実用上解決しなければならない
重要な課題であると考えられる。

【0019】

今までは液晶材料にポリマーを分散させ、材料自身の工夫で応答時間の高速化を図って
きたが、本発明は、回路技術の工夫により、電界のみの制御により高速応答、とくに立ち
下がり時間の高速化を実現した浮遊電極付コプレーナ線路を提供するものである。

【0020】

本発明のその他の目的や新規な特徴は後述の実施の形態において明らかにする。 50

【課題を解決するための手段】**【0021】**

上記目的を達成するために、本発明は、中心導体と接地導体とを同一平面上に配置したコプレナー線路において、

前記中心導体と接地導体とからなる線路本体部の両側に間隙を介して対向するようにそれぞれ絶縁配置された浮遊電極と、

前記線路本体部と前記浮遊電極との間隙の少なくとも一方に配置された液晶層とを備え

、前記浮遊電極間、又は前記中心導体と前記接地導体間に電圧を印加することにより、前記液晶層における液晶分子の配向を電界のみで制御できる構造をもつことを特徴としている。

10

【0022】

前記浮遊電極付コプレナー線路において、前記線路本体部の両側にスペーサを介して浮遊電極が配置されており、前記線路本体部と前記浮遊電極と前記スペーサで囲まれた間隙に注入された液晶材料で前記液晶層が形成されるとよい。

【発明の効果】**【0023】**

本発明の浮遊電極付コプレナー線路によれば、液晶分子の配向を電界のみで制御することが可能となる。即ち液晶分子の配向が、コプレナー線路の高周波電界にほぼ垂直な状態と、コプレナー線路の高周波電界にほぼ平行な状態となるように、電界のみで制御できるため、従来のマイクロストリップ線路構造の液晶装荷アダプティブデバイスの応答時間（特に立ち下がり時間）に比べて極めて高速に液晶分子が応答するという大きな効果がある。

20

【0024】

また、本発明によれば、マイクロ波・ミリ波アダプティブデバイスの応答時間を高速化するために、液晶層に印加する電界のみで、液晶層中の液晶分子の配向を制御することが可能であり、液晶層における液晶分子の配向の違いによる実効誘電率の差を利用したマイクロ波・ミリ波素子（例えば、マイクロ波高速可変移相器等）に適用できる。

【発明を実施するための最良の形態】**【0025】**

以下、本発明を実施するための最良の形態として、浮遊電極付コプレナー線路の実施の形態を図面に従って説明する。

30

【0026】

図1乃至図5を用いて本発明に係る浮遊電極付コプレナー線路の実施の形態を説明する。

【0027】

図1(A)、(B)は本発明に係る浮遊電極付コプレナー線路の実施の形態の構造を示す平面図及び正断面図であり、液晶装荷マイクロ波高速可変移相器に本発明を適用した一例である。

【0028】

それらの図に示すように、マイクロ波基板としての誘電体基板11の片面（主面）には中心導体9及び接地導体10が形成されてコプレナー線路が構成されている。この場合、中心導体9及び接地導体10は同一平面上にあり、接地導体10は中心導体9の両側に設けられている。

40

【0029】

同一平面上に配置された前記中心導体9と接地導体10からなるコプレナー線路の本体部（以後、線路本体部という）の一方の面（上面）と他方の面（下面）の両側に、間隙を介して対向するように浮遊電極(floating electrode)8A、8Bが絶縁配置されている。図示の例では、中心導体9及び接地導体10が形成された誘電体波基板11の主面側に低誘電率の誘電体であるスペーサ12を介して一方の浮遊電極8Aが設置され、他方の浮遊

50

電極 8 B は誘電体基板 1 1 の前記主面の反対面である裏面に形成されている。この場合、誘電体基板 1 1 自体が前記線路本体部と浮遊電極 8 B 間のスペーサとして機能し、浮遊電極 8 B を支えている。

【 0 0 3 0 】

前記線路本体部と浮遊電極 8 A とスペーサ 1 2 で囲まれた間隙（誘電体基板 1 1 とスペーサ 1 2 と浮遊電極 8 A とで閉じられた空間）に液晶材料が注入（充填）されて、前記線路本体部と浮遊電極 8 A 間に介在する液晶層 4 が形成されている

【 0 0 3 1 】

前記液晶層 4 における液晶分子の配向を制御するためのバイアス電圧は、外部回路により次のように制御する。第 1 状態を、上下に設置した浮遊電極 8 A , 8 B に正電圧と負電圧とを印加すると同時に、コプレナー線路の中心導体 9 を接地（共通アース）GND とするバイアス電界印加法と定義する。但し、この場合、コプレナー線路の接地導体 1 0 も接地されている。

【 0 0 3 2 】

第 2 状態を、上下に設置した浮遊電極 8 A , 8 B は浮遊状態とし、コプレナー線路の中心導体 9 に正電圧を印加し、コプレナー線路の接地導体 1 0 は接地（共通アース）GND とするバイアス電界印加法と定義する。

【 0 0 3 3 】

図 2 及び図 4 は、第 1 及び第 2 状態を切り替えて実現するための具体例で、3 個のスイッチ SW 1 , SW 2 , SW 3 を用いて前記第 1 状態（図 2 に図示の状態）と第 2 状態（図 4 に図示の状態）を切り替え可能である。図 2 に図示の第 1 状態では前記線路本体部の上面側に設置した浮遊電極 8 A には正の電圧が印加され、下面側に設置した浮遊電極 8 B には負の電圧が印加された状態にある。同時に、コプレナー線路の中心導体 9 は共通アースに接地される。

【 0 0 3 4 】

このとき、スイッチ SW 1 , SW 2 , SW 3 を第 1 状態側に入れた瞬間に、液晶層 4 中の液晶分子 5 の長軸方向はコプレナー線路の高周波電界 6 とほぼ垂直に瞬時に配向する。

【 0 0 3 5 】

図 3 は前記第 1 状態における液晶分子 5 の配向の説明図である。高周波電界 6 は破線で、上面の浮遊電極 8 A から中心導体 6 への直流電界（バイアス電界）7 は直線で示している。液晶分子 5 の長軸が直流電界の電気力線と一致するように並ぶ。即ち液晶の長軸方向は高周波電界 6 とほぼ垂直になる。このときの液晶層 4 の実効誘電率を ϵ_2 （高周波電界と長軸方向が垂直な時の実効誘電率）とする。

【 0 0 3 6 】

図 4 に図示の第 2 状態では、上面側及び下面側に設置した浮遊電極 8 A , 8 B はスイッチ SW 1 , SW 2 , SW 3 により浮遊の状態に切り替えられる。同時に、コプレナー線路の中心導体 9 には正の電圧が印加される。

【 0 0 3 7 】

このとき、スイッチ SW 1 , SW 2 , SW 3 を第 2 状態側に入れた瞬間に、液晶分子 5 の長軸方向はコプレナー線路の高周波電界 6 とほぼ平行に瞬時に配向する。

【 0 0 3 8 】

図 5 は第 2 状態における液晶分子 5 の配向の説明図である。直流電界（バイアス電界）7 及び液晶分子 5 間の影響によって液晶分子 5 の長軸が電気力線の接線方向におおむね平行に並ぶ。そのとき、コプレナー線路を伝わる高周波電界 6 は中心導体 9 から接地導体 1 0 へ図中に破線で示したとおりである。高周波電界の接線方向と液晶分子 5 の長軸はおおむね一致する。液晶分子 5 の長軸と高周波電界 6 の接線方向が一致するときの液晶の実効誘電率を ϵ_1 （高周波電界と長軸方向が平行な時の実効誘電率）とする。

【 0 0 3 9 】

以上述べてきたように、コプレナー線路を伝送する高周波が感じる実効誘電率が液晶分子の長軸の向きにより変化する。この実効誘電率の差、すなわち、誘電異方性

10

20

30

40

50

$\theta = \theta_1 - \theta_2$) が大きいほどアダプティブデバイスに適している。

【 0 0 4 0 】

この実施の形態によれば、次の通りの効果を得ることができる。

【 0 0 4 1 】

(1) 同一平面上に配置された中心導体 9 と接地導体 10 とからなる線路本体部の一方の面と他方の面の両側に間隔をおいて絶縁配置された浮遊電極 8 A , 8 B と、前記線路本体部と浮遊電極 8 A の間隙に配置された液晶層 4 とを備えた構造とすることにより、液晶層 4 における液晶分子 5 の配向をバイアス電界のみで制御することが可能となる。即ち液晶分子 5 の配向は、浮遊電極 8 A , 8 B 間にバイアス電界 (直流電界) を印加した第 1 状態ではコプレナー線路を伝搬する高周波電界にほぼ垂直であり、コプレナー線路の中心導体 9 と接地導体 10 間にバイアス電界 (直流電界) を印加した第 2 状態では前記高周波電界にほぼ平行になる。前記第 1 状態及び第 2 状態のどちらの場合も電界のみで制御できるため、従来のマイクロストリップ線路構造の液晶装荷アダプティブデバイスの応答時間 (特に立ち下がり時間) に比べて極めて高速に液晶分子が応答するという大きな効果がある。

10

【 0 0 4 2 】

(2) 前記線路本体部と浮遊電極 8 A とスペーサ 1 2 で囲まれた間隙 (誘電体基板 1 1 とスペーサ 1 2 と浮遊電極 8 A とで閉じられた空間) に液晶材料を注入することで、線路本体部と浮遊電極 8 A 間に介在する液晶層 4 を形成できる。

【 0 0 4 3 】

上記実施の形態では、コプレナー線路において液晶層は線路本体部の片側に配置されているが、両側に配置した構造であってもよい。また、前記線路本体部は中心導体の一方のみに接地導体がある構造であってもよい。

20

【 0 0 4 4 】

以上本発明の実施の形態について説明してきたが、本発明はこれに限定されることなく請求項の記載の範囲内において各種の変形、変更が可能なのは当業者には自明であろう。

【 産業上の利用可能性 】

【 0 0 4 5 】

本発明は、マイクロ波・ミリ波アダプティブデバイスの開発に資することができ、液晶分子の配向変化に起因する実効誘電率の変化を利用した液晶装荷マイクロ波高速可変移相器等のマイクロ波・ミリ波素子に適用可能である。

30

【 0 0 4 6 】

また、本発明を応用することで、例えば現在サービスされている静止衛星軌道上の複数の衛星からの様々なサービスを一つのアンテナ装置と一つの受信装置を用いて、ユーザーが意識することなくシームレスに、また高速に衛星サービスの切り替えが可能装置を実現できる。また本発明の技術は、民需は勿論のこと防衛用ニーズとして、高速電子追尾が可能トラッキングアンテナへの応用も可能である。

【 図面の簡単な説明 】

【 0 0 4 7 】

【 図 1 】本発明に係る浮遊電極付コプレナー線路の実施の形態であって、(A) は平面図、(B) は正断面図である。

40

【 図 2 】本発明の実施の形態において、第 1 状態に電圧を印加するバイアス電界印加法を示す結線図である。

【 図 3 】前記第 1 状態における液晶分子と高周波電界、直流電界の関係の説明図である。

【 図 4 】本発明の実施の形態において、第 2 状態に電圧を印加するバイアス電界印加法を示す結線図である。

【 図 5 】前記第 2 状態における液晶分子と高周波電界、直流電界の関係の説明図である。

【 図 6 】従来の液晶装荷アダプティブデバイスに用いられるマイクロストリップ線路構造と電圧印加の状態における液晶分子と高周波電界、直流電界との関係の説明図である。

【 図 7 】図 6 と同様の構造で、電圧無印加の状態における液晶分子と高周波電界、直流電

50

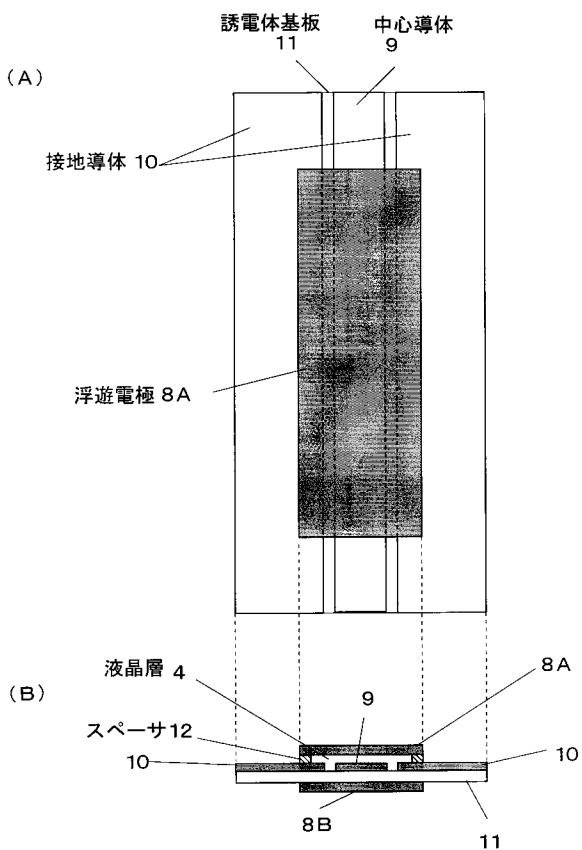
界との関係の説明図である。

【符号の説明】

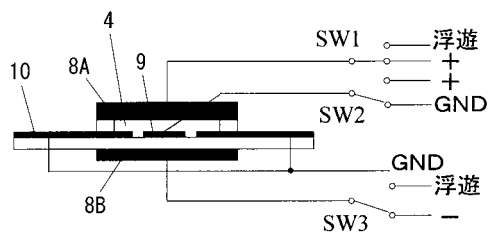
【0048】

- 1 ラビング処理を施した配向膜
- 2 マイクロストリップ線路の中心導体
- 3 マイクロストリップ線路の接地導体
- 4 液晶層
- 5 液晶分子
- 6 高周波電界
- 7 直流電界
- 8 A , 8 B 浮遊電極
- 9 コプレナー線路の中心導体
- 10 コプレナー線路の接地導体（共通アース）
- 11 誘電体基板
- 12 スペース

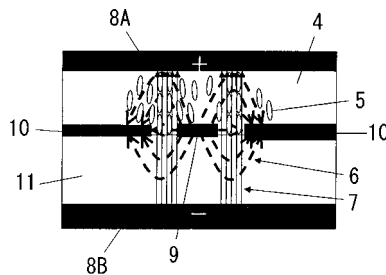
【図1】



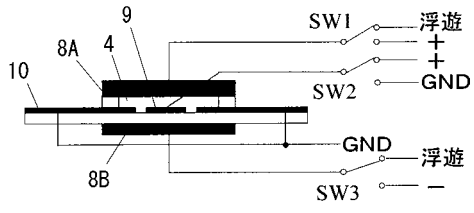
【図2】



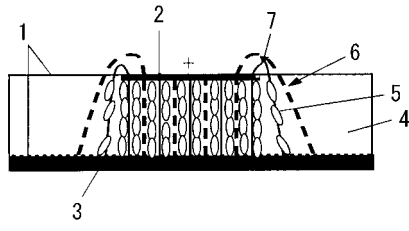
【図3】



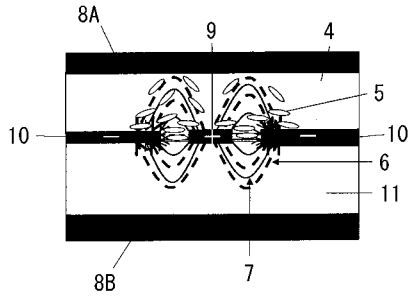
【 図 4 】



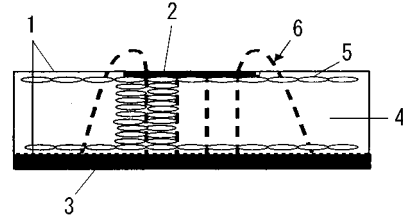
【 図 6 】



【 図 5 】



【 図 7 】



フロントページの続き

- (56)参考文献 特開2005-64632(JP,A)
特開2004-104382(JP,A)
特開2001-284913(JP,A)
特開2007-74174(JP,A)
特開平11-103201(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01P 3/02
H01P 1/18
H01P 3/08
JSTPlus(JDream2)