

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4674912号
(P4674912)

(45) 発行日 平成23年4月20日(2011.4.20)

(24) 登録日 平成23年2月4日(2011.2.4)

(51) Int. Cl.	F I
HO 1 L 27/10 (2006.01)	HO 1 L 27/10 4 5 1
HO 1 L 51/05 (2006.01)	HO 1 L 29/28 1 0 0 B
HO 1 L 51/30 (2006.01)	HO 1 L 29/28 2 5 0 E
HO 1 L 29/06 (2006.01)	HO 1 L 29/06 6 0 1 N
CO 1 B 31/02 (2006.01)	CO 1 B 31/02 1 0 1 F

請求項の数 2 (全 11 頁)

(21) 出願番号 特願2007-302201 (P2007-302201)	(73) 特許権者 503360115 独立行政法人科学技術振興機構 埼玉県川口市本町四丁目1番8号
(22) 出願日 平成19年11月21日(2007.11.21)	(74) 代理人 100101236 弁理士 栗原 浩之
(65) 公開番号 特開2009-130062 (P2009-130062A)	(74) 代理人 100128532 弁理士 村中 克年
(43) 公開日 平成21年6月11日(2009.6.11)	(72) 発明者 春山 純志 神奈川県相模原市淵野辺5-10-1 青山学院大学内
審査請求日 平成20年5月15日(2008.5.15)	審査官 吉田 安子
特許法第30条第1項適用 (1) アメリカン フィジカル ソサイエティ (アメリカ物理学会)、フィジカル レビュー ビー、第75巻、2007年5月21日 (2) 日本経済新聞社、日経産業新聞、平成19年7月20日	

最終頁に続く

(54) 【発明の名称】 メモリ素子

(57) 【特許請求の範囲】

【請求項1】

フラレン分子を内包した単層カーボンナノチューブからなるカーボンナノピーポッドを有するメモリ素子であって、

前記カーボンナノピーポッドが、2本以上50本以下のバンドル状のカーボンナノピーポッドであり、バックゲート電極上に積層された絶縁層上に載置されると共に、500nm ~ 1000nm 離間して設けられたソース電極及びドレイン電極に接続され、前記ソース電極及びドレイン電極と、カーボンナノピーポッドとの間の界面抵抗が25.6k より大きく1M 以下であり、

前記カーボンナノピーポッドには、前記バックゲート電極から1~5V印加することにより内包された前記フラレン分子に単一電子が注入されると共に、前記フラレン分子が、注入された単一電子を保持することでメモリ情報を保持するメモリセルとなるように構成されたことを特徴とするメモリ素子。

【請求項2】

前記カーボンナノピーポッドの単層カーボンナノチューブが、金属的伝導を示すものであることを特徴とする請求項1記載のメモリ素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はメモリ素子に関する。

【背景技術】

【0002】

メモリ素子としては、揮発性メモリであるダイナミックランダムアクセスメモリ(DRAM)や不揮発性メモリである磁気ランダムアクセスメモリ(MRAM)がある。MRAMの利点は、不揮発性であることと共に、DRAMに比べてエネルギー消費が少なくまた読取りおよび書込み速度が大きいことである。MRAMの欠点としては、MRAMセルの寸法が小さくなるほど自由層の磁化を切り換えるのに必要な磁界が大きくなること、即ち素子の電力消費が大きくなることである。

【0003】

また、近年、新規材料として高い注目を集めているカーボンナノチューブをチャンネルに用いた不揮発性メモリ素子が知られている(例えば、特許文献1参照)。

【0004】

【特許文献1】特開2006-210910号公報(請求項1、請求項11等)

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上記カーボンナノチューブをチャンネルに用いた不揮発性メモリ素子は実用化されていない。

【0006】

ところで、カーボンナノチューブの特殊な構造のひとつとして、単層カーボンナノチューブの内部空間にフラーレン分子を内包したいわゆるカーボンナノピーポッドがあるが、このカーボンナノピーポッドの電気的物性は未だにほとんど解明されていない。これは、高品質のカーボンナノピーポッド生成が困難であること、及び多くのフラーレン分子を内包するので電子構造が極めて複雑であることが理由である。また、カーボンナノピーポッドの電気特性を調べるためにカーボンナノピーポッドをチャンネルとしたFET構造を作製する場合、カーボンナノピーポッドの特性がFET構造形成時のプロセスダメージに極めて敏感であるため、通常のプロセスではカーボンナノピーポッドの特性を調べられないこともその物性が解明されていない理由の一つとしてあげられる。従って、これらの理由からチャンネルとしてカーボンナノピーポッドを用いた量子素子は作製が難しく、実現に至っていないのが現状である。

【0007】

本発明の課題は、上記従来技術の問題点を解決することにより、カーボンナノピーポッドを用いて、小型でかつ大容量のメモリ素子を提供しようとするものである。

【課題を解決するための手段】

【0008】

本発明のメモリ素子は、フラーレン分子を内包した単層カーボンナノチューブからなるカーボンナノピーポッドを有するメモリ素子であって、前記カーボンナノピーポッドが、2本以上50本以下のバンドル状のカーボンナノピーポッドであり、バックゲート電極上に積層された絶縁層上に載置されると共に、500nm~1000nm離間して設けられたソース電極及びドレイン電極に接続され、前記ソース電極及びドレイン電極と、カーボンナノピーポッドとの間の界面抵抗が25.6kより大きく1M以下であり、前記カーボンナノピーポッドには、前記バックゲート電極から1~5V印加することにより内包された前記フラーレン分子に単一電子が注入されると共に、前記フラーレン分子が、注入された単一電子を保持することでメモリ情報を保持するメモリセルとなるように構成されたことを特徴とする。

【0009】

かかる構成によれば、本発明のメモリ素子は従来のメモリ素子に比べて非常に小型化が可能である。また、かかる構成であることで、バックゲート電極から電圧が印加されると、バックゲート電圧が閾値より高い領域では、単一電子は前記フラーレン分子に注入され、閾値より低い領域では、単一電子は前記単層カーボンナノチューブに注入される。従っ

10

20

30

40

50

て、バックゲート電圧を制御することで、メモリセルとしてのフラレン分子に単一電子を注入でき、この単一電子のスピンの状態で「0」「1」状態を表すことができるので、簡易にフラレンをメモリセルとすることが可能である。

【0010】

ここで、前記ソース電極及びドレイン電極が500nm以上1000nm未満で離間して設けられている。所定の距離が500nm以上1000nm未満であることで、チャンネルとしてのカーボンナノピーポッドに単一電子を注入することが可能である。

【0011】

また、前記金属電極と、カーボンナノピーポッドとの間の界面抵抗が25.6kより大きく1M以下である。界面抵抗が25.6kより大きく1M以下であることで、メモリ素子のチャンネルとしてのカーボンナノピーポッドに単一電子を注入することが可能である。他方で、界面抵抗が25.6k以下であると、抵抗値が低すぎるため、カーボンナノピーポッドに電子が1以上流入し、カーボンナノピーポッドに単一電子のみを注入することができなくなる。

10

【0012】

また、前記バックゲート電極から1~5V印加することにより内包された前記フラレン分子に単一電子が注入されるように構成されている。この範囲でバックゲート電極から電圧を印加することで、上述したようなフラレン分子に単一電子を注入できる。

また、本発明の好適な実施形態としては、前記カーボンナノピーポッドの単層カーボンナノチューブが、金属的伝導を示すものであることが挙げられる。

20

前記カーボンナノピーポッドが2本以上50本以下のバンドル状のカーボンナノピーポッドである。2本以上50以下のカーボンナノピーポッドからなるバンドル状のカーボンナノピーポッドであることで、カーボンナノピーポッドに単一電子を注入できるからである。他方で、50本より多いと、カーボンナノピーポッドの本数が多すぎて単一電子特性が平均化されてしまい、消えてしまうからである。

【発明の効果】

【0013】

本発明のメモリ素子によれば、カーボンナノピーポッドにフラレン分子をメモリセルとして用いているので、素子全体が小型であり、集積化しやすい。また、フラレン分子に単一電子を注入してメモリセルとして用いることで、大容量メモリ化ができると共に消費電力が小さいという優れた効果を奏し得る。

30

【発明を実施するための最良の形態】

【0014】

本発明のメモリ素子の一の実施形態について図1を用いて説明する。図1はメモリ素子の断面模式図である。

【0015】

メモリ素子1は、金属層11と、Si層12と、カーボンナノピーポッド13と、金属電極14a及び14bとがこの順で積層されてなる。

【0016】

金属層11は、メモリ素子1においてバックゲート電極として機能する。金属層11は、Auから形成される。なお、Au以外では、例えばチタン(Ti)で金属層11を形成してもよい。金属層11の厚さは、例えば100nm~500nm程度であればよい。

40

【0017】

金属層11上には、Si層12が積層されており、金属層11とSi層12との密着性を高めるために、金属層11とSi層12の間にはTi層111が形成されている。このTi層111は、密着性が確保されればどのような厚さでもよく、例えば20nm~50nm程度で形成されている。

【0018】

Si層12としては、公知のp型のSi基板(厚さは例えば400nm~1000nm程度であればよい)そのものを用いることができる。

50

【0019】

Si層12上には、絶縁層としてのSiO₂層121が形成され、このSiO₂層121上にカーボンナノピーポッド13が配置される。SiO₂層121の厚さは、例えば100nm~200nm程度であればよい。

【0020】

カーボンナノピーポッド13は、メモリ素子1においてトランジスタのチャネルとして機能する。カーボンナノピーポッド13は、1つの単層カーボンナノチューブ131内にフラーレン(図示せず)が内包されてなるものである。単層カーボンナノチューブ131は、単層カーボンナノチューブであり、金属ナノチューブであっても半導体ナノチューブであってもよい。金属ナノチューブとしては、たとえばそのカイラリティが(10, 10)であるものがあげられる。フラーレンは、メモリ素子1においてメモリセルとして機能するものであり、例えば、C₆₀、C₈₂等があげられる。このカーボンナノピーポッド13は、欠陥(例えば5員環等が混入している等)がなるべく少ない高品質なものが好ましい。かかるカーボンナノピーポッド13は、単一のカーボンナノピーポッドでもよいが、複数のカーボンナノピーポッドからなるバンドル状のものであってもよい。ただし、この場合は、2本以上50本以下の数のカーボンナノピーポッド13からなるものが好ましい。50本より多いと、後述する単一電子特性が得られなくなってしまい、メモリセルとして機能しないからである。

【0021】

このカーボンナノピーポッド13の端部及び前記SiO₂層121を覆うように、二つの金属電極14a及び14bが離間して形成されている。金属電極14aは、メモリ素子1においてソース電極、金属電極14bは、メモリ素子1においてドレイン電極として機能する。金属電極14aの端部と金属電極14bの端部との距離Hは、約600nmである。この距離Hは、このましくは500nm~1000nm未満、より好ましくは500nm~600nmである。距離Hが500nm~1000nmであることで、カーボンナノピーポッド13が金属電極14a-14b間で0次元伝導体として機能し、印加するバックゲート電圧により単一電子をカーボンナノピーポッドに注入することが可能である。他方で、1000nm以上であると、電子を一つずつカーボンナノピーポッドに注入することができず、500nm未満の場合には、ソース電極-ドレイン電極間に存在するメモリセルとしてのフラーレン分子の数が少ないので、メモリ容量が減ってしまうため、好ましくない。

【0022】

金属電極14a及び14bは、AuからなるAu電極部141a及び141bと、TiからなるTi電極部142a及び142bとからなる。なお、金属電極14a及び14bをAuのみから構成してもよい。Ti電極部142a及び142bは、Au電極部141a及び141bとSiO₂層121及びカーボンナノピーポッド13との密着性を保つために設けられているものであるので、その厚さは20nm~50nm程度あればよい。この金属電極14a及び金属電極14bと、カーボンナノピーポッド13との界面抵抗は、理論値としての量子抵抗(25.6k)より高いことが好ましい。界面抵抗が十分に高いことにより、チャネルとしてのカーボンナノピーポッド13に単一電子を注入することができる。また、1Mより高いと、逆に単一電子を注入しにくくなってしまう。

【0023】

即ち、メモリ素子1は、バックゲート電極としての金属層11と、ソース電極としての金属電極14aと、ドレイン電極としての金属電極14bと、絶縁層としてのSiO₂層と、チャネルとしてのカーボンナノピーポッド13とを備えたFET構造となっている。そして、ソース電極-ドレイン電極間が所定の距離離間していることで、カーボンナノピーポッド13が0次元伝導体としてふるまうので、バックゲート電極からの電圧を調整してカーボンナノピーポッド13に電子を一つずつ注入することができる。

【0024】

この場合、前記メモリ素子1は、バックゲート電極(金属層11)から電圧が印加され

10

20

30

40

50

る場合に、バックゲート電圧が閾値より低い領域では、単一電子は前記単層カーボンナノチューブに注入でき、高い領域では、単一電子は前記フラレン分子に注入できる。このように、メモリ素子1においては、バックゲート電圧を制御して、簡易に単一電子をカーボンナノピーポッドのどの部位に注入するかを変化せしめることが可能である。この場合の閾値は、1.5V~2V程度のものが多かったが、この閾値は、単層カーボンナノチューブとフラレン分子の界面抵抗に依存すると考えられるので、この単層カーボンナノチューブとフラレン分子の界面抵抗を制御することで所望の値に変更することが可能である。

【0025】

そして、バックゲート電圧が閾値より高い領域でフラレン分子に単一電子を注入することで、各フラレン分子がメモリセルとして機能する。この場合、バックゲート電圧が閾値より高い領域において、各フラレン分子に電子が一つずつ注入されるように、即ち各電子が異なるフラレン分子に注入されるように、フラレン分子の直列結合容量に基づく帯電エネルギーを制御する。この帯電エネルギーは内包フラレン数により決定される。従って、その数を変えることで帯電エネルギーを制御することが可能である。このように制御することで、各フラレン分子に一つの電子のみを注入でき、各電子は「0」を示す状態、「1」を示す状態のいずれかのスピンモーメントを有することから、この単一電子のスピンモーメントを利用して、フラレン分子を「0」「1」が記録されたメモリセルとすることができる。

【0026】

このようなメモリ素子1において、書き込み時は印加バックゲート電圧により電子を各内包フラレンに一個ずつ制御して注入するとともに、かつ、この注入電圧に同期した外部磁場を印加、あるいはレーザー光を照射することで、注入された電子のスピンモーメントを制御し、「0」又は「1」を書込む。そして、読み込み時には、レーザー光線を各フラレンに照射し、その吸収・反射光をモニタすることで、「0」又は「1」を読み込むことが可能である。

【0027】

上記メモリ素子の作製方法について以下説明する。

【0028】

カーボンナノピーポッド13は、公知の作製方法で得ることができる。例えば、両端を開放した単層カーボンナノチューブを、揮発したフラレン分子雰囲気中に置いてフラレン分子をカーボンナノチューブ内に挿入せしめてカーボンナノピーポッドを作製する方法、あるいは二層チューブを熱すると、内層ナノチューブのみがフラレン分子となることを利用したカーボンナノピーポッドを作製する方法を用いることができる。これらは、それぞれB. W. Smith et al., Nature 393, 323(1998)、M.Yudasaka, S. Saito, and A. Oshiyama, Phys.Rev. Lett. 86, 3835 (2001)等に詳しい。

【0029】

次いで、このカーボンナノピーポッドを用いて上記メモリ素子を作製する。かかるメモリ素子の作製方法としては、公知のFET構造の作製方法を適用することができる。例えば、初めに、Si層12としてのp型Si基板(例えば厚さ600nm)の一方の面に、SiO₂層121をプラズマCVD法により形成する。この形成条件は、例えば公知の条件であり、プラズマCVD装置において、TEOS(テトラエトキシシラン)から成る有機シランガスと、O₂(酸素)から成る酸化性ガスとを導入して(例えばTEOSの導入量90sccm、O₂の導入量3000sccm)、所定の圧力条件で形成することができる。なお、すでにSiO₂層121が形成されているSi基板を用いてもよい。

【0030】

その後、このSiO₂層上にカーボンナノピーポッド13を載置する。

【0031】

カーボンナノピーポッド13を載置した後、リフトオフ法を用いてTi電極部142a及び142bを作製する。即ち、このカーボンナノピーポッド13が載置された面にレジ

10

20

30

40

50

ストを塗布し、スピンコート法で膜を形成する。レジスト膜形成後、露光し、現像して洗浄する。その後、露光されたマスク上にTi膜が所定の厚さとなるように、真空度： $\sim 10^{-7}$ Torrで蒸着し、マスクをリフトオフすることで、Ti電極部142a及び142bを形成する。蒸着方法としては、公知の蒸着方法、例えばEB蒸着法などを用いることができる。

【0032】

次いで、Ti電極部142a及び142b形成と同様の手順で今度はAu電極部141a及び141bを作製する。

【0033】

最後に、Si基板の裏面（カーボンナノピーポッド載置側と逆の面）にバックゲート電極11を蒸着法により、所定の厚さになるように真空度： $\sim 10^{-7}$ Torrで形成する。

【0034】

以上のようにして、カーボンナノピーポッド13をチャネルとしたメモリ素子1を作製することができる。なお、上記メモリ素子1の作製においては、金属電極14a及び14bを作製する場合に、界面抵抗を下げるできないようにアニール処理を行わないことが重要である。界面抵抗が下がると、カーボンナノピーポッドに電子を一つずつ注入することができないからである。特に、金属電極14a及び14bをAuのみから作製する場合は、アニール処理を行わないことが重要である。

【0035】

以下、実施例に基づいて本発明をより詳細に説明する。

【実施例1】

【0036】

本実施例では、メモリ素子1を作製した。メモリ素子1の作製条件は、以下の通りであり、アニール処理はしなかった。

SiO₂層： 予めSi基板に形成されていたもの、厚さ：100nm

Au電極部： 作製方法：蒸着法、厚さ100nm

Ti電極部： 作製方法：蒸着法、厚さ50nm

金属層： 作製方法：蒸着法、厚さ300nm

Ti層： 作製方法：蒸着法、厚さ30nm

金属電極14a及び14b間距離：500nm

【0037】

図2(a)はメモリ素子1の上面SEM写真を示す。各金属電極間には、カーボンナノピーポッドが配置されている。図2(b)は、このことを示すための、Ti電極部142a及び142b作製前のメモリ素子1の上面SEM写真である。2つのカーボンナノピーポッド13のバンドルがSiO₂膜上に配置され、図中に示す位置に2つの金属電極が形成される。

【0038】

カーボンナノピーポッドは、AFM及びTEMよりその各チューブ直径が ~ 1.6 nmと測定され、さらに金属的伝導を示したことから、(10、10)カイラリティを持つ可能性が高い。また、このチューブ直径とバンドルの直径から、各バンドルにおけるカーボンナノピーポッド13の数は、約20であった。チャネル伝導度として $G = 40 \times [4(2e^2/h) = 640] \mu S$ が予測されたが、実測定値は $10 \mu S$ 程度であった。従って、金属電極とカーボンナノピーポッド間のコンタクト抵抗が大きいことを意味し、電極間のチャネルとしてのカーボンナノピーポッドが0次元として機能できるように構成されていることが確認された。

【実施例2】

【0039】

実施例1で得られたメモリ素子1に対し、バックゲート印加電圧V_{bg}を-4Vから3Vまで変化させるとともに、ソース-ドレイン電圧V_{sd}を変化させて、チャネル伝導度を、T = 1.5Kで調べた。結果を図3に示す。図3中、横軸はバックゲートへの印加電

10

20

30

40

50

圧 V_{bg} を示し、縦軸はソース - ドレイン電圧 V_{sd} を示す。また、Z 軸は欄外に詳細を示したようにチャネル伝導度の微分値を示す。

【0040】

図3に示したように、電気特性は、菱形(ダイヤモンド)形状となった。このダイヤモンド状の内側がクーロンブロックードにより伝導度が最小になっている電圧範囲である。クーロンブロックードとは、メモリ素子1の微小有効容量 C_{eff} を持つカーボンナノピーポッド13の帯電エネルギー $E_c = e^2 / 2C_{eff}$ により電子のカーボンナノピーポッド13へのトンネリングが一個ずつに制限される現象である。このダイヤモンド形状におけるソース - ドレイン電圧 V_{sd} 、即ち縦軸方向の大きさが E_c に相当する。さらに量子化エネルギー準位がカーボンナノピーポッド13内に存在する場合は、そのエネルギー間隔が E_c に加算されより大きいサイズのダイヤモンドが出現する。

10

【0041】

図3によれば、実施例1で作製されたメモリ素子1の電気特性(クーロンブロックード特性)は、半導体量子ドットや質の高いカーボンナノチューブで報告される電気特性(クーロンブロックード特性)に比べて一見不規則に見えるダイヤモンド形状となった。しかし、この結果から、以下で説明する(1)ダイヤモンドの大きさと重なりは $V_{bg} = \pm 1.7V$ を境界として劇的に変化する点、(2) V_{bg} の正負に対して非対称であり極性を持つ点、の2点が明らかである。

【0042】

(1)に関しては、 $-1.7V < V_{bg} < 1.7V$ の領域I(図3参照)ではダイヤモンド形状の大きさ(縦軸方向)は10mV以下で比較的小さく、お互いの重なりも少ない。これに対して $-1.7V > V_{bg}$ 、 $V_{bg} > 1.7V$ の領域II(図3参照)ではダイヤモンド形状の大きさは最大40mV以上にも達し、重なりが極めて大きくなる。

20

【0043】

(2)に関しては、 V_{bg} が正の場合の領域I内では、約8mV弱サイズの3つのダイヤモンドが $V_{bg} = 0V$ から並び、20mV弱のダイヤモンドが一つ存在し、また8mV弱のダイヤモンドが出現する。一方、 V_{bg} が負の場合の領域I内では8mV弱のダイヤモンド3個ほど並んだ後にダイヤモンドは徐々に小さくなる。領域IIでは負の V_{bg} 側では約10mV強のダイヤモンドが強く重なり合って存在し、正の V_{bg} 側では約40mVにもなる大きいダイヤモンドがやはり大きく重なり合って出現する。

30

【0044】

なお、従来、大きさが不規則で重なり部分の大きいダイヤモンド形状は確率的(ストキャスティック)なクーロダイヤモンドとして、欠陥や不純物が多い一つのカーボンナノチューブがこれらの欠陥等により多くの小さいドットに分割され多重結合した構造でしばしば報告されてきた。しかしあるゲート電圧で突然ダイヤモンドサイズが劇的に変化するなどの傾向を明確に持つ例はない。

【0045】

このような図3で明らかとなった傾向において、図中の領域I、つまり低 V_{bg} 領域の特性は、フラレンを内包しない単層カーボンナノチューブの E_c にほぼ一致していた。つまり、低 V_{bg} 領域では、単一電子は単層カーボンナノチューブのみを流れており、フラレン分子は少なくとも E_c の有効容量 C_{eff} としては寄与しないと考えられる。

40

【0046】

他方で、領域II、即ち高 V_{bg} 領域では、低 V_{bg} 領域で単層カーボンナノチューブのみを走行していた単一電子が印加バックゲート電圧 V_{bg} が増大されることで、フラレン分子に引き込まれ得る。即ち、印加バックゲート電圧 V_{bg} を増大させることで、フラレン分子に単一電子を注入できる。この場合、フラレン分子軌道と準自由電子軌道との結合に起因する化学結合を介して電子はフラレン分子に流入する。領域IIでのダイヤモンドサイズから見積もられた E_c に寄与するフラレン分子の容量は、低 V_{bg} 領域Iでは単層カーボンナノチューブの容量と同程度、高 V_{bg} 領域IIでは1/3程度になり、高 V_{bg} 領域において、より多くのフラレン分子が直列に静電結合していることに

50

なる。1カ所のフラレン分子にのみ単一電子が流入していくと、この結合数は少ないので、クーロンダイヤモンド特性は図に示すように大きくならないため、本メモリ素子において異なるフラレン分子に単一電子が注入されていることが確認された。

【0047】

従って、実施例1で作製されたメモリ素子1は、バックゲート電圧を変化させることで、単層カーボンナノチューブに電子を注入したり、また、フラレン分子に電子を一つずつ注入したりすることができ、これらの特性を変化させる閾値は ± 1.7 Vであった。なお、本実施例と同様の作製方法で作製した他のカーボンナノピーポッドを用いたメモリ素子においてもこのようなクーロンダイヤモンド特性は得られ、各メモリ素子での閾値は、

10

全て1 V ~ 5 Vの間にあり、ほとんどは1.5 V ~ 2 Vであった。また、クーロンダイヤモンド特性から、異なるフラレン分子に各電子が注入されていることがわかった。

【0048】

この場合に、内包された個々のフラレン分子が単一電子、即ち単一スピンを閉じ込めるセルとして機能できるので、本メモリ素子1は、大容量分子磁気スピンメモリとして構成され得る。特に、一本のカーボンナノピーポッド13には、金属電極14a及び14b間に約600個のフラレン分子が内包されていると考えられるので、実施例1のようにバンドル状のカーボンナノピーポッドをソース・ドレイン電極間に多数並列配置した構造を作製すれば、非常にメモリ容量の高いスピンメモリを作製することが可能である。

【0049】

(比較例1)

実施例1とは、バンドルにおけるカーボンナノピーポッドの数が異なる点以外は同一の条件で二つのメモリ素子を作製した。一つのメモリ素子におけるバンドル中のカーボンナノピーポッドの数は60本、もう一つは100本程度であると見積もられたが、実施例2と同一条件で電圧を印加しても単一電子特性は得られなかった。

20

【0050】

(比較例2)

実施例1とは、ソース電極としての金属電極14aと、ドレイン電極としての金属電極14bとの距離を1 μ mとして作製した点以外は同一条件でメモリ素子を作製した。この場合においても、実施例2と同一条件で電圧を印加しても単一電子特性は得られなかった。

30

【0051】

(比較例3)

実施例1とは、Au電極部141a及び141bを作製した後にアニールした以外は同一の条件で二つのメモリ素子を作製した。アニール条件は、アニール温度：800、雰囲気：窒素雰囲気である。この場合、各メモリ素子の抵抗は約5 k以下まで下がり、その結果、単一電子特性は得られなかった。

【産業上の利用可能性】

【0052】

本発明のメモリ素子は、上述したように大容量メモリとして用いることができる。従って、半導体分野で利用可能である。

40

【図面の簡単な説明】

【0053】

【図1】メモリ素子を説明するためのメモリ素子の断面模式図である。

【図2】実施例1で作製されたメモリ素子の(a)上面SEM写真、(b)作製途中での上面SEM写真の拡大図である。

【図3】実施例1で作製されたメモリ素子の電気特性を示すグラフである。

【符号の説明】

【0054】

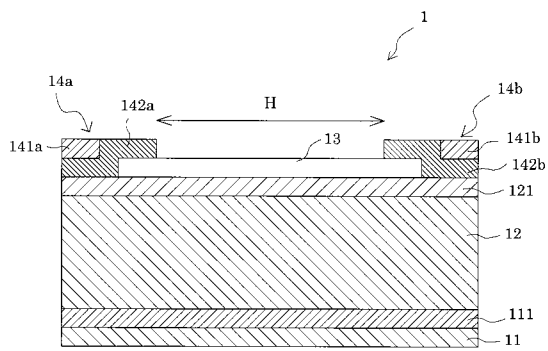
11 金属層

12 Si層

50

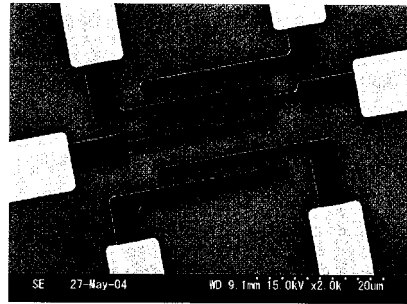
13 カーボンナノピーポッド
14 a、14 b 金属電極

【図1】

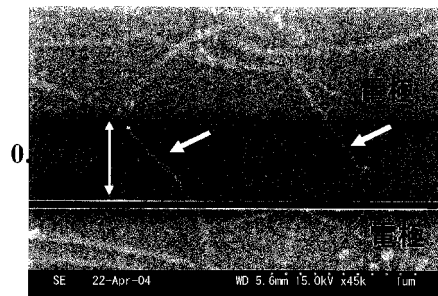


【図2】

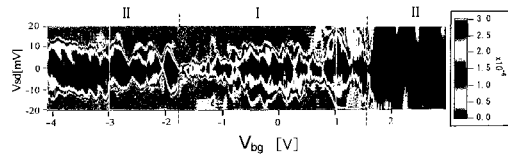
(a)



(b)



【 図 3 】



フロントページの続き

(56)参考文献 特開2000-156423(JP,A)

Y.Kurokawa et al., "Fabrication and Characterization of Peapod Field-Effect Transistors Using Peapods Synthesized Directly on Si Substrate", Japanese Journal of Applied Physics, 日本, JSAP, 2005年, Vol.44, No.43, pp.L1341-1343

C.H.Lee et al., "The Non-Memory Devices of a Single Wall and Peapod Structural Carbon Nanotube Field Effect Transistor", Japanese Journal of Applied Physics, 日本, JSAP, 2003年 8月, Vol.42, Part1, No.8, pp.5392-5394

(58)調査した分野(Int.Cl., DB名)

H01L 27/10
H01L 29/06
H01L 51/05
H01L 51/30
C01B 31/02
H01L 21/8247
H01L 27/115
H01L 29/788
H01L 29/792
H01L 29/78