

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-141612

(P2009-141612A)

(43) 公開日 平成21年6月25日(2009.6.25)

(51) Int.Cl.		F I	テーマコード (参考)			
HO4N	1/028	(2006.01)	HO4N	1/028	A	5C024
HO4N	5/335	(2006.01)	HO4N	5/335	E	5C051
			HO4N	5/335	P	

審査請求 未請求 請求項の数 9 O L (全 19 頁)

(21) 出願番号 特願2007-315048 (P2007-315048)
 (22) 出願日 平成19年12月5日 (2007.12.5)

(71) 出願人 304023318
 国立大学法人静岡大学
 静岡県静岡市駿河区大谷836
 (74) 代理人 100088155
 弁理士 長谷川 芳樹
 (74) 代理人 100108257
 弁理士 近藤 伊知良
 (74) 代理人 100124800
 弁理士 諏澤 勇司
 (72) 発明者 川人 祥二
 静岡県浜松市中区城北3丁目5-1 国立
 大学法人静岡大学電子工学研究所内
 Fターム(参考) 5C024 CX03 CX05 CY16 GY31 HX05
 HX13 HX29

最終頁に続く

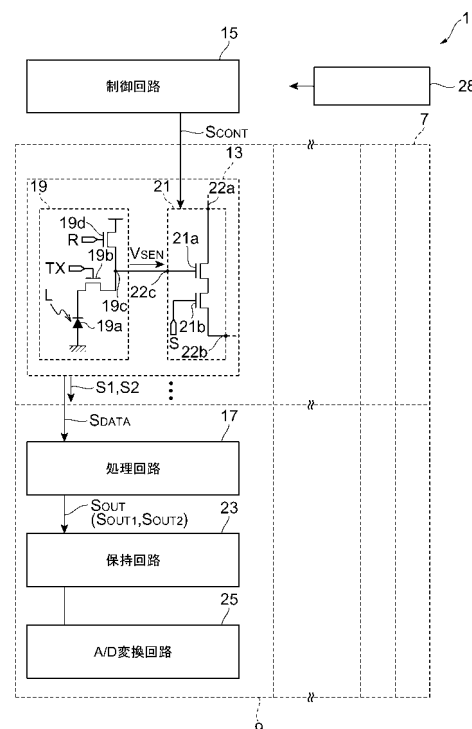
(54) 【発明の名称】 イメージセンサ

(57) 【要約】

【課題】 イメージセンサ内の画素からの信号に含まれるランダム・テレグラフ・シグナル・ノイズ(RTS)を低減可能なイメージセンサを提供する。

【解決手段】 選択回路21は、センサ回路19のセンサ素子19aからの信号 V_{SEN} を増幅する増幅用トランジスタ21aを含む。制御回路15は、選択回路21に接続されており、読み出し期間中に、増幅用トランジスタ21aのRTSのノイズシェイピングを生じさせて画素13のRTSのスペクトル帯域を拡大すると共に画素13に読出状態を設定するための制御信号 S_{CONT} を生成する。制御信号 S_{CONT} は選択回路21に提供され、画素13の読出状態で増幅用トランジスタ21aの動作状態は制御信号 S_{CONT} により変更される。処理回路17は画素13からの信号 S_{DATA} を読み出す。この読出は信号 S_{DATA} にハイカットフィルタリング処理を施すように行われ画素13のRTSの影響を低減する。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

画素のランダム・テレグラフ・シグナル・ノイズの影響を低減可能なイメージセンサであって、

センサ素子を含むセンサ回路と該センサ素子からの信号を増幅する M I S 型トランジスタを含む選択回路とを有しており、カラム線に接続された画素と、

前記画素内の前記選択回路に接続されており、前記画素から信号を読み出す期間中に、前記 M I S 型トランジスタに複数回のスイッチング動作を生じさせることによって前記画素のランダム・テレグラフ・シグナル・ノイズのスペクトルの帯域を拡大してランダム・テレグラフ・シグナル・ノイズのスペクトル密度を下げると共に前記画素に読出状態を設定するための制御信号を、前記選択回路に提供する制御回路と、

前記画素からの信号にハイカットフィルタリング処理を行うように、前記読出状態において前記画素からの信号を前記カラム線を介して読み出す処理回路とを備える、ことを特徴とするイメージセンサ。

10

【請求項 2】

前記制御信号は、前記複数回のスイッチング動作により、前記 M I S 型トランジスタのチャネルキャリア密度の異なる第 1 及び第 2 の状態を設定し、

前記第 1 及び第 2 の状態のいずれか一方は前記読出状態のために設けられ、

前記読出状態では、前記選択回路に複数回の読出期間が設定される、ことを特徴とする請求項 1 に記載されたイメージセンサ。

20

【請求項 3】

前記選択回路は、前記センサ回路に接続された制御入力、前記カラム線に接続された信号出力、及び前記制御回路に接続された電源端子を含み、

前記制御回路は、前記読み出し期間の第 1 の部分に電位レベルを提供すると共に、前記読み出し期間の第 2 の部分に該電位レベルより低いレベルとを提供し、

前記第 1 の部分は前記読出状態に設定される、ことを特徴とする請求項 1 又は請求項 2 に記載されたイメージセンサ。

【請求項 4】

前記選択回路は、前記センサ回路に接続された制御入力、前記カラム線を介して前記制御回路に接続された信号出力、及び電源端子を含み、

前記制御回路は、前記読み出し期間の第 1 の部分に第 1 の電流を流すと共に、前記読み出し期間の第 2 の部分に該第 1 の電流より大きい第 2 の電流を流しており、

前記読出状態は、前記第 1 及び第 2 の部分のいずれか一方において前記画素に設定される、ことを特徴とする請求項 1 又は請求項 2 に記載されたイメージセンサ。

30

【請求項 5】

前記処理回路は、前記画素からの信号を受ける積分器を含む信号読み出し回路を有する、ことを特徴とする請求項 1 ~ 請求項 4 のいずれか一項に記載されたイメージセンサ。

【請求項 6】

前記積分器は、

前記読出状態において前記画素からの信号を受けるサンプリング回路と、前記サンプリング回路によってサンプリングされた信号を積分する積分回路とを含み、

前記積分器の帯域 f_{INT} は、前記制御回路からの前記制御信号を受けた前記 M I S 型トランジスタによって生成されるランダム・テレグラフ・シグナル・ノイズの帯域 f_{RTN} より小さい、ことを特徴とする請求項 5 に記載されたイメージセンサ。

40

【請求項 7】

前記処理回路は、前記画素からの信号を増幅する信号読み出し回路を有しており、

前記信号読み出し回路の帯域 f_{AMP} は、前記制御回路からの前記制御信号を受けた前記 M I S 型トランジスタによって生成されるランダム・テレグラフ・シグナル・ノイズの帯域 f_{RTN} より小さい、ことを特徴とする請求項 1 ~ 請求項 4 のいずれか一項に記載されたイメージセンサ。

50

【請求項 8】

前記処理回路に接続された保持キャパシタを更に備え、前記保持キャパシタは、前記信号読み出し回路の出力からの信号を保持する、ことを特徴とする請求項 7 に記載されたイメージセンサ。

【請求項 9】

前記画素は、リセットレベルを示す第 1 の信号と、信号レベルを示す第 2 の信号とを提供し、

前記イメージセンサは、

前記リセットレベルに対応しており前記処理回路によって生成された第 1 の読出信号を保持する第 1 の保持回路と、

前記信号レベルに対応しており前記処理回路によって生成された第 2 の読出信号を保持する第 2 の保持回路と

を更に備える、ことを特徴とする請求項 1 ~ 請求項 8 のいずれか一項に記載されたイメージセンサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、イメージセンサに関する。

【背景技術】

【0002】

特許文献 1 には、イメージセンサのカラムに集積化された A / D 変換器のアレイが記載されている。個々の A / D 変換器は、イメージアレイの画素から信号レベルとリセットレベルを読み出して、これらのレベルのデジタル信号を生成した後に、これらの差分を生成する。

【0003】

特許文献 2 には、イメージセンサのカラムに集積化された A / D 変換器のアレイが記載されている。第 1 キャパシタにリセットレベルを格納すると共に、第 2 キャパシタに信号レベルを格納する。A / D 変換器では、第 1 および第 2 キャパシタをアンプと共に用いて、リセットレベルと信号レベルとの差分信号を生成する。

【0004】

特許文献 3 には、イメージセンサのための A / D 変換器が記載されている。イメージセンサのノイズレベルを支配するアンプ回路が発生するランダムノイズを、センサでの蓄積途中の信号を読み出して、デジタル領域での処理で低減する。

【0005】

非特許文献 1 には、p 型 MOS トランジスタ及び n 型 MOS トランジスタを含むテスト・エレメント・グループを用いてソースフォロアのランダム・テレグラフ・信号を解析している。

【特許文献 1】特開 2006 - 25189 号公報

【特許文献 2】特開 2007 - 104655 号公報

【特許文献 3】特開 2003 - 153085 号公報

【非特許文献 1】K. Abe, S. Sugawa, R. Kuroda, S. Watabe, N. Miyamoto, A. Teramoto, T. Ohmi, Y. Kamata and K. Shibusawa, INTERNATIONAL IMAGE SENSOR WORKSHOP 2007, Ogunquit, ME, 2007, p.62-65 "Analysis of Source Follower Random Telegraph Signal Using nMOS and pMOS Array TEG"

【発明の開示】

【発明が解決しようとする課題】

【0006】

CMOS イメージセンサでは、画素に埋め込みフォトダイオードを用いることにより、フォトダイオード部の暗電流の低減が達成されている。また、画素のリセットの際に発生するリセットノイズのキャンセルが達成されている。現在においては、CMOS イメージ

10

20

30

40

50

センサにおける支配的なノイズは、画素の読み出しトランジスタによって発生される。微細加工技術の進歩により、微細化された読み出しトランジスタからのランダム・テレグラフ・シグナル・ノイズが、画素からの読み出し信号に影響を与えている。ランダム・テレグラフ・シグナル・ノイズは、イメージセンサの画素の各々によって異なっており、アレイ内の画素のなかには、極端に大きなノイズを発生する画素がある。故に、ランダム・テレグラフ・シグナル・ノイズの低減が、例えば極低照度におけるCMOSイメージセンサの応用において望まれている。

【0007】

本発明は、イメージセンサ内の画素からの信号に含まれるランダム・テレグラフ・シグナル・ノイズを低減可能なイメージセンサを提供することを目的とする。

10

【課題を解決するための手段】

【0008】

本発明に係る一側面は、画素のランダム・テレグラフ・シグナル・ノイズの影響を低減可能なイメージセンサである。このイメージセンサは、(a)センサ素子を含むセンサ回路と該センサ素子からの信号を増幅するMIS型トランジスタを含む選択回路とを有しており、カラム線に接続された画素と、(b)前記画素内の前記選択回路に接続されており、前記画素から信号を読み出す期間中に、前記MIS型トランジスタに複数回のスイッチング動作を生じさせることによって前記画素のランダム・テレグラフ・シグナル・ノイズのスペクトルの帯域を拡大してランダム・テレグラフ・シグナル・ノイズのスペクトル密度を下げると共に前記画素に読出状態を設定するための制御信号を、前記選択回路に提供

20

【0009】

画素のMIS型トランジスタによって発生されるランダム・テレグラフ・シグナル・ノイズのスペクトルは、比較的低い周波数の領域に分布する。本発明のイメージセンサによれば、読み出し期間中に、ノイズシェイピングのための制御信号を選択回路に加えて選択回路内のMIS型トランジスタの状態を変化させる。この制御信号に応じて、画素のランダム・テレグラフ・シグナル・ノイズのスペクトルの帯域は成形されて拡大され、スペクトル密度が低減される。このため、拡大された帯域のノイズスペクトルは、上記の低い周波数領域よりも広い周波数の範囲にわたって分布する。処理回路は、変更されたスペクトルでランダム・テレグラフ・シグナル・ノイズを生成する画素からの信号を受け、処理回路は、ハイカットフィルタリング処理を施して読み出し信号を生成する。これ故に、この読み出し信号へのランダム・テレグラフ・シグナル・ノイズの影響は低減される。

30

【0010】

本発明に係るイメージセンサでは、前記制御信号は、前記複数回のスイッチング動作により、前記MIS型トランジスタのチャネルキャリア密度の異なる第1及び第2の状態を設定し、前記第1及び第2の状態のいずれか一方は前記読出状態のために設けられ、前記読出状態では、前記選択回路に複数回の読出期間が設定されることができる。

【0011】

40

このイメージセンサによれば、前記画素は、複数回のスイッチング動作及び複数回の読出状態に置かれる。これ故に、MIS型トランジスタの動作状態は読み出し期間中に複数回の変化を受けてキャリアのトラップ及びデトラップが生じて、そのランダム・テレグラフ・シグナル・ノイズのスペクトルは変更される。

【0012】

本発明に係るイメージセンサでは、前記選択回路は、前記センサ回路に接続された制御入力、前記カラム線に接続された信号出力、及び前記制御回路に接続された電源端子を含み、前記制御回路は、前記読み出し期間の第1の部分に電位レベルを提供すると共に、前記読み出し期間の第2の部分に該電位レベルより低いレベルとを提供し、前記読出状態は、前記第1の部分において前記画素に設定される。

50

【0013】

このイメージセンサによれば、制御回路からの制御信号は、選択回路の電源端子に加えられる。印加された制御信号の2つのレベルは、MIS型トランジスタに伝わり、MIS構造のチャンネルのキャリア密度が変更される。

【0014】

本発明に係るイメージセンサでは、前記選択回路は、前記センサ回路に接続された制御入力、前記カラム線を介して前記制御回路に接続された信号出力、及び電源端子を含み、前記制御回路は、前記選択回路の前記信号出力に接続されており、前記制御回路は、前記読み出し期間の第1の部分に第1の電流を流すと共に、前記読み出し期間の第2の部分に該第1の電流より大きい第2の電流を流しており、前記読出状態は、前記第1及び第2の部分のいずれか一方において前記画素に設定される。

10

【0015】

このイメージセンサによれば、制御回路からの制御信号は、選択回路の信号出力に加えられ。印加された制御信号の2つの電流値はMIS型トランジスタを流れ、MIS構造のチャンネルのキャリア密度が変更される。

【0016】

本発明に係るイメージセンサでは、前記処理回路は、前記画素からの信号を受ける積分器を含む信号読み出し回路を有することができる。このイメージセンサによれば、積分器より、読み出しに際してハイカットフィルタリング処理が可能になる。

【0017】

本発明に係るイメージセンサでは、前記積分器は、前記読出状態において前記画素からの信号を受けるサンプリング回路と、前記サンプリング回路によってサンプリングされた信号を積分する積分回路とを含み、前記積分器の帯域 f_{INT} は、前記制御回路からの前記制御信号を受けた前記MIS型トランジスタによって生成されるランダム・テレグラフ・シグナル・ノイズの帯域 f_{RTN} より小さい。

20

【0018】

このイメージセンサによれば、制御信号の印加により、ランダム・テレグラフ・シグナル・ノイズのスペクトル密度を下げランダム・テレグラフ・シグナル・ノイズのスペクトル帯域の上限を大きくできる。積分器の帯域 f_{INT} は、積分回数とサンプリング周期とに関係している。サンプリング周期は制御信号によって決定される読出状態と関係づけられており、所望の帯域 f_{INT} を得るように積分回数を調整することが好ましい。

30

【0019】

本発明に係るイメージセンサでは、前記処理回路は、前記画素からの信号を増幅する信号読み出し回路を有しており、前記信号読み出し回路の帯域 f_{AMP} は、前記制御回路からの前記制御信号を受けた前記MIS型トランジスタによって生成されるランダム・テレグラフ・シグナル・ノイズの帯域 f_{RTN} より小さい。

【0020】

このイメージセンサによれば、制御信号の印加により、ランダム・テレグラフ・シグナル・ノイズのスペクトル密度を下げランダム・テレグラフ・シグナル・ノイズのスペクトル帯域の上限を大きくできる。また、信号読み出し回路の回路定数を調整して、所望の利得帯域 f_{AMP} を得ることができる。

40

【0021】

本発明に係るイメージセンサは、前記処理回路に接続された保持キャパシタを更に備え、前記保持キャパシタは、前記信号読み出し回路の出力からの信号を保持することができる。このイメージセンサによれば、保持キャパシタは処理回路の負荷となり、処理回路の利得帯域を狭めるように作用する。

【0022】

本発明に係るイメージセンサでは、前記画素は、リセットレベルを示す第1の信号と、信号レベルを示す第2の信号とを提供することができる。前記イメージセンサは、前記リセットレベルに対応しており前記処理回路によって生成された第1の読出信号を保持する

50

第1の保持回路と、前記信号レベルに対応しており前記処理回路によって生成された第2の読出信号を保持する第2の保持回路とを更に備えることができる。

【0023】

このイメージセンサによれば、リセットレベル及び信号レベルの各々に対して、ランダム・テレグラフ・シグナル・ノイズの影響が低減される。

【0024】

本発明の上記の目的および他の目的、特徴、並びに利点は、添付図面を参照して進められる本発明の好適な実施の形態の以下の詳細な記述から、より容易に明らかになる。

【発明の効果】

【0025】

以上説明したように、本発明によれば、イメージセンサ内の画素からの信号に含まれるランダム・テレグラフ・シグナル・ノイズを低減可能なイメージセンサが提供される。

【発明を実施するための最良の形態】

【0026】

本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することによって容易に理解できる。引き続き、添付図面を参照しながら、本発明のイメージセンサに係る実施の形態を説明する。可能な場合には、同一の部分には同一の符号を付する。

【0027】

図1は、本実施の形態に係るイメージセンサの構成を示す図面である。イメージセンサ11は、画素13、制御回路15、及び処理回路17を備える。このイメージセンサ11は、画素13のランダム・テレグラフ・シグナル・ノイズ(RTS: random telegraph signal)の影響を低減可能である。画素13はセンサ回路19と選択回路21とを有しており、センサ回路19はセンサ素子19aを含んでおり、センサ素子19aは、光Lに 응답して光電流を生成する。センサ素子19aは、例えばフォトダイオードであることが好ましい。選択回路21は、センサ素子19aからの信号 V_{SEN} を増幅するMIS型トランジスタ(以下、「増幅用トランジスタ」と記す)21aを含む。増幅用トランジスタはnチャンネル型を有することができる。制御回路15は、画素13内の選択回路21に接続されており、画素13の読み出し期間中に、増幅用トランジスタ21aのRTSノイズのノイズシェイピングを生じさせて画素13のRTSのスペクトルの帯域を拡大してRTSノイズのスペクトル密度を小さくすると共に画素13に読出状態を設定するための制御信号 S_{CONT} を生成する。制御信号 S_{CONT} は選択回路に提供され、当該画素13の読出状態において増幅用トランジスタ21aの動作状態は制御信号 S_{CONT} によって変更される。処理回路17は、画素13からの信号 S_{DATA} をカラム線を介して読み出す。画素13からの信号 S_{DATA} にハイカットフィルタリング処理を施すように、この読出は行われる。

【0028】

増幅用トランジスタ21aによって発生されるRTSのスペクトルは、比較的低い周波数の領域に分布する。このイメージセンサ11によれば、選択回路21内の増幅用トランジスタ21aは、読み出し期間中にノイズシェイピングのための制御信号 S_{CONT} を受け、この制御信号 S_{CONT} に応じて画素13のRTSのスペクトルは成形され、この成形により、RTS帯域は、RTSノイズのスペクトル密度を小さくするように拡大される。拡大された帯域のノイズスペクトルは、上記の低い周波数領域よりも広い周波数の範囲にわたって分布して、そのノイズスペクトル密度は小さくなる。処理回路17は、変更されたスペクトルを有するRTSを生成する画素13からの信号 S_{DATA} を受け、処理回路17は、ハイカットフィルタリング処理を施して読み出し信号 S_{OUT} を生成するので、この読み出し信号 S_{OUT} へのRTSの影響は低減される。

【0029】

イメージセンサ11では、制御信号 S_{CONT} は、ノイズシェイピングのために増幅用トランジスタ21aに複数回のスイッチング動作を行うためのスイッチング動作期間を設

10

20

30

40

50

定すると共に、読出状態において選択回路21に複数回の読出期間を設定することができる。このイメージセンサ11によれば、画素13は、複数回のスイッチング動作及び複数回の読出状態に置かれる。これ故に、増幅用トランジスタ21aの動作状態は読み出し期間中に複数回の変化を受けてキャリアのトラップ及びデトラップが生じて、そのRTSノイズのスペクトルはそのスペクトル密度下げように変更される。スイッチング動作期間及び読出期間は交互に配置されることが好ましく、またその配置は周期的であることがより好ましい。

【0030】

画素13の一例として、CMOSイメージセンサセルがある。CMOSイメージセンサセルでは、例えば図1に示されるように、センサ素子19aとして、例えば埋込型フォトダイオードが用いられる。センサ回路19は、センサ素子19aと増幅用トランジスタ21aと間に接続された伝達トランジスタ19bと、蓄積ノード19cをリセットするためのリセットトランジスタ19dとを含む。伝達トランジスタ19bのゲートはX伝達制御信号TXを受けており、リセットトランジスタ19dのゲートはリセット信号Rを受けている。蓄積ノード19cは、増幅用トランジスタ21aのゲートに接続されている。選択回路21は、増幅用トランジスタ21aと直列に接続された選択トランジスタ21bを含んでおり、増幅用トランジスタ21aに流れる電流は、選択トランジスタ21bに流れる。選択トランジスタ21bのゲートは選択信号Sを受けている。選択回路21は、電源端子22a、カラム線に接続された信号出力22b、及びセンサ回路19に接続された制御入力22cを有している。このCMOSイメージセンサによれば、CMOSイメージセンサセルのランダム・テレグラフ・シグナル・ノイズをイメージセンサのカラムにおける信号処理により低減し、低ノイズを実現できる。

【0031】

増幅用トランジスタ21aでは、ゲートが制御入力22cからの信号を受け、ソース及びドレインの一方は信号出力22bに接続され、ソース及びドレインの他方が電源端子22aに接続されている。ソース及びドレインの少なくともいずれか一方が制御信号 S_{CNT} を受けることが好ましい。ソース及びドレインの少なくともいずれか一方に制御信号 S_{CNT} を加えれば、増幅用トランジスタ21aのMIS構造における印加電界を変えて、チャンネルキャリア密度を変更できる。

【0032】

図1を参照すると、処理回路17からの読み出し信号 S_{OUT} は、保持回路23によって保持される。イメージセンサ11における画素13が、リセットレベルを示す第1の信号S1と、信号レベルを示す第2の信号S2とを生成するとき、処理回路17は第1及び第2の信号S1、S2をそれぞれ処理して読み出し信号 S_{OUT1} 、 S_{OUT2} を生成する。保持回路23は、読み出し信号 S_{OUT1} 、 S_{OUT2} を保持する。このイメージセンサ11によれば、リセットレベル及び信号レベルの各々に対して、RTSノイズが低減される。A/D変換回路25は、保持回路23からの信号のデジタル化処理を行っており、必要な場合には、リセットノイズキャンセル処理を行うことができる。また、イメージセンサ11は、画素13のアレイ7を含み、アレイ7のカラムには、信号処理回路9がアレイ状に配置されている。タイミング回路28は、画素13及びその他の回路等を制御するための信号を提供する。

【0033】

引き続き、ノイズシェイピングによるRTSスペクトルの帯域拡大を説明する。n型MOS電界効果トランジスタを強反転状態にすると、そのチャンネルには十分高い濃度の電子が生成される。このため、シリコンとシリコン酸化膜との界面のトラップ(界面準位)の大部分が長い時間にわたって電子で満たされた状態にある。トラップにある電子がトラップから放出されることもあり、チャンネル電子が、空いたトラップに捕獲されることもある。この電子の捕獲及び放出がMOS電界効果トランジスタにおけるランダムノイズの発生原因となる。ランダムノイズは、 $1/f$ ノイズや、RTSノイズと呼ばれる。例えば、 $1/f$ ノイズは、いろいろな時定数をもったRTSノイズが重なり合って観測されるもので

10

20

30

40

50

あると言われている。

【 0 0 3 4 】

ランダムノイズの挙動を理解するために、まず1つのトラップによるRTSノイズの振る舞いを考える。トランジスタのシリコン酸化膜内のトラップに電子が捕獲されると、そのトランジスタのしきい値電圧が高くなる。これ故に、そのトランジスタの電流端子に定電流の負荷が接続されたソースフォロワ回路の出力電圧を観測したとき、そのしきい値電圧変動に対応してチャンネル電流が変化する。このため、ソース電圧にRTSの波形が観測される。また、トランジスタのゲート・ソース間に一定の電圧 V_{GS0} を加えてトランジスタのドレイン電流を直接観測したとき、しきい値電圧変動に対応してチャンネルの電子密度が変化する。このため、ドレイン電流にRTS波形が観測される。これらのRTS波形から、n型MOS電界効果トランジスタの閾値の変動が見積もられる。

10

【 0 0 3 5 】

図2は、RTSノイズによりn型MOS電界効果トランジスタの閾値の変動及び閾値変動の波形のスペクトルを示す。n型MOS電界効果トランジスタを飽和領域で動作させると共に、該トランジスタにあまり大きな電流を印加しないとき、界面トラップが電子を捕獲するまでの平均時間が比較的長くなる。閾値変動の波形として、図2(a)に示すような波形が観測される。図2(a)において、「 c_1 」はトラップが電子を捕獲する平均時間を示し、n型MOS電界効果トランジスタのトラップにおける捕獲Cと放出Eによる信号波形は、ローレンツ型のスペクトルを有する。図3は、電子の捕獲と放出による信号波形のスペクトル S_{p1} を示す。 c_1 が大きいほど、スペクトルの成分が低い周波数で大きくなる。トラップが電子を放出するまでの平均時間「 e_1 」が電子を捕獲する平均時間 c_1 に等しいとき、図2(b)に示される式(1)で表される。

20

【 0 0 3 6 】

このようなスペクトルをもつ信号の実効値は、図2(c)に示される式(2)で表される。式(2)を参照すると、信号の実効値は c_1 に無関係にある。図3は、また、スペクトル S_{p2} を示す。スペクトル S_{p2} では、トラップが電子を捕獲する平均時間は「 c_2 」である。スペクトル S_{p2} は、図2(d)に示すような閾値変動によって生成される。「 c_2 」が「 c_1 」より十分に小さく、且つ「 e_2 」が「 e_1 」より十分に小さいとき、スペクトル S_{p2} は、全体に低いスペクトル密度であり、広い高い周波数まで成分をもつ。図3において、スペクトル S_{p1} の面積 A_1 はスペクトル S_{p2} の面積 A_2 に等しく、スペクトル S_{p1} からスペクトル S_{p2} に変化しても、ノイズの実効値は変化しない。

30

【 0 0 3 7 】

MOS電界効果トランジスタのチャンネルの電子密度を繰り返し変化させることによって、電子の捕獲Cと放出Eによる閾値変動の信号波形を、スペクトル S_{p1} からスペクトル S_{p2} に変化させることができる。トランジスタのチャンネル電子密度の変化は、例えばトランジスタを動作させて飽和領域における動作と線形領域における動作とに繰り返し行うことにより得られる。このような繰り返しにより、トラップにおける電子の平均捕獲時間を短くすることができる。したがって、ノイズシェイピングによるRTSスペクトルの帯域の拡大とRTSスペクトル密度の低減とが達成される。この画素からの信号を読み出すとき、その信号のRTSノイズのスペクトルは、スペクトル S_{p1} よりは S_{p2} のスペクトルに近い。これ故に、画素からの信号を、利得帯域が制限された回路を用いて読み出すことによって、RTSノイズを部分的に除くことができる。例えば、画素からの信号にハイカットフィルタリング処理(或いは、ローパスフィルタリング処理、またはこれらの処理の少なくともいずれか一方の処理)を施すように読み出せば、RTSノイズが低減される。

40

【 0 0 3 8 】

MOS電界効果トランジスタのトラップに電子が捕獲される確率は、MOS界面の電子濃度に比例すると考えられる。また、MOS電界効果トランジスタで発生するRTSノイズに関する実験結果によれば、大きなドレイン電流がトランジスタに流れるとき、トラッ

50

ブに電子が捕獲された状態の時間は、トラップから電子が放出されている状態の時間よりも長くなる。大きなドレイン電流ではチャンネルの電子濃度が大きくなると共に、ゲート電極には大きな電圧が印加されてゲート酸化膜中の電界も強くなる。これ故に、電子がトラップに引きつけられやすい。

【0039】

上記の2つの理由により、以下の事項がトラップへの電子捕獲を促進するために有効である：(1)チャンネルの電子濃度を高くすること、(2)ゲート電極と基板の間に大きな電圧を加えること。

【0040】

ノイズシェイピングを実現するための具体例を示す。

10

その一：MOS電界効果トランジスタを線形領域で動作させると共に、ゲート絶縁膜には大きな電圧を印加する。

その二：ソースとドレインとの間に0ボルトまたは0ボルトに近い値の電圧を印加すると共に、ゲート絶縁膜には大きな電圧を印加する。

長い時間にわたって飽和領域で動作するMOS電界効果トランジスタでは、電子がMOS界面のトラップから放出されてしまうので、トラップに電子を供給するためにMOS電界効果トランジスタに電圧を加える期間を設ける。

【0041】

図4(b)に示されるように、画素の選択回路といったアナログ回路内のMOS電界効果トランジスタが飽和領域で動作するとき、ドレイン近傍のチャンネルは空乏状態にある或いは低い電子濃度の状態にある。その結果、ドレイン近傍のMOS界面に存在するトラップでは、電子捕獲の確率が低くなる。そこで、図4(c)に示されるように、例えばソースとドレインとの間に0ボルトまたは0ボルトに近い値の電圧を印加する期間をMOS電界効果トランジスタに設けて、十分に大きな濃度の電子をチャンネル領域の全体に供給する。この電子供給期間では、トラップの電子捕獲が容易に生じる。故に、電子供給期間と飽和領域での動作期間とを交互に(好ましくは周期的に)配置して、電子の捕獲と放出の繰り返しを促進する。

20

【0042】

飽和領域の動作で電子が放出されたトラップが、図4(a)に示される波形B(V_{DS})の電圧印加によって、次の電子供給期間中に電子を捕獲するものとする、RTSノイズの波形は、波形C(With Switching)のようになり、波形A(Without Switching)に比べて電子の平均捕獲時間を短くできる。

30

【0043】

MOS電界効果トランジスタにおいて、ホールのアキュムレーションと電子反転層を繰り返して形成することによって $1/f$ ノイズを低減できる。しかしながら、ホールのアキュムレーションは、集積回路、例えばイメージセンサ等の実際の回路では使いにくい。なぜなら、MOS電界効果トランジスタをカットオフ状態にして、高濃度のホールをMOS界面に蓄積する電圧印加が難しいからである。

【0044】

本実施の形態では、MOS電界効果トランジスタを強反転状態に置いたままで、より強い強反転状態と相対的に弱い強反転状態との間でスイッチング動作を行わせる。このスイッチング動作によって $1/f$ ノイズやRTSノイズを低減できる。なお、相対的に弱い強反転状態は、そのMOS電界効果トランジスタを実際に信号の読み出しに使う状態であり、MOS電界効果トランジスタは飽和領域で動作している。より強い強反転状態の具体例としては以下のものがある。(1)MOS電界効果トランジスタを線形領域で動作させる。(2)MOS電界効果トランジスタを飽和領域のまま、ドレイン電流を大きくする。

40

【0045】

このノイズシェイピング処理と帯域制限を利用した信号読み出し回路とにより、画素内の増幅用トランジスタのRTSノイズを低減できる。帯域制限を利用した読み出しのために、例えば増幅器および積分器を用いる。

50

【 0 0 4 6 】

図 5 は、本実施の形態に係るイメージセンサの回路を示す図面である。図 6 は、図 5 に示されたイメージセンサの回路のためのタイミングチャートを示す図面である。タイミング回路 2 8 a は、画素 1 3 及びその他の回路等を制御するための信号を提供する。イメージセンサ 1 1 a は、制御回路 1 5 a を含んでおり、制御回路 1 5 a は、画素 1 3 の選択回路 2 1 の電源端子 2 2 a に接続されている。選択回路 2 1 の信号出力 2 2 b は、カラム線 2 7 を介してバイアス回路 2 9 に接続されており、バイアス回路 2 9 は、画素 1 3 の読み出しの際に、増幅用トランジスタ 2 1 a のためのバイアス電流 I_1 を提供する。本実施例では、バイアス電流 I_1 は、トランジスタ 3 0 a によって生成される。トランジスタ 3 0 a は、例えば MOS 型電界効果トランジスタであり、電圧源 3 0 b によって生成されゲートに受けるバイアス信号 V_{bias} に応じたバイアス電流 I_1 を流す。カラム線 2 7 には、代表的な画素 1 3 が接続されており、さらに複数の画素が画素 1 3 と同様に接続されている。イメージセンサ 1 1 a は、更に処理回路 1 7 a を含んでおり、処理回路 1 7 a は、カラム線 2 7 を介して画素 1 3 からの信号を受ける。処理回路 1 7 a からの読み出し信号 S_{OUT} は保持回路 2 3 a に提供され、保持回路 2 3 a は、受けた信号 S_{OUT} を保持する。保持回路 2 3 a は、例えば相関二重サンプリング (CDS) 回路である。

10

【 0 0 4 7 】

図 6 を参照すると、読み出し期間は、リセットレベル V_R の読出のための期間 T_R と信号レベル V_S の読出のための期間 T_S とを含む。リセットレベル期間 T_R では、画素 1 3 のリセットトランジスタ 1 9 d がリセット信号 $R (R(i))$ に応答して拡散ノード 1 9 c をリセットする。拡散ノード 1 9 c の信号は、増幅用トランジスタ 2 1 a のゲートに提供される。選択回路 2 1 の選択トランジスタ 2 1 b は、信号 $S (S(i))$ に応答して電源端子 2 2 a と信号出力 2 2 b との間の電流経路を導通させる。カラム線 2 7 には、リセットレベル V_R が生成される。同様に、信号レベル期間 T_S では、画素 1 3 の伝達トランジスタ 1 9 b が伝達信号 $TX (TX(i))$ に応答して導通して、フォトダイオード 1 9 a からの電荷が拡散ノードに転送される。この信号は、増幅用トランジスタ 2 1 a のゲートに提供される。選択回路 2 1 の選択トランジスタ 2 1 b は、信号 $S (S(i))$ に応答して電源端子 2 2 a と信号出力 2 2 b との間の電流経路を導通させる。カラム線 2 7 には、信号レベル V_S が生成される。

20

【 0 0 4 8 】

図 5 を参照すると、制御回路 1 5 a は、信号 1 d (信号 1 と実質的に同等の信号) に応答するスイッチ 3 1 と信号 s に応答するスイッチ 3 3 とを含む。スイッチ 3 1 の一端 3 1 a は、電源線 V_{DD} といった第 1 のレベルを提供する供給回路 3 2 a に接続されており、他端 3 1 b は制御回路 1 5 a の出力 1 6 a に接続されている。スイッチ 3 3 の一端 3 3 a は、接地線といった第 2 のレベルを供給する供給回路 3 2 b に接続されており、他端 3 3 b は制御回路 1 5 a の出力 1 6 a に接続されている。図 6 を参照すると、タイミング回路 2 8 a によって提供された信号 1 d 及び信号 s に応答して、スイッチ 3 1、3 3 は交互に導通する。制御信号 S_{CONT} には、第 1 及び第 2 のレベルが交互に現れる。第 1 のレベルの電位は第 2 のレベルの電位と異なり、この違いにより、画素 1 3 の読み出し期間中に、選択回路 2 1 の増幅用トランジスタ 2 1 a には、少なくとも 2 種類のバイアス条件の下に置かれる。この結果、RTS ノイズのノイズシェイピングによる RTS スペクトルの帯域が拡大されて、RTS ノイズスペクトル密度が小さくされる。本実施例では、第 1 のレベルの電位は第 2 のレベルより高い。

30

40

【 0 0 4 9 】

リセットレベル及び信号レベルの読出は、制御信号 S_{CONT} を用いて、以下のように行われる。スイッチ 3 1 の非導通及びスイッチ 3 3 の導通の期間 T_{L1} では、選択回路 2 1 の電源端子には接地電位が提供され、増幅用トランジスタ 2 1 a は非飽和領域にある。増幅用トランジスタ 2 1 a のチャンネルの電子密度は高い。より具体的には、増幅用トランジスタ 2 1 a のソース及びドレインには接地電位が印加され、ゲートには、センサ回路 1 9 からの信号が印加されている。また、スイッチ 3 1 の導通及びスイッチ 3 3 の非導通の

50

期間 T_{L2} では、選択回路 21 の電源端子には読み出しのための電位（例えば V_{DD} ）が提供される。増幅用トランジスタ 21 a への電源電圧の印加にตอบสนองして、増幅用トランジスタ 21 a のチャンネルの電子密度は、ドレイン近傍において低くなる。より具体的には、バイアス回路 29 からの電流が、制御回路 15 a から供給され、また選択回路 21 の増幅用トランジスタ 21 a に流れる。カラム線 27 の電位は、拡散ノード 19 c に電位に応じた値なる。

【0050】

上記の説明によれば、制御回路 15 a からの信号 S_{CONT} により、読み出し期間中に、増幅用トランジスタ 21 a のチャンネルの電子密度が変更されており、また、ゲート絶縁膜に印加される電界も変更されている。期間 T_{L1} 及び期間 T_{L2} は、期間 T_R より十分に短いので、増幅用トランジスタ 21 a は、読み出し期間中に複数回の電位の変更を受ける。この変更によりトラップにおいて電子の放出及び捕獲が強制的に引き起こされる。故に、トラップの放出状態及び捕獲状態の緩和時間は平均値として短くできる。

10

【0051】

画素 13 からの信号 S_{DATA} は、カラム線 27 を介して処理回路 17 a に提供される。処理回路 17 a は、増幅回路を用いた帯域制限を利用してハイカットフィルタリング処理を行うように、読出状態の画素からの信号 S_{DATA} を読み出す。処理回路 17 a の信号読み出し回路 35 a では、制御信号 S_{CONT} の印加により RTS ノイズのスペクトル帯域の上限を大きくできる。また、信号読み出し回路 35 a の回路定数を調整して、所望の利得帯域 f_{AMP} を得ることができる。故に、信号読み出し回路 35 a の帯域 f_{AMP} は、制御回路 15 a からの制御信号 S_{CONT} を増幅用トランジスタ 21 a に加えるとき増幅用トランジスタ 21 a によって生成される RTS ノイズの帯域 f_{RTN} より小さい。

20

【0052】

帯域制限は、処理回路 17 a（或いは信号読み出し回路 35 a）の出力にキャパシタ（例えば、 CDS 回路内のキャパシタ）を接続することによって提供される。このキャパシタは、処理回路 17 a の負荷となり、処理回路 17 a の利得帯域を狭めるように作用する。このキャパシタのキャパシタンスは比較的大きな値なので、出力信号を保持するための利用できる。

【0053】

この帯域制限を具体的に説明する。既に説明したように、画素 19 からの信号の読み出しでは、 RTS ノイズの周波数成分の帯域に比べて増幅器の帯域を十分低くすることによってノイズ低減が可能となる。 RTS ノイズの帯域 f_c は、以下の式（1）で表される：

30

$$f_c = 1 / (2 \times c_2) \quad (1)$$

c_2 は制御信号 V_{CONT} の印加された増幅用トランジスタの平均放出時間である。キャパシタンス比で増幅率を規定する増幅回路に演算増幅回路として伝達コンダクタンス型アンプを用いるとき、この増幅回路の帯域 f_{ca} は、近似的に式（2）で規定される。

$$f_{ca} \sim g_{ma} / (2 \times G \times C_L) \quad (2)$$

である。記号 G は、増幅回路のゲイン（ C_1 / C_2 ）であり、記号 g_{ma} は演算増幅回路の伝達コンダクタンスであり、記号 C_L は演算増幅回路の出力に接続される負荷容量である。したがって、ゲインを十分大きくするとともに、オペアンプの伝達コンダクタンスを小さくし、負荷容量を大きくすることによって、アンプの帯域を低くすることができる。

40

これにより、

$$f_{ca} \ll f_c$$

となるように、制御信号 V_{CONT} を発生すると共に処理回路 17 a を設計する。ただし、増幅回路の応答時間 t_r のセットリング誤差を 1% 以下に収めるためには、

$$t_r \sim 4.6 \times G \times C_L / g_{ma} \quad (3)$$

となる。故に、帯域を低くしすぎると増幅回路の応答ができなくなるので、応答時間 t_r を、画素 13 のリセットレベル及び信号レベルそれぞれの読み出し時間より短く設定する。

【0054】

50

再び図5を参照すると、信号読み出し回路35aは、信号 S_{DATA} を受けて、その増幅を行う増幅回路39を含む。増幅回路39は、第1及び第2のキャパシタ45、47と、キャパシタ45、47と共に増幅を行う演算増幅回路49とを含むことができる。第1及び第2のキャパシタ45、47のキャパシタンス比($C1/C2$)は、増幅回路39の増幅率を規定する。増幅回路39では、キャパシタ41の一端とカラム線27との間にスイッチ43が接続されている。キャパシタ45がスイッチ43と演算増幅回路49の入力(例えば、反転入力)との間に接続されており、キャパシタ47及びリセットスイッチ51が、演算増幅回路49の入力(例えば、反転入力49a)と出力(例えば、非反転出力49b)との間に接続されている。演算増幅回路49の別の入力49cには参照信号線が接続されており、参照信号 V_{COM} が与えられる。制御信号 S_{CONT} に応答して、信号読み出し回路35a出力は、例えば図6に示された V_{AMP} のように変化する。

10

【0055】

保持回路23は、第1及び第2の保持回路23a、23bを含む。第1の保持回路23aは、リセットレベルに対応しており処理回路17aによって生成された読出信号を保持する。また、第2の保持回路23bは、信号レベルに対応しており処理回路17aによって生成された別の読出信号を保持する。このイメージセンサ11aによれば、リセットレベル及び信号レベルの各々に対して、RTSノイズの影響が低減される。

【0056】

第1の保持回路23aは、保持キャパシタ53aと、保持キャパシタ53aの一端と保持回路23の入力との間に接続されたスイッチ55aとを含むことができる。スイッチ55aは信号 S_{H1} に응答して動作し、リセットレベルの読み出し期間 T_R に閉じられている。第2の保持回路23bは、保持キャパシタ53bと、保持キャパシタ53bの一端と保持回路23の入力との間に接続されたスイッチ55bとを含むことができる。スイッチ55bは信号 S_{H2} に응答して動作し、信号レベルの読み出し期間 T_S に閉じられている。第1及び第2の保持回路23a、23bにおいて、保持キャパシタ53a、53bの一端は、それぞれ、スイッチ57a、57bを介してリセットレベルライン59a、信号レベルライン59bも接続されている。スイッチ57a、57bは、信号 $HS(i)$ に응答する。

20

【0057】

図7は、本実施の形態に係るイメージセンサの回路を示す図面である。図8は、図7に示されたイメージセンサの回路のためのタイミングチャートを示す図面である。タイミング回路28bは、画素13及びその他の回路等を制御するための信号を提供する。イメージセンサ11bは、制御回路15aを含むと共に、処理回路17aに替えて処理回路17bを含む。イメージセンサ11bでは、制御回路15aが用いられるので、イメージセンサ11bと同様にRTSノイズのスペクトラムのシェイピングが行われる。処理回路17bは、画素13からの信号 S_{DATA} を受け積分器を含む信号読み出し回路35bを有することができる。積分器より、読み出しに際してハイカットフィルタリング処理が可能になる。積分器の帯域 f_{INT} は、上記のRTSノイズの帯域 f_{RTN} より小さい。

30

【0058】

信号読み出し回路35bは、読出状態において信号 S_{DATA} を受けサンプリング回路61と、サンプリング回路61によってサンプリングされた信号 S_{SAMP} を積分する積分回路63とを含む。積分器の帯域 f_{INT} は、積分回数とサンプリング周期とに関係している。このイメージセンサによれば、制御信号 V_{CONT} の印加によりRTSノイズのスペクトル帯域の上限を大きくして、ノイズスペクトル密度を下げるができる。サンプリング周期は制御信号 V_{CONT} によって決定される読出状態と関係づけられており、所望の帯域 f_{INT} を得るように積分回数を調整することができる。

40

【0059】

この帯域制限を具体的に説明する。既に説明したように、画素からの信号の読み出しでは、積分器を用いた場合の積分器の帯域は、式(4)で表される。

$$f_{INT} \sim 1 / (\times M \times T_S) \quad (4)$$

50

記号 M は、積分器のサンプリング回数であり、記号 T_s は 1 サンプリングの周期を示す。

$$f_{INT} \ll f_c$$

となるようにサンプリング回数 M 及びサンプリング周期 T_s を設定する。

【0060】

サンプリング回路 61 は、サンプリング用キャパシタ 65 を含む。キャパシタ 65 の一端 65 a は、信号 1 d (信号 1 と実質的に同等の信号) に応答するスイッチ 67 a を介してカラム線 27 に接続されており、また信号 2 d (信号 2 と実質的に同等の信号) に応答するスイッチ 67 b を介して参照信号線 (V_{COM}) に接続されている。キャパシタ 65 の他端 65 b は、信号 2 に応答するスイッチ 69 a を介して積分回路 63 の入力に接続されており、また信号 1 に応答するスイッチ 69 b を介して参照信号線 (V_{COM}) に接続されている。積分回路 63 では、キャパシタ 71 及びリセットスイッチ 75 が、演算増幅回路 73 の入力 (例えば、反転入力 73 a) と出力 (例えば、非反転出力 73 b) との間に接続されている。演算増幅回路 49 の別の入力 (例えば、非反転入力 73 c) には参照信号線が接続されており、参照信号 V_{COM} が与えられる。制御信号 S_{CONT} に応答して、信号読み出し回路 35 b 出力は、例えば図 8 に示された V_{INT} のように変化する。保持回路 23 は、信号読み出し回路 35 b 出力を受ける。

10

【0061】

図 9 は、本実施の形態に係るイメージセンサの回路を示す図面である。図 6 は、また図 10 に示されたイメージセンサの回路のためのタイミングチャートを示している。タイミング回路 28 c は、図 6 に示されたクロック信号等を提供する。イメージセンサ 11 c は、画素 13 及び処理回路 17 a を含む。イメージセンサ 11 c は、更に、制御回路 15 a に替えて制御回路 15 b を含む。この実施例では、制御回路 15 b 内にはバイアス回路 29 が含まれていてもよい。また、画素 13 の選択回路 21 の電源端子は、電源線 VDD に接続されている。制御回路 15 b は、カラム線 27 を介して画素 13 の選択回路 21 の信号出力 22 b に接続されている。制御回路 15 b は、制御信号 S_{CONT} を生成する電流回路 75 a と、電流回路 75 a とカラム線 27 との間に接続されたスイッチ 75 b とを含む。電流回路 75 a は、例えば供給回路 34 から提供されるバイアス信号 (例えばバイアス信号 V_{bias}) をゲートに受けるトランジスタを含む。制御回路 15 b のために、バイアス回路 29 とは別のバイアス回路を設けることができる。スイッチ 75 b は、タイミング回路 28 c によって提供される信号 s に応答する。電流回路 75 a は、スイッチ 75 b が閉じたときに、カラム線 27 に電流 I_2 を提供する。読み出し期間中の全体にわたって、カラム線 27 にバイアス回路 29 から電流 I_1 が提供されている。図 6 を参照すると、信号 s に応答して、スイッチ 75 b は周期的に導通して電流 I_2 が提供される一方で、バイアス回路 29 のトランジスタ 30 a は連続的に導通して電流 I_1 が提供される。

20

30

【0062】

リセットレベル及び信号レベルの読出は、制御信号 S_{CONT} を用いて、以下のように行われる。増幅用トランジスタ 21 a のチャネルの電子密度は高い。より具体的には、ゲートには、センサ回路 19 からの信号が印加されており、ドレインには電源電圧が印加されている。制御回路 15 b の導通及びバイアス回路 29 の導通の期間 T_{L1} では、選択回路 21 の信号出力にはバイアス電流 $I_1 + I_2$ が提供され、増幅用トランジスタ 21 a は非飽和領域にある。増幅用トランジスタ 21 a には、バイアス電流 $I_1 + I_2$ が流れるので、増幅用トランジスタ 21 a のソースの電位は下がり、ゲート-ソース間の電位差が大きくなり、チャネル界面におけるゲート電界が強まる。また、制御回路 15 b の非導通及びバイアス回路 29 の導通の期間 T_{L2} では、選択回路 21 の電源端子には電源電圧 (例えば VDD) が印加されている。増幅用トランジスタ 21 a への通常のバイアス電流 I_1 ($< I_1 + I_2$) の印加に応答して、増幅用トランジスタ 21 a のチャネルの電子密度は低くなる。より具体的には、バイアス回路 29 とは別のバイアス回路を設けることができる。ソースの電位は上昇し、ソース-ドレイン間の電位差が小さくなり、ゲート-ソース間の電位差が小さくなる。このため、チャネル界面におけるゲート電界が弱まり、増幅用トランジスタのドレイン近傍には、空乏層が生成しやすくなる。増幅用トランジスタ 21

40

50

a には、バイアス電流 I_1 が流れる。

【0063】

制御信号 S_{CONT} に応答して、増幅用トランジスタのチャネル電子密度には、第1及び第2のレベルが交互に現れる。第1のレベルのチャネル電子密度は第2のレベルのチャネル電子密度と異っており、この違いにより、画素13の読み出し期間中に、選択回路21の増幅トランジスタには、少なくとも2種類のバイアス条件の下に置かれる。この結果、RTSノイズのノイズシェイピングによるRTSスペクトルの帯域が拡大される。本実施例では、第1のレベルのチャネル電子密度は第2のレベルより高い。

【0064】

上記の説明によれば、制御回路15bからの信号 S_{CONT} により、読み出し期間中に、増幅用トランジスタ21aのチャネルの電子密度が変更されており、また、ゲート絶縁膜に印加される電界も変更されている。期間 T_{L1} 及び期間 T_{L2} は、期間 T_R より十分に短いので、増幅用トランジスタ21aは、読み出し期間中に複数回の電位の変更を受ける。この変更によりトラップにおいて電子の放出及び捕獲が強制的に引き起こされる。故に、トラップの放出状態及び捕獲状態の緩和時間は平均値として短くできる。

10

【0065】

図10は、本実施の形態に係るイメージセンサの回路を示す図面である。図8は、また図10に示されたイメージセンサの回路のためのタイミングチャートを示している。タイミング回路28dは、図8に示されたクロック信号等を提供する。イメージセンサ11dは、画素13及び処理回路17bを含む。イメージセンサ11dは、更に、制御回路15aに替えて制御回路15bを含む。制御回路15bは、イメージセンサ11cの実施の形態で説明したように、制御回路15bからの信号 S_{CONT} により、読み出し期間中に、増幅用トランジスタ21aのチャネルの電子密度が変更されており、また、ゲート絶縁膜に印加される電界も変更されている。期間 T_{L1} 及び期間 T_{L2} は、期間 T_R より十分に短いので、増幅用トランジスタ21aは、読み出し期間中に複数回の電位の変更を受ける。この変更によりトラップにおいて電子の放出及び捕獲が強制的に引き起こされる。故に、トラップの放出状態及び捕獲状態の緩和時間は平均値として短くできる。

20

【0066】

以上説明したように、本実施の形態によれば、イメージセンサ内の画素からの信号に含まれるRTSノイズを低減可能なイメージセンサ11、11a~11dが提供される。回路図に示されたスイッチは、例えばMOS型トランジスタ、MOSアナログスイッチ等のトランジスタによって実現される。スイッチの種類は、これらの例示に限定されるものではない。

30

【0067】

好適な実施の形態において本発明の原理を図示し説明してきたが、本発明は、そのような原理から逸脱することなく配置および詳細において変更され得ることは、当業者によって認識される。本発明は、本実施の形態に開示された特定の構成に限定されるものではない。例えば、本実施の形態では、MOS型電界効果トランジスタを参照しながらイメージセンサを説明したが、本実施の形態は、これ以外のMIS型トランジスタを含むイメージセンサにも適用される。したがって、特許請求の範囲およびその精神の範囲から来る全ての修正および変更を請求する。

40

【産業上の利用可能性】

【0068】

CMOSイメージセンサは、埋め込みフォトダイオードの応用により、フォトダイオード部の暗電流の低減、及びリセットノイズのキャンセルがなされたので、読み出しトランジスタが発生するノイズが支配的になっている。特に、トランジスタが微小になることにより発生するRTSが読み出しに関係するようになってきている。画素によっては、極端に大きなRTSノイズが発生する場合があります、その低減が、例えば極低照度でのCMOSイメージセンサの応用において重要な課題となっている。

【0069】

50

本発明の実施の形態では、イメージセンサのカラムに設けた回路における信号処理により R T S ノイズを低減し、低ノイズの C M O S イメージセンサを提供している。

【 0 0 7 0 】

本発明の実施の形態では、画素内の増幅用トランジスタの R T S ノイズを低減するために、増幅用トランジスタのチャンネルの電子濃度を周期的に非常に大きくなるようにするスイッチング動作を加えると共に、画素からの信号を読み出す。具体的には、画素からの信号の多数回のサンプリングを行って積分処理を行う。読み出しは、画素のリセットレベル、信号レベルのそれぞれに対して行う。この結果、画素からの信号の R T S ノイズが低減される。このスイッチング動作によって、R T S ノイズに起因するチャンネル界面におけるトラップへの平均捕獲時間が短くなり、そのノイズの周波数成分を高い周波数に分散させる。この結果、R T S ノイズの低減が図られる。ノイズ低減の方法として、積分器の代わりに、容量比で増幅するアンプを用いることもできる。また、スイッチング方法として、画素内の増幅用トランジスタに対して、周期的に大きな電流を流すことによって、界面トラップへの平均捕獲時間を短くしても、R T S ノイズを低減できる。

10

【 図面の簡単な説明 】

【 0 0 7 1 】

【 図 1 】 図 1 は、本実施の形態に係るイメージセンサの構成を示す図面である。

【 図 2 】 図 2 は、R T S ノイズにより n 型 M O S 電界効果トランジスタの閾値の変動及び閾値変動の波形のスペクトルを示す図面である。

20

【 図 3 】 図 3 は、電子の捕獲と放出による信号波形のスペクトルを示す図面である。

【 図 4 】 図 4 は、ノイズシェイピングのための制御信号とトランジスタのチャンネル電子の状態を示す図面である。

【 図 5 】 図 5 は、実施の形態に係るイメージセンサの回路を示す図面である。

【 図 6 】 図 6 は、図 5 に示されたイメージセンサの回路のためのタイミングチャートを示す図面である。

【 図 7 】 図 7 は、別の実施の形態に係るイメージセンサの回路を示す図面である。

【 図 8 】 図 8 は、図 7 に示されたイメージセンサの回路のためのタイミングチャートを示す図面である。

【 図 9 】 図 9 は、更に別の実施の形態に係るイメージセンサの回路を示す図面である。

【 図 1 0 】 図 1 0 は、また更に別の実施の形態に係るイメージセンサの回路を示す図面である。

30

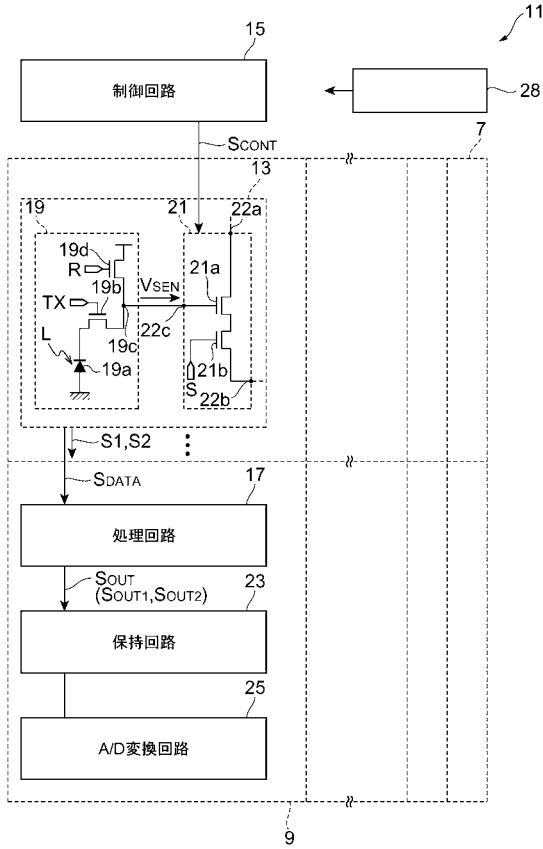
【 符号の説明 】

【 0 0 7 2 】

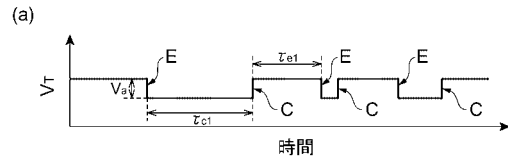
7 ... 画素アレイ、9 ... 信号処理回路、11、11 a ~ 11 d ... イメージセンサ、13 ... 画素、15、15 a、15 b ... 制御回路、17、17 a、17 b ... 処理回路、19 ... センサ回路、19 a ... センサ素子、19 b ... 伝達トランジスタ、19 c ... 蓄積ノード、21 ... 選択回路、21 a ... 増幅用トランジスタ (M I S 型トランジスタ)、21 b ... 選択トランジスタ、22 a ... 電源端子、22 b ... 信号出力、22 c ... 制御入力、27 ... カラム線、29 ... バイアス回路、35 a、35 b ... 信号読み出し回路、39 ... 増幅回路、41 ... キャパシタ、45、47 ... 第 1 及び第 2 のキャパシタ、49 ... 演算増幅回路、61 ... サンプリング回路、63 ... 積分回路、S C O N T ... 制御信号、S D A T A ... カラム線上の信号、S O U T、S O U T 1、S O U T 2 ... 読み出し信号、S 1 ... 第 1 の信号、S 2 ... 第 2 の信号、c 1 ... トラップが電子を捕獲する平均時間、e 1 ... トラップが電子を放出するまでの平均時間、T R ... リセットレベルの読出のための期間、T S ... 信号レベルの読出のための期間、V R ... リセットレベル、V S ... 信号レベル、f A M P ... 信号読み出し回路の帯域、f R T N ... 増幅用トランジスタによって生成される R T S ノイズの帯域、f I N T ... 積分器の帯域

40

【 図 1 】

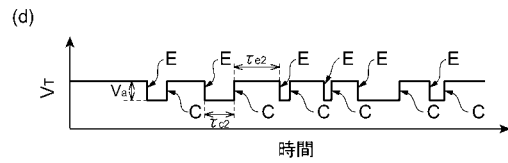


【 図 2 】

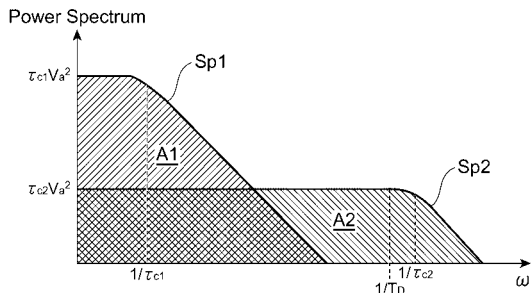


$$s(\omega) = \frac{\tau_{c1} V_a^2}{1 + (\omega \tau_{c1})^2} \quad \dots(1)$$

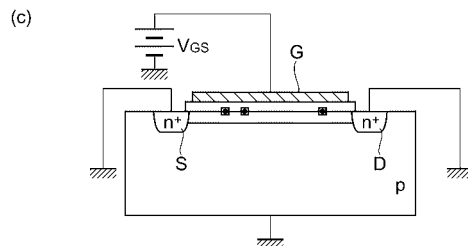
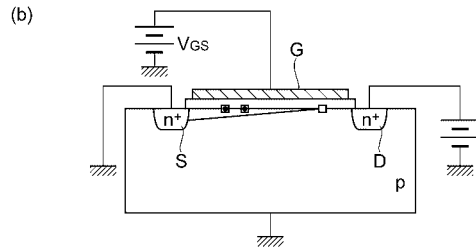
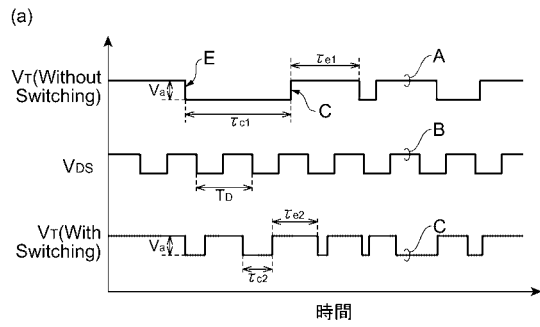
$$\bar{V}_n = \int_0^{\infty} s(\omega) d\omega = \frac{V_a^2}{2} \quad \dots(2)$$



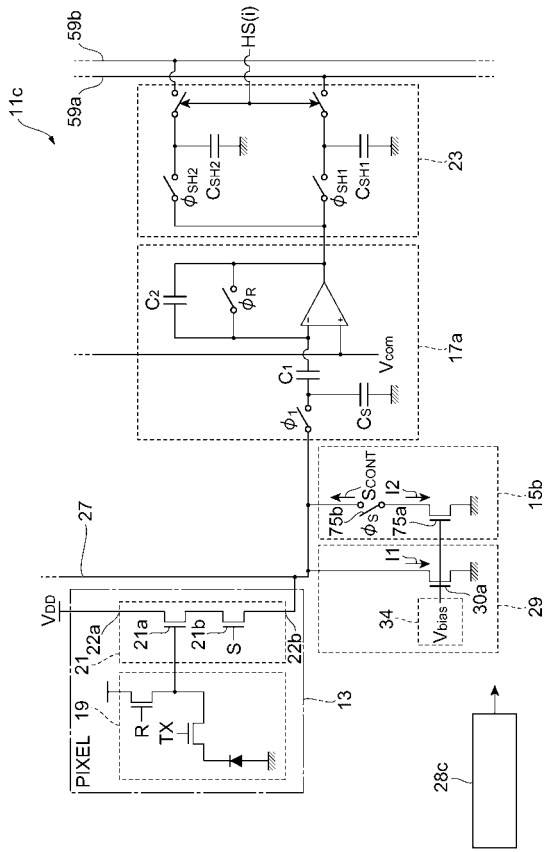
【 図 3 】



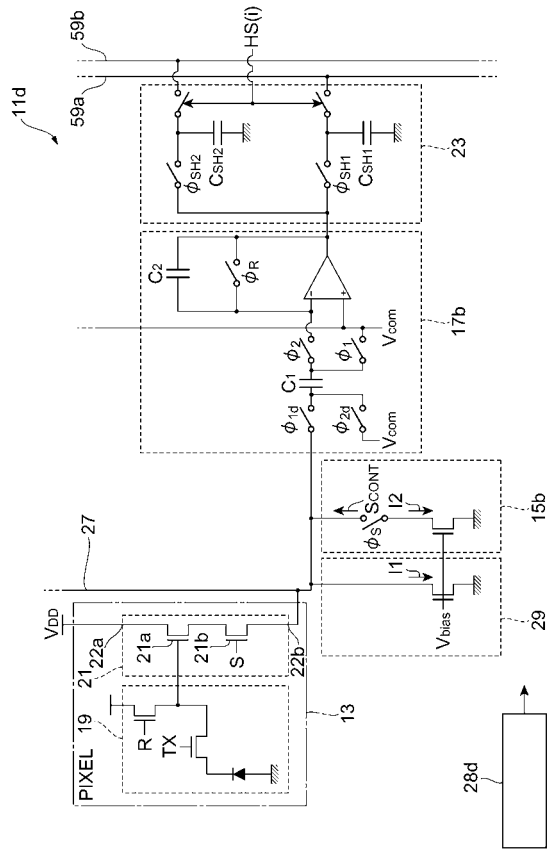
【 図 4 】



【 図 9 】



【 図 10 】



フロントページの続き

Fターム(参考) 5C051 AA01 BA02 DA02 DB01 DB06 DB08 DB14 DC03 DE02 DE03
DE13