

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-212551
(P2009-212551A)

(43) 公開日 平成21年9月17日(2009.9.17)

(51) Int.Cl.
H03F 1/26 (2006.01)

F I
H03F 1/26

テーマコード(参考)
5J500

審査請求 有 請求項の数 4 O L (全 7 頁)

(21) 出願番号 特願2008-50389(P2008-50389)
(22) 出願日 平成20年2月29日(2008.2.29)

特許法第30条第1項適用申請有り 発行者名 社団法人応用物理学会 刊行物名 2007年(平成19年)秋季 第68回応用物理学会学術講演会講演予稿集 発行日 2007年9月4日

(71) 出願人 503360115
独立行政法人科学技術振興機構
埼玉県川口市本町4丁目1番8号
(74) 代理人 100088155
弁理士 長谷川 芳樹
(74) 代理人 100124291
弁理士 石田 悟
(74) 代理人 100124800
弁理士 諏澤 勇司
(72) 発明者 葛西 誠也
北海道札幌市厚別区厚別東5条7丁目7-2
Fターム(参考) 5J500 AA01 AA21 AC41 AF15 AH09
AH25 AK01 AK26 AK32 AM21
AS13 AT02

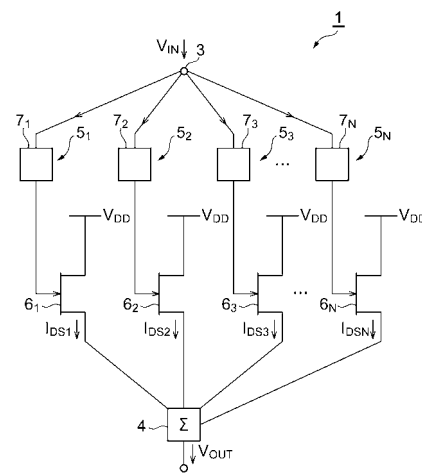
(54) 【発明の名称】 信号再生装置

(57) 【要約】

【課題】簡易な装置構成で雑音に埋もれた微小電気信号の検出を実現し、特に半導体装置を利用することにより装置を容易に小面積化すること。

【解決手段】この信号再生装置1は、共通の入力信号 V_{IN} をゲート端子に受け、ドレイン端子にバイアス電圧 V_{DD} が印加されるN個のFET $6_1 \sim 6_N$ と、FET $6_1 \sim 6_N$ のソース端子に接続されて、FET $6_1 \sim 6_N$ のドレイン端子とソース端子との間の電流を合成して出力する加算回路4とを備え、FET $6_1 \sim 6_N$ 、及びバイアス電圧 V_{DD} は、共通の入力信号 V_{IN} が印加されたゲート端子の電圧が、FET $6_1 \sim 6_N$ の閾値電圧よりも小さいサブスレシールド領域となるように設定される。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

共通の入力信号をゲート端子に受け、ドレイン端子にバイアス電圧が印加される複数の電界効果トランジスタと、

前記複数の電界効果トランジスタのソース端子に接続されて、前記複数の電界効果トランジスタの前記ドレイン端子と前記ソース端子との間の電流を合成して出力する加算回路とを備え、

前記複数の電界効果トランジスタ、及び前記バイアス電圧は、前記共通の入力信号が印加された前記ゲート端子の電圧が、前記複数の電界効果トランジスタの閾値電圧よりも小さいサブスレシヨルド領域となるように設定される、

ことを特徴とする信号再生装置。

10

【請求項 2】

前記ゲート端子に接続されて、前記入力信号に雑音を付加するための雑音源をさらに備える、

ことを特徴とする請求項 1 記載の信号再生装置。

【請求項 3】

前記ドレイン端子に接続されて、前記バイアス電圧に雑音を付加するための雑音源をさらに備える、

ことを特徴とする請求項 1 又は 2 記載の信号再生装置。

20

【請求項 4】

前記ゲート端子の電圧が前記サブスレシヨルド領域になるように、前記入力信号にオフセットを付加する電圧源回路をさらに備える、

ことを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の信号再生装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、雑音を含む入力信号を再生するための信号再生装置に関するものである。

【背景技術】**【0002】**

従来から、雑音が付加された微小電気信号の検出を行う際には、フィルタを用いて雑音成分を含む周波数成分を除去する手法や、入力信号を平均化することで雑音を減衰させる手法等が採られていた。また、下記特許文献 1 に記載されたように、パワースペクトルの解析や統計的解析等のデータ処理を繰り返し行うことによって、雑音に埋もれた微小信号の検出を行う手法も考案されている。

30

【特許文献 1】特開 2002 - 221546 号公報

【発明の開示】**【発明が解決しようとする課題】****【0003】**

しかしながら、上述したようなフィルタを用いた手法では、微小電気信号の周波数が既知であるかその周波数を推定する必要があるとともに、フィルタや増幅器等の様々な電子回路を装置に実装する必要がある。また、入力信号に対して演算処理を施す手法においては、平均化処理や統計的解析のための様々な機能を装置に実装する必要があり、その回路構成や機能構成が複雑化する傾向にある。

40

【0004】

そこで、本発明はかかる課題に鑑みて為されたものであり、簡易な装置構成で雑音に埋もれた微小電気信号の検出を実現し、特に半導体装置を利用することにより装置の小面積化を容易にする信号再生装置を提供することを目的とする。

【課題を解決するための手段】**【0005】**

上記課題を解決するため、本発明の信号再生装置は、共通の入力信号をゲート端子に受

50

け、ドレイン端子にバイアス電圧が印加される複数の電界効果トランジスタと、複数の電界効果トランジスタのソース端子に接続されて、複数の電界効果トランジスタのドレイン端子とソース端子との間の電流を合成して出力する加算回路とを備え、複数の電界効果トランジスタ、及びバイアス電圧は、共通の入力信号が印加されたゲート端子の電圧が、複数の電界効果トランジスタの閾値電圧よりも小さいサブスレシールド領域となるように設定されることを特徴とする。

【0006】

このような信号再生装置によれば、ドレイン端子にバイアス電圧が印加された複数の電界効果トランジスタのゲート端子に、雑音を含む入力信号が印加され、それらの電界効果トランジスタのドレイン - ソース間電流が加算回路によって合成されて出力される。このとき、それぞれの電界効果トランジスタをサブスレシールド領域で動作させることによって、入力信号の検出感度を上昇させる現象である確率共鳴現象を発現させることができるので、雑音に埋もれた信号の中から入力信号のみを強調して出力させることが可能になる。特に、半導体装置である電界効果トランジスタを用いているので、装置の小面積化、小規模化が容易に実現される。

10

【0007】

ゲート端子に接続されて、入力信号に雑音を付加するための雑音源をさらに備えることが好ましい。この場合、入力信号に含まれる雑音レベルを調整することによって、入力信号の検出感度の最適化が容易になる。

20

【0008】

また、ドレイン端子に接続されて、バイアス電圧に雑音を付加するための雑音源をさらに備えることも好ましい。この場合も、電界効果トランジスタのドレイン端子に対するゲート端子の相対的な電圧に対して雑音が付加されるので、入力信号の検出感度の最適化が容易になる。

【0009】

また、ゲート端子の電圧がサブスレシールド領域になるように、入力信号にオフセットを付加する電圧源回路をさらに備えることも好ましい。かかる電圧源回路を備えれば、電界効果トランジスタをサブスレシールド領域で動作させるためにゲート電圧を調整することができるので、様々なレベルの入力電圧に適応した信号検出が実現される。

30

【発明の効果】

【0010】

本発明によれば、簡易な装置構成で雑音に埋もれた微小電気信号の検出を実現し、特に半導体装置を利用することにより装置を容易に小面積化することができる。

【発明を実施するための最良の形態】

【0011】

以下、図面に基づいて、本発明による信号再生装置の好適な実施形態について詳細に説明する。なお、図面の説明においては同一又は相当部分には同一符号を付し、重複する説明を省略する。

【0012】

図1は、本発明の好適な一実施形態である信号再生装置1の回路図である。信号再生装置1は、雑音に埋もれた画像信号や音声信号等のアナログ信号である微小信号から、微小信号を再生して取り出すための装置であり、入力信号 V_{IN} が入力される入力端子3と出力信号 V_{OUT} を取り出すための加算回路4との間に、 N 個(N は2以上の整数)の電流源回路 $5_1 \sim 5_N$ が並列に接続された構成を有している。入力信号 V_{IN} は、任意の周波数のパルス信号等のアナログ信号であり、予め熱雑音等のランダムなレベル及び周波数の雑音が加えられている。

40

【0013】

電流源回路 $5_1 \sim 5_N$ は、それぞれ、電界効果トランジスタ(以下、FETという) $6_1 \sim 6_N$ と、雑音源 $7_1 \sim 7_N$ とから構成されている。FET $6_1 \sim 6_N$ のドレイン端子には、それぞれ、バイアス電圧 V_{DD} が印加されており、それらのソース端子は、それぞ

50

れ、加算回路4の入力に接続されている。それぞれのFET $6_1 \sim 6_N$ のゲート端子は、それぞれ、雑音源 $7_1 \sim 7_N$ を介して入力端子3に接続されている。このような接続構成により、それぞれのFET $6_1 \sim 6_N$ は、ドレイン端子にバイアス電圧 V_{DD} が印加された状態で共通の入力信号 V_{IN} をゲート端子に受けることにより、ドレイン-ソース間電流 $I_{DS1} \sim I_{DSN}$ を生成し、それらの電流 $I_{DS1} \sim I_{DSN}$ を加算回路4に入力する。

【0014】

上記FET $6_1 \sim 6_N$ としては、例えば、GaAs基板上に変調ドープヘテロ接合を有する半導体チャネルを幅数百nmで直線状に形成し、その半導体チャネル上にゲート長600nmのショットキーゲートを設けたような半導体装置が用いられる。この半導体チャネルとしては、GaAs層及びAlGaAs層がこの順で積層されたAlGaAs/GaAs変調ドープヘテロ接合を採用することができる。ただし、FET $6_1 \sim 6_N$ の構成としては、上記構成に限定されず、JFETやMOSFET等の他の様々な構成を採用することもできる。

10

【0015】

雑音源 $7_1 \sim 7_N$ は、入力端子3から入力された入力信号 V_{IN} に雑音を意図的に付加するための抵抗素子である。このように抵抗素子を雑音源として用いることにより、入力信号 V_{IN} に対して複数の雑音源 $7_1 \sim 7_N$ の間で無相関な熱雑音を付加することができる。また、雑音源 $7_1 \sim 7_N$ を構成する抵抗素子の抵抗値を変更することにより、入力信号 V_{IN} に加える雑音の平均レベルを適宜調整することも可能となる。

20

【0016】

加算回路4は、FET $6_1 \sim 6_N$ のドレイン-ソース間電流 $I_{DS1} \sim I_{DSN}$ を合成し、合成電流 I_{OUT} に対応する出力信号 V_{OUT} を出力する回路である。図2は、加算回路4の構成の一例を示す回路図である。同図に示すように、加算回路4においては、ドレイン-ソース間電流 $I_{DS1} \sim I_{DSN}$ のそれぞれが抵抗素子を介してオペアンプの反転入力に入力され、そのオペアンプの反転入力と出力との間には帰還抵抗が接続され、オペアンプの非反転入力は接地されている。そして、そのオペアンプの出力電圧が出力信号 V_{OUT} として出力されることにより、ドレイン-ソース間電流 $I_{DS1} \sim I_{DSN}$ が加算された合成電流 I_{OUT} に対応した出力信号 V_{OUT} が取り出される。

30

【0017】

このような構成の信号再生装置1においては、入力信号 V_{IN} の信号レベルとFET $6_1 \sim 6_N$ の特性との間において所定の条件が満たされるように設定されている。図3は、所定のバイアス電圧 V_{DD} が印加された際のFET $6_1 \sim 6_N$ のゲート-ソース間電圧 V_G とドレイン-ソース間電流 I_{DS} との関係を示すグラフである。ここで、FET $6_1 \sim 6_N$ は、同一の電気的特性を有するように設計されている。このように、FET $6_1 \sim 6_N$ はいわゆるノーマリオフ型のデバイスであり、ドレイン-ソース間が導通するための閾値電圧 V_{th} として正値を有している。これに対して、オフセット電圧が V_B 、振幅電圧が V である入力信号 V_{IN} の電圧値が閾値電圧 V_{th} よりも小さくなるように、すなわち、入力信号 V_{IN} がFET $6_1 \sim 6_N$ のサブスレシヨルド領域においてゲート端子に印加されるように、オフセット電圧 V_B とバイアス電圧 V_{DD} との関係が設定される。このようにすることで、FET $6_1 \sim 6_N$ のゲート端子に入力信号 V_{IN} を印加する際にFET $6_1 \sim 6_N$ をサブスレシヨルド領域で動作させることができる。

40

【0018】

また、入力信号 V_{IN} の電圧値がFET $6_1 \sim 6_N$ のサブスレシヨルド領域になるように、FET $6_1 \sim 6_N$ 自体の設計パラメータが設定されても良い。例えば、FET $6_1 \sim 6_N$ のゲート長やチャネル幅を設定することが考えられる。

【0019】

以上説明した信号再生装置1によれば、ドレイン端子にバイアス電圧 V_{DD} が印加されたN個のFET $6_1 \sim 6_N$ のゲート端子に、雑音を含む入力信号 V_{IN} が印加され、それらのFET $6_1 \sim 6_N$ のドレイン-ソース間電流 $I_{DS1} \sim I_{DSN}$ が加算回路4によっ

50

て合成されて出力信号 V_{OUT} として出力される。このとき、それぞれの $FET6_1 \sim 6_N$ をサブスレシヨルド領域で動作させてそれらの出力電流を合成することによって、入力信号 V_{IN} の検出感度を上昇させる現象である確率共鳴現象を効果的に発現させることができる。その結果、雑音に埋もれた信号の中から入力信号のみを強調して出力させることが可能になる。特に、半導体装置である FET 及びオペアンプを主要素子として用いているので、装置の小面積化、小規模化が容易に実現される。

【0020】

図4は、信号再生装置1における入力信号 V_{IN} に含まれる雑音の標準偏差と入出力相関係数との関係の実験結果を示すグラフである。このとき、環境温度を293Kに設定し、入力信号 V_{IN} の周波数を100Hz、デューティ比を20パーセント、peak-to-peak 電圧を20mVに、 $FET6_1 \sim 6_N$ のドレイン-ソース間電圧を0.1Vに設定した。また、入出力相関係数は入力信号 V_{IN} と出力電流 I_{OUT} との相関係数を計算することにより求めた。また、同図には、従来手法である平均化処理により入力信号 V_{IN} を再生した場合の結果についても併せて示している。この結果により、信号再生装置1においては、雑音の標準偏差 $V_{noiserms}$ が50mV付近において入出力相関係数が極大になっており、その近辺における適度な雑音強度の場合には、入出力相関係数が向上しSN比も大きいことがわかる。また、 $FET6_1 \sim 6_N$ の並列数 N が1, 2, 8, ... と大きくなるに従って、入出力相関係数の極大値が大きくなるとともに、雑音の標準偏差 $V_{noiserms}$ の広い範囲で入出力相関係数が上昇していることも分かる。これに対して、入力信号 V_{IN} に対して平均化処理を施した場合は、平均化処理回数を増加させると入出力相関係数は上昇しているが、信号再生装置1に比較して上昇効果は小さく、しかも雑音の標準偏差 $V_{noiserms}$ が大きくなるに従って単調減少している。従って、雑音を含んだ入力信号 V_{IN} の波形を再生する際には、信号再生装置1のほうが信号再生効果及び処理時間の点で有利であることが分かった。

【0021】

また、雑音源 $7_1 \sim 7_N$ をさらに備えることで、入力信号 V_{IN} に含まれる雑音レベルを調整することによって入出力相関係数、すなわちSN比の最適化が容易になり、入力信号の検出感度を大きくすることができる。

【0022】

なお、本発明は、前述した実施形態に限定されるものではない。例えば、図5に示す本発明の変形例である信号再生装置101のように、入力端子3と $FET6_1 \sim 6_N$ のゲート端子との間にオフセット付加回路(電圧源回路)8を設け、オフセット付加回路8によって入力信号 V_{IN} にオフセット電圧を付加して、 $FET6_1 \sim 6_N$ のゲート-ソース間電圧 V_G がサブスレシヨルド領域になるようにしてもよい。これにより、 $FET6_1 \sim 6_N$ をサブスレシヨルド領域で動作させるためにゲート-ソース間電圧を調整することができるので、様々なレベルの入力信号 V_{IN} に適応した信号検出が実現される。

【0023】

また、図6に示す本発明の変形例である信号再生装置201のように、 $FET6_1 \sim 6_N$ のドレイン端子のそれぞれに雑音源 $9_1 \sim 9_N$ を接続し、雑音源 $9_1 \sim 9_N$ によってドレイン端子に付加されるバイアス電圧 V_{DD} に対して雑音を重畳させてもよい。このようにしても、 $FET6_1 \sim 6_N$ のゲート-ドレイン間の相対電位に無相関な雑音が付加され、雑音源 $9_1 \sim 9_N$ を構成する抵抗素子の抵抗値を変更することにより入出力相関係数、すなわちSN比の最適化が容易になり、入力信号の検出感度を大きくすることができる。

【0024】

また、必ずしも全ての $FET6_1 \sim 6_N$ がサブスレシヨルド領域で動作するように設定される必要はなく、一部の $FET6_1 \sim 6_N$ がサブスレシヨルド領域で動作するように $FET6_1 \sim 6_N$ 又はバイアス電圧 V_{DD} が設定されても良い。

【図面の簡単な説明】

【0025】

【図1】本発明の好適な一実施形態である信号再生装置の回路図である。

10

20

30

40

50

【図2】図1の加算回路の構成の一例を示す回路図である。

【図3】図1のFETのゲート-ソース間電圧とドレイン-ソース間電流との関係を示すグラフである。

【図4】図1の信号再生装置における入力信号に含まれる雑音の標準偏差と入出力相関係数との関係を示すグラフである。

【図5】本発明の変形例である信号再生装置の回路図である。

【図6】本発明の変形例である信号再生装置の回路図である。

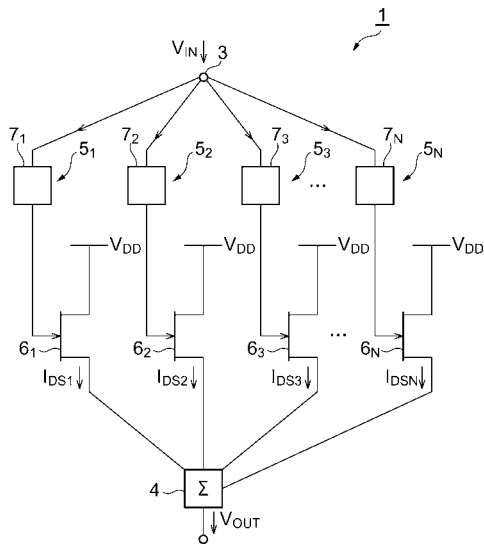
【符号の説明】

【0026】

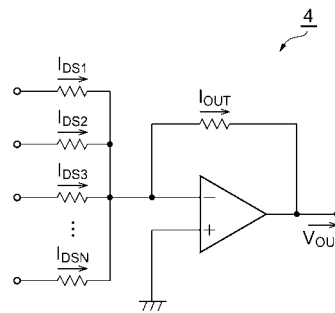
1, 101... 信号再生装置、4... 加算回路、 $6_1 \sim 6_N$... FET（電界効果トランジスタ）、8... オフセット付加回路（電圧源回路）、 $7_1 \sim 7_N$... 雑音源、 $I_{DS1} \sim I_{DSN}$... ドレイン-ソース間電流、 V_{DD} ... バイアス電圧、 V_G ... ゲート-ソース間電圧、 V_{IN} ... 入力信号、 V_{OUT} ... 出力信号。

10

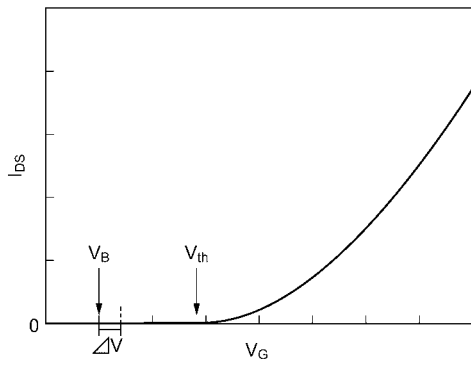
【図1】



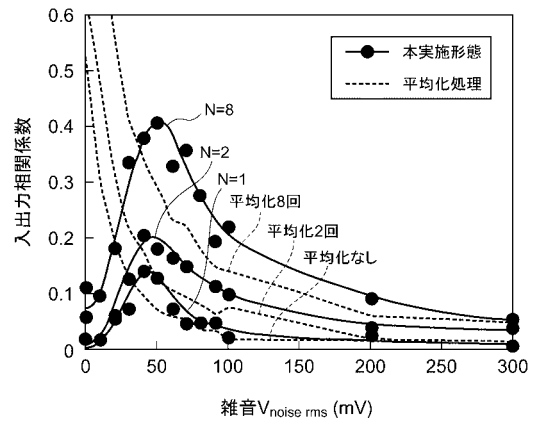
【図2】



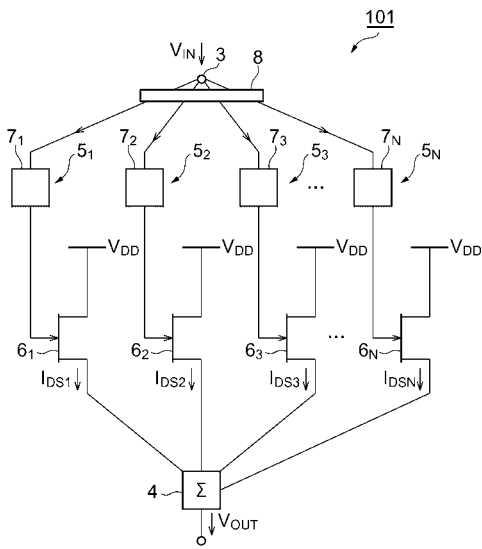
【 図 3 】



【 図 4 】



【 図 5 】



【 図 6 】

