

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-54187

(P2008-54187A)

(43) 公開日 平成20年3月6日(2008.3.6)

(51) Int.Cl.  
H03K 19/173 (2006.01)

F I  
H03K 19/173 I O I

テーマコード (参考)  
5 J042

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願2006-230472 (P2006-230472)  
(22) 出願日 平成18年8月28日 (2006.8.28)

(71) 出願人 504174135  
国立大学法人九州工業大学  
福岡県北九州市戸畑区仙水町1番1号  
(71) 出願人 503360115  
独立行政法人科学技術振興機構  
埼玉県川口市本町4丁目1番8号  
(74) 代理人 100099634  
弁理士 平井 安雄  
(72) 発明者 渡邊 実  
福岡県飯塚市大字伊岐須1-4-4-4 O  
(72) 発明者 小林 史典  
福岡県宗像市大谷2-1 1  
Fターム(参考) 5J042 BA01 BA03 BA11 CA00 CA09  
DA04

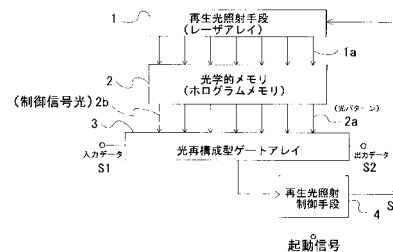
(54) 【発明の名称】 光再構成ゲートアレイの再構成制御装置及びその方法

(57) 【要約】 (修正有)

【課題】 光再構成ゲートアレイの各種論理演算回路を正確且つ確実に書込むと共に、各々を迅速に起動して論理演算を高速化できる光再構成ゲートアレイの再構成制御装置を提供する。

【解決手段】 再生光のレーザ光 1 a を発光して照射するレーザアレイ 1 と、予め格納された記録情報に基づいてレーザ光 1 a の照射により光パターン 2 a を射出すると共に、光再構成に関する制御信号光 2 b を射出するホログラムメモリ 2 と、光パターン 2 a に基づいてアレイ状に配列された複数の論理演算セルを各種の論理演算回路に再構成し制御信号光 2 b に基づいて光制御信号 S 4 を出力する光再構成型ゲートアレイ 3 と、レーザアレイ 1 で発光されるレーザ光 1 a の照射を制御する再生光照射制御手段 4 とを備える構成により、各種の論理演算回路を書込みエラーを生じることなく、正確且つ確実に書込みが実行できると共に、各種論理演算回路を連続して順次高速に論理演算を実行できる。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

再生光を発光して照射する再生光照射手段と、

予め格納された記録情報に基づいて前記再生光の照射により光パターンを射出すると共に、当該光パターンによる光再構成に関する制御信号光を射出する光学的メモリ手段と、

前記射出される光パターンに基づいてアレイ状に配列された複数の論理演算セルを各種の論理演算回路に再構成し、制御信号光に基づいて光制御信号を出力する光再構成型ゲートアレイと、

前記光制御信号に基づいて前記再生光照射手段で発光される再生光の照射を制御する再生光照射制御手段とを備えることを

特徴とする光再構成ゲートアレイの再構成制御装置。

10

## 【請求項 2】

前記請求項 1 に記載の光再構成ゲートアレイの再構成制御装置において、

前記光学的メモリ手段が、制御信号光を再構成速度の二値化データとして射出することを

特徴とする光再構成ゲートアレイの再構成制御装置。

## 【請求項 3】

前記請求項 1 に記載の光再構成ゲートアレイの再構成制御装置において、

前記光学的メモリ手段が、制御信号光を再構成速度に対応した光強度として射出することを

特徴とする光再構成ゲートアレイの再構成制御装置。

20

## 【請求項 4】

前記請求項 1 ないし 3 のいずれかに記載の光再構成ゲートアレイの再構成制御装置において、

前記光再構成型ゲートアレイが、光制御信号により前記射出された光パターンの光強度及び / 又は照射時間が制御され、当該光パターンの光強度及び / 又は照射時間により光再構成が完了した後に、各種の論理演算回路による演算動作を実行することを

特徴とする光再構成ゲートアレイの再構成制御装置。

## 【請求項 5】

前記請求項 1 ないし 4 のいずれかに記載の光再構成ゲートアレイの再構成制御装置において、

前記光再構成型ゲートアレイを複数の再構成回路パターンで順次書替えて光再構成を実行する際に、

前記光再構成された論理演算回路が演算動作を実行中に、次に光再構成する再構成回路パターンの光パターンの光制御信号を保持し、当該保持された光制御信号に基づいて次に書替えられる再構成回路パターンを光再構成するために再生光照射手段の発光を制御することを

特徴とする光再構成ゲートアレイの再構成制御装置。

30

## 【請求項 6】

前記請求項 1 ないし 4 のいずれかに記載の光再構成ゲートアレイの再構成制御装置において、

前記光再構成型ゲートアレイを複数の再構成回路パターンで順次書替えて光再構成を実行する際に、

前記再構成回路パターンの光再構成が、光学的メモリから射出される光パターン及び制御信号を入力して当該制御信号の制御により光パターンで論理演算回路の再構成として実行され、

前記順次書替えられる光再構成のうち前に光再構成される光パターンと同時に照射された制御信号に基づいて後に光再構成される光パターンの照射を制御することを

特徴とする光再構成ゲートアレイの再構成制御装置。

40

## 【発明の詳細な説明】

50

## 【技術分野】

## 【0001】

本発明は、光再構成型ゲートアレイに対して論理演算回路を再構成する光パターンの照射制御を行う光再構成ゲートアレイの再構成制御装置に関し、特に論理演算回路の再構成に最適な光パターンの照射を制御できる光再構成ゲートアレイの再構成制御装置に関する。

## 【背景技術】

## 【0002】

従来、この種の光再構成ゲートアレイの再構成制御装置として特開2002-353317号公報（以下、特許文献1）及び特開2005-51059号公報（以下、特許文献2）に各々の開示されるものがあつた。前記特許文献1及び2の光再構成ゲートアレイの再構成制御装置における概略構成図を図7に示す。

10

## 【0003】

前記特許文献1に記載の発明に係る光再構成ゲートアレイの再構成制御装置は、論理演算セル及びこの論理演算セルの演算プログラムを設定するプログラム設定用の受光素子を平面状のチップ上に搭載した光再構成型ゲートアレイ3を再構成するに際し、前記光再構成型ゲートアレイ3に対向配設された光学的メモリ手段であるホログラムメモリ2にレーザーレイ1から光を照射して再生光を射出し、この再生光を前記プログラムに応じた光信号として光再構成型ゲートアレイ3の受光素子の各々に同時に照射する構成である。

20

## 【0004】

このように光再構成型ゲートアレイ3の平面状のチップ上に搭載された多数の受光素子に光信号の再生光を同時に照射することにより、光再構成型ゲートアレイ3の論理演算セルを論理演算回路として再構成できることとなる。

## 【0005】

また、特許文献2に記載の発明に係る光再構成ゲートアレイの再構成制御装置は、光再構成型ゲートアレイ3の上面に配設された光学的メモリ手段であるホログラムメモリ2、このホログラムメモリ2に再生照明光を照射する再生光照射手段である面発光レーザからなるレーザーレイ1、及びこのレーザーレイ1の再生照射光の制御を行う再生光照射制御回路4を備えている。

30

## 【0006】

レーザーレイ1によりホログラムメモリ2に照射された再生照明光は、ホログラムメモリ2を通過して再生光5となる。この際、ホログラムメモリ2にホログラムとして記録されたマスクパターンを再生し、再生光5は光パターンを形成する。この光パターンが光再構成型ゲートアレイ3に照射される。光再構成型ゲートアレイ3は再生光に対して光電変換を行い、光パターンに対応した論理演算回路の再構成を行う。

## 【0007】

次に、前記特許文献1及び2に記載される光再構成ゲートアレイの再構成制御装置の動作を図8に基づいて説明する。同図において再生光照射制御手段4に対して光再構成ゲートアレイの再構成制御装置の起動信号が入力されたと判断された場合には（ステップ11）、この再生光照射制御手段4が発光制御信号S41をレーザーレイ1へ出力する（ステップ12）。この発光制御信号S41は、前記ホログラムメモリ2が再構成する各種の論理演算回路のうちで最大の再構成時間を見込んで設定された再構成時間をデータ内容とする構成である。

40

## 【0008】

前記発光制御信号S41が入力されたレーザーレイ1は、発光制御信号S41で特定される再構成時間に基づいてレーザ光1aを発光し、このレーザ光1aをホログラムメモリ2に照射する（ステップ13）。このホログラムメモリ2は、照射されたレーザ光1aにより予め格納された記録情報に基づいて光パターン2aを光再構成型ゲートアレイ3へ照射する（ステップ14）。

## 【0009】

50

この光パターン 2 a の照射開始時から再生光照射制御手段 4 が照射開始時間を積算し (ステップ 15)、この積算値が発光制御信号 S 4 1 で設定される光再構成時間の最大値を経過したか否かが判断される (ステップ 16)。この最大値を積算値が経過していないと判断された場合には、前記ステップ 13 に戻り前記各動作を繰り返すこととなる。

【0010】

前記ステップ 16 において積算値が最大値を経過したと判断された場合には、この再構成回路パターンに対応する光再構成型ゲートアレイ 3 の論理演算回路を起動させ、この起動した論理演算回路に入力データ S 1 が入力されると論理演算を実行して光再構成型ゲートアレイ 3 から演算結果の出力データ S 2 を出力する (ステップ 17)。この起動した論理演算回路の論理演算動作が完了したか否かを判断し (ステップ 18)、この論理演算回路の動作が完了したと判断された場合にはさらに再生光照射制御手段 4 で光再構成される総ての論理演算回路の論理演算動作が終了したか否かが判断される (ステップ 19)。このステップ 19 で論理演算動作が終了していないと判断された場合には、前記ステップ 12 に戻って新たな次に演算する論理演算回路を光再構成するために前記動作を繰り返すこととなる。

10

【0011】

この光パターン 2 a の照射は、前記光再構成型ゲートアレイ 3 における各種の論理演算回路の総てが各々再構成されるのに十分な期間、即ち、発光制御信号 S 4 1 で設定される再構成時間だけ照射されることとなる。

【特許文献 1】特開 2002 - 353317 号公報

20

【特許文献 2】特開 2005 - 51059 号公報

【発明の開示】

【発明が解決しようとする課題】

【0012】

前記背景技術に係る光再構成ゲートアレイの再構成制御装置は以上のように各々構成されており、文献 1 及び 2 の各発明のいずれにおいても、ホログラムメモリ 2 に対してレーザーアレイ 1 からレーザー光 1 a を照射して再生光の光パターン 2 a をホログラムメモリ 2 から光再構成型ゲートアレイ 3 へ照射させていることから、光再構成型ゲートアレイ 3 に順次再構成される各種の論理演算回路を起動させて論理演算を実行させる際に、各種の論理演算回路に応じた適確且つ迅速な起動ができないという課題を有していた。

30

【0013】

前記光再構成型ゲートアレイ 3 は、各種の論理演算回路のうちで最大の再構成時間を見込んで総ての論理演算回路を起動させるように設定された発光制御信号 S 4 1 に基づいていることから、短時間で書込みが完了している論理演算回路であっても、予め見込んで発光制御信号 S 4 1 で設定された最大の再構成時間の経過を待って起動されることとなり、各種の論理演算回路が連続して高速且つ確実に演算動作を行うことができないという課題を有していた。即ち、従来光再構成ゲートアレイの再構成制御装置は、再構成する各種の論理演算回路に関するパターン、受光素子数等により書込み時間を異にするので、このパターン、受光素子数等に適合した光量を適正に照射できないことから、総ての論理演算回路を正確且つ確実な書込みができず、書込みエラーを生じるという課題を有する。

40

【0014】

特に、前記光再構成型ゲートアレイ 3 の総ての論理演算回路を発光制御信号 S 4 1 に基づいて正確且つ確実に書込んだ後にこれらの論理演算回路を順次起動させようとする、各パターンの論理演算回路に応じた迅速な起動ができず、論理演算を高速化できないという課題を有する。

【0015】

本発明は、前記課題を解消するためになされたもので、光再構成ゲートアレイの各種論理演算回路を正確且つ確実に書込むと共に、各々を迅速に起動して論理演算を高速化できる光再構成ゲートアレイの再構成制御装置を提供することを目的とする。

【課題を解決するための手段】

50

## 【0016】

本発明に係る光再構成ゲートアレイの再構成制御装置は、再生光を発光して照射する再生光照射手段と、予め格納された記録情報に基づいて前記再生光の照射により光パターンを射出すると共に、当該光パターンによる光再構成に関する制御信号光を射出する光学的メモリ手段と、前記射出される光パターンに基づいてアレイ状に配列された複数の論理演算セルを各種の論理演算回路に再構成し、制御信号光に基づいて光制御信号を出力する光再構成型ゲートアレイと、前記光制御信号に基づいて前記再生光照射手段で発光される再生光の照射を制御する再生光照射制御手段とを備えるものである。

## 【0017】

このように本発明においては、予め格納された記録情報に基づいて再生光照射手段が発光した再生光の照射により光パターンを射出すると共に、この光パターンによる光再構成に関する制御信号光を光学的メモリ手段が射出し、この射出される光パターンに基づいてアレイ状に配列された複数の論理演算セルからなる光再構成型ゲートアレイを各種の論理演算回路に再構成し、且つ制御信号光に基づいて光制御信号を出力し、この光制御信号に基づいて前記再生光照射手段で発光される再生光の照射を再生光照射制御手段が制御するようにしているので、光再構成ゲートアレイで順次再構成される各種の論理演算回路に適応した再構成時間に光パターン照射を光制御信号に基づいて実行できることとなり、各種の論理演算回路を書込みエラーを生じることなく、正確且つ確実に書込みが実行できると共に、各種論理演算回路を連続して順次高速に論理演算を実行できるという効果を奏する。

10

20

## 【0018】

本発明に係る光再構成ゲートアレイの再構成制御装置は必要に応じて、光学的メモリ手段が、制御信号光を再構成速度の二値化データとして射出するものである。

## 【0019】

このように本発明においては、制御信号光を再構成速度の二値化データとして光学的メモリ手段が射出するようにしているので、二値化データにより再構成速度を確実に光再構成型ゲートアレイの論理演算回路に伝達できることとなり、光再構成ゲートアレイで順次再構成される各種の論理演算回路に適応した再構成時間に光パターン照射を光制御信号に基づいて実行できることとなり、各種の論理演算回路を書込みエラーを生じることなく、正確且つ確実に書込みが実行できると共に、各種論理演算回路を連続して順次高速に論理演算を実行できるという効果を有する。

30

## 【0020】

本発明に係る光再構成ゲートアレイの再構成制御装置は必要に応じて、光学的メモリ手段が、制御信号光を再構成速度に対応した光強度として射出するものである。

## 【0021】

このように本発明においては、制御信号光を再構成速度に対応した光強度として光学的メモリ手段が射出するようにしているので、光パターンと同じ光信号の光強度により再構成速度を確実に光再構成型ゲートアレイの論理演算セルを動作させることができることとなり、光再構成ゲートアレイで順次再構成される各種の論理演算回路に適応した再構成時間に光パターン照射を光制御信号に基づいて実行できることとなり、各種の論理演算回路を書込みエラーを生じることなく、正確且つ確実に書込みが実行できると共に、各種論理演算回路を連続して順次高速に論理演算を実行できるという効果を有する。

40

## 【0022】

本発明に係る光再構成ゲートアレイの再構成制御装置は必要に応じて、光再構成型ゲートアレイが、光制御信号により前記射出された光パターンの光強度及び/又は照射時間が制御され、当該光パターンの光強度及び/又は照射時間により光再構成が完了した後に、各種の論理演算回路による演算動作を実行するものである。

## 【0023】

このように本発明においては、光制御信号により前記射出された光パターンの光強度及び/又は照射時間が制御され、当該光パターンの光強度及び/又は照射時間により光再構成

50

成が完了した後に、光再構成型ゲートアレイが各種の論理演算回路による演算動作を実行するようにしているため、光再構成ゲートアレイで順次再構成される各種の論理演算回路に適応した再構成時間に光パターン照射を光制御信号に基づいて実行できることとなり、各種の論理演算回路を書込みエラーを生じることなく、正確且つ確実に書込みが実行できると共に、各種論理演算回路を連続して順次高速に論理演算を実行できるという効果を有する。

#### 【0024】

本発明に係る光再構成ゲートアレイの再構成制御装置は、光再構成型ゲートアレイを複数の再構成回路パターンで順次書替えて光再構成を実行する際に、前記光再構成された論理演算回路が演算動作を実行中に、次に光再構成する再構成回路パターンの光パターンの光制御信号を保持し、当該保持された光制御信号に基づいて次に書替えられる再構成回路パターンを光再構成するために再生光照射手段の発光を制御するものである。

10

#### 【0025】

このように本発明においては、光再構成型ゲートアレイを複数の再構成回路パターンで順次書替えて光再構成を実行する際に、前記光再構成された論理演算回路が演算動作を実行中に、次に光再構成する再構成回路パターンの光パターンの光制御信号を保持し、当該保持された光制御信号に基づいて次に書替えられる再構成回路パターンを光再構成するために再生光照射手段の発光を制御するようにしているため、順次光再構成される論理演算回路のうち演算動作実行中の論理演算回路が次に再構成される論理演算回路の再構成速度を光制御信号で制御することとなり、光再構成ゲートアレイで順次再構成される各種の論理演算回路に適応した再構成時間に光パターン照射を光制御信号に基づいて実行できることとなり、各種の論理演算回路を書込みエラーを生じることなく、正確且つ確実に書込みが実行できると共に、各種論理演算回路を連続して順次高速に論理演算を実行できるという効果を有する。

20

#### 【0026】

本発明に係る光再構成ゲートアレイの再構成制御装置は必要に応じて、光再構成型ゲートアレイを複数の再構成回路パターンで順次書替えて光再構成を実行する際に、前記再構成回路パターンの光再構成が、光学的メモリから射出される光パターン及び制御信号を入力して当該制御信号の制御により光パターンで論理演算回路の再構成として実行され、前記順次書替えられる光再構成のうち前に光再構成される光パターンと同時に照射された制御信号に基づいて後に光再構成される光パターンの照射を制御するものである。

30

#### 【発明を実施するための最良の形態】

#### 【0027】

(本発明の第1の実施形態)

以下、本発明の第1の実施形態に係る光再構成ゲートアレイの再構成制御装置を図1及び図2に基づいて説明する。この図1は本実施形態に係る光再構成ゲートアレイの再構成制御装置の全体概略構成図、図2は図1に記載の光再構成ゲートアレイにおける論理演算回路の光再構成及び論理演算の動作フローチャートである。

#### 【0028】

前記各図において本発明の第1の実施形態に係る光再構成ゲートアレイの再構成制御装置は、再生光のレーザ光1aを発光して照射する再生光照射手段としてのレーザアレイ1と、予め格納された記録情報に基づいて前記レーザ光1aの照射により光パターン2aを射出すると共に、この光パターン2aによる光再構成に関する制御信号光2bを射出する光学的メモリ手段としてのホログラムメモリ2と、前記射出される光パターン2aに基づいてアレイ状に配列された複数の論理演算セルを各種の論理演算回路に再構成し、制御信号光2bに基づいて光制御信号S4を出力する光再構成型ゲートアレイ3と、前記光制御信号に基づいて前記レーザアレイ1で発光されるレーザ光1aの照射を制御する再生光照射制御手段4とを備える構成である。

40

#### 【0029】

次に、本実施形態に係る光再構成ゲートアレイの再構成制御装置の動作を図2に基づい

50

て説明する。同図において再生光照射制御手段 4 に対して光再構成ゲートアレイの再構成制御装置の起動信号が入力されたと判断された場合には（ステップ 1）、この再生光照射制御手段 4 が発光制御信号 S 4 をレーザアレイ 1 へ出力する（ステップ 2）。この発光制御信号 S 4 は、前記ホログラムメモリ 2 が再構成する各種の論理演算回路のうちで最大の再構成時間を見込んで設定された再構成時間をデータ内容とする構成である。

【 0 0 3 0 】

前記発光制御信号 S 4 が入力されたレーザアレイ 1 は、発光制御信号 S 4 で特定される再構成時間に基づいてレーザ光 1 a を発光し、このレーザ光 1 a をホログラムメモリ 2 に照射する（ステップ 3）。このホログラムメモリ 2 は、照射されたレーザ光 1 a により予め格納された記録情報に基づいて光パターン 2 a 及び制御信号光 2 b を光再構成型ゲートアレイ 3 へ照射する（ステップ 4）。

10

【 0 0 3 1 】

この光パターン 2 a の照射開始時から再生光照射制御手段 4 が照射開始時間を積算し（ステップ 5）、この積算値が制御信号光 2 b で設定される光再構成時間を経過したか否かが再生光照射制御手段 4 により判断される（ステップ 6）。この積算値が経過していないと判断された場合には、前記ステップ 3 に戻り前記各動作を繰り返すこととなる。

【 0 0 3 2 】

前記ステップ 6 において積算値が光再構成時間を経過したと判断された場合には、この再構成回路パターンに対応する光再構成型ゲートアレイ 3 の論理演算回路を起動させ、この起動した論理演算回路に入力データ S 1 が入力されると論理演算を実行して光再構成型ゲートアレイ 3 から演算結果の出力データ S 2 を出力する（ステップ 7）。

20

【 0 0 3 3 】

この起動した論理演算回路の論理演算動作が完了したか否かを判断し（ステップ 8）、この論理演算回路の動作が完了したと判断された場合にはさらに再生光照射制御手段 4 で光再構成される総ての論理演算回路の論理演算動作が終了したか否かが判断される（ステップ 9）。このステップ 9 で論理演算動作が終了していないと判断された場合には、前記ステップ 3 に戻って新たな次に演算する論理演算回路を光再構成するためにレーザアレイ 1 からレーザ光 1 a が照射されて前記動作を繰り返すこととなる（ステップ 9）。

【 0 0 3 4 】

さらに、前記光再構成型ゲートアレイ 3 における論理演算回路を順次光再構成する動作について図 3 に基づいて説明する。この図 3 は図 1 に記載の光再構成ゲートアレイの再構成制御装置における光再構成ゲートアレイの詳細回路構成図を示す。

30

【 0 0 3 5 】

前記図 3 において光再構成型ゲートアレイ 3 は、順次光再構成される各論理演算回路を切替える再環境設定回路 3 1 と、この光再構成型ゲートアレイ 3 の制御により順次論理演算回路を光再構成する論理演算セルからなるゲートアレイ回路 3 2 とを備える構成である。

【 0 0 3 6 】

この図 3 に示す光再構成型ゲートアレイ 3 は、再環境設定回路 3 1 にリフレッシュ信号 n R E F が入力トランジスタ T r 1 に入力されると、フォトダイオード p D 1 に光パターン 2 a が入射されていて内部コンデンサ p D c に電荷をチャージしていることを条件としてパストランジスタ T r 4 を介して再構成信号 p D o u t n をゲートアレイ回路 3 2 へ出力する。このゲートアレイ回路 3 2 は再構成信号 p D o u t n により論理演算セルを活性化して論理演算回路が再構成されることとなる。

40

（本発明の第 2 の実施形態）

本発明の第 2 の実施形態に係る光再構成ゲートアレイの再構成制御装置を図 4 及び図 5 に基づいて説明する。

この図 4 は、本実施形態に係る光再構成ゲートアレイの再構成制御装置の動作フローチャート、図 5 は図 4 の動作フローチャートに対応する動作タイミングチャートを示す。

【 0 0 3 7 】

50

前記各図において本発明の第2の実施形態に係る光再構成ゲートアレイの再構成制御装置は、前記第1の実施形態と同様にレーザアレイ1、ホログラムメモリ2、光再構成型ゲートアレイ3、再生光照射制御手段4を備え、この光再構成型ゲートアレイ3を複数の再構成回路パターンで順次書替えて光再構成を実行する際に、ホログラムメモリ2から光パターン2a及び制御信号光2bが光再構成型ゲートアレイ3に照射され、次に書替えるために制御信号光2bに基づいて光パターン2aに対応する照射時間（又は光強度）を再生光照射制御手段4が保持し、この保持された照射時間（又は光強度）に基づいて再生光照射制御手段4が書替えられる再構成回路パターンを光再構成型ゲートアレイ3に光再構成する構成である。

【0038】

10

次に、前記構成に基づく本実施形態に係る光再構成ゲートアレイの再構成制御装置動作を説明する。まず、前記第1の実施形態と同様に再生光照射制御手段4に起動信号が入力されると発光制御信号S4がレーザアレイ1に出力されてレーザ光1aをホログラムメモリ2に照射し、このホログラムメモリ2から再構成回路パターンに対応する光パターン2a及び制御信号光2bを光再構成型ゲートアレイ3へ照射する（ステップ1ないし4）。

【0039】

この光パターン2aにより光再構成される再構成回路パターンの次に再構成される光パターンの照射時間（又は光強度）を前記制御信号光2bで特定し、この特定された照射時間（又は光強度）を再生光照射制御手段4に保持する（ステップ41）。

【0040】

20

前記ステップ4で照射される光パターン2aによる光再構成が最初の光再構成の実行か否かが判断され（ステップ42）、最初の光再構成の実行と判断された場合には光パターン2aの照射開始時から照射時間（又は光強度）を積算する（ステップ43）。この積算された積算値が光再構成時間（又は光再構成強度）の最大値を超過したか否かを判断する（ステップ44）。このステップ44で最大値を超過していないと判断された場合には前記ステップ3に戻り前記動作を繰り返すこととなる。

【0041】

前記ステップ42において光パターン2aによる光再構成の実行が最初の光再構成動作でないと判断された場合は、制御信号光2bの受光開始時から光パターン2aの光再構成型ゲートアレイ3に対する照射時間（又は照射光の光強度積算値）を積算し、この積算値が光再構成時間（又は光再構成強度）を超過したか否かを判断する（ステップ5及び6）。

30

【0042】

このステップ6で積算値が光再構成時間（又は光再構成強度）を超過していると判断された場合及び前記ステップ44で積算値が光再構成時間（又は光強度）の最大値を超過していると判断された場合には、再構成回路パターンに対応する論理演算回路を起動させる（ステップ7）。

【0043】

前記論理演算回路が起動して再生光照射制御手段4に入力された入力データS1に基づいて論理演算動作を実行して出力データS2を出力し、この論理演算動作が完了したか否かが判断される（ステップ8）。この論理演算動作が完了したと判断された場合に、順次書替えて光再構成される各論理演算回路による総ての論理演算が順次実行され（ステップ4ないしステップ9）、この総ての論理演算動作が終了したと判断（ステップ9）されるまで前記論理演算が実行される。

40

【0044】

また、前記順次書替えて光再構成及び論理演算を行う動作タイミングは、図5に示すようにレーザアレイ1のレーザ光1aによりホログラムメモリ2から最初の制御信号(1)2b及び光パターン(1)2aを最大積算値の光再構成時間（又は光強度）だけ照射されることにより論理演算回路を光再構成型ゲートアレイ3に再構成し、この再構成された論理演算回路で論理演算を実行(1)する。

50



## 【 0 0 4 5 】

次に、書替えて光再構成するために、レーザアレイ 1 のレーザ光 1 a によりホログラムメモリ 2 から二番目の制御信号光 (2) 2 b 及び光パターン (2) 2 a が光再構成型ゲートアレイ 3 に照射されると、この光パターン (2) 2 a を前記最初に照射された制御信号光 (1) 2 b に基づく光再構成時間 (又は光強度) だけ照射されることにより論理演算回路を光再構成型ゲートアレイ 3 に再構成し、この再構成された論理演算回路で論理演算を実行 (2) する。

## 【 0 0 4 6 】

さらに、書替えて三番目の光再構成では、二番目に照射された制御信号光 (2) 2 b に基づいて特定される光再構成時間 (又は光強度) だけ光パターン (3) 2 a が照射されて対応する論理演算回路を再構成し、この再構成された論理演算回路で論理演算を実行 (3) する。

10

## 【 0 0 4 7 】

以上のように、順次書替える再構成回路パターンの光パターン (2)、(3)、～、(n) を前に再構成された時に照射された制御信号光 (1)、(2)、～、(n-1) で前記で光再構成時間 (又は光強度) を制御するようにしているので、光再構成をより確実且つ高速化できる。  
(本発明の第 3 の実施形態)

図 6 は本発明の第 2 の実施形態に係る光再構成ゲートアレイの再構成制御装置の全体概略構成図を示す。

## 【 0 0 4 8 】

同図において本実施形態に係る光再構成ゲートアレイの再構成制御装置は、前記第 1 の実施形態と同様にレーザアレイ 1、ホログラムメモリ 2、光再構成型ゲートアレイ 3 及び再生光照射制御手段 4 を備え、この光再構成型ゲートアレイ 3 にホログラムメモリ 2 から照射される制御信号光 2 b を受光して光再構成時間を演算する再構成時間演算部 3 3 を備える構成である。

20

## 【 0 0 4 9 】

この再構成時間演算部 3 3 は、同図 (B) に示すように制御信号光 2 b を受光するフォトダイオード部 p D 3 3 と、このフォトダイオード部 p D 3 3 により光電変換された再構成制御信号 S 3 3 により光電変換された再構成制御信号 S 3 3 により光再構成時間を演算する演算回路 3 3 c とを備える構成である。このフォトダイオード部 p D 3 3 は、ホログラムメモリ 2 からの制御信号光 2 b が照射される位置にハードウェアの回路構成として予め形成される。また、演算回路 3 3 c も、フォトダイオード部 p D 3 3 と同様に再構成制御信号 S 3 3 に基づいて光再構成時間を演算するハードウェアの回路構成として予め形成される構成である。

30

## 【 0 0 5 0 】

このように本実施形態に係る光再構成ゲートアレイの再構成制御装置は、再構成時間演算部 3 3 を予めハードウェアとして光再構成型ゲートアレイ 3 に形成して構成されるので、ホログラムメモリ 2 からの制御信号 2 b に基づいて次に光再構成される論理演算回路の光再構成時間を再構成時間演算部 3 3 が確実に演算できることとなり、この光再構成時間により正確に論理演算回路を光再構成できると共に、この光再構成の完了直後から論理演算回路の演算動作を迅速に実行できることとなる。

40

## 【 0 0 5 1 】

なお、前記各実施形態に係る光再構成ゲートアレイの再構成制御装置は、ホログラムメモリ 2 から光再構成型ゲートアレイ 3 に対して制御信号光 2 b を照射する構成としたが、この制御信号光 2 b がアナログデータ又はデジタルデータとして構成することもできる。このアナログデータの制御信号光 2 b は、ホログラムメモリ 2 に光強度をアナログ的に記憶されてこの光量に応じた光量データとして光再構成時間 (速度) を特定する構成とすることもできる。又、前記デジタルデータの制御信号光 2 b は、ホログラムメモリ 2 に光再構成時間 (速度) を、例えば 4 b i t で 1 - 1 6 までのプログラムとして記憶し、この内容に基づいて光再構成時間 (速度) を特定する構成とすることもできる。

50

## 【図面の簡単な説明】

【0052】

【図1】本発明の第1の実施形態に係る光再構成ゲートアレイの再構成制御装置の全体概略構成図である。

【図2】図1に記載の光再構成ゲートアレイにおける論理演算回路の光再構成及び論理演算の動作フローチャートである。

【図3】図1に記載の光再構成ゲートアレイの再構成制御装置における光再構成ゲートアレイの詳細回路構成図である。

【図4】本発明の第2の実施形態に係る光再構成ゲートアレイの再構成制御装置の動作フローチャートである。

【図5】図4の動作フローチャートに対応する動作タイミングチャートである。

【図6】本発明の第2の実施形態に係る光再構成ゲートアレイの再構成制御装置の全体概略構成図である。

【図7】背景技術に係る光再構成ゲートアレイの再構成制御装置の概略構成図である。

【図8】背景技術に係る光再構成ゲートアレイの再構成制御装置の動作フローチャートである。

## 【符号の説明】

【0053】

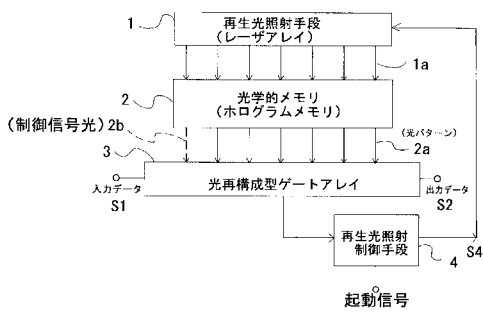
- 1 レーザアレイ
- 1 a レーザ光
- 2 ホログラムメモリ
- 2 a 光パターン
- 2 b 制御信号光
- 3 光再構成型ゲートアレイ
- 3 1 再環境設定回路
- 3 2 ゲートアレイ回路
- 3 3 再構成時間演算部
- 4 再生光照射制御手段
- n R E F リフレッシュ信号
- S 1 入力データ
- S 2 出力データ
- S 4 発光制御信号
- p D c 内部コンデンサ
- p D o u t n 再構成信号
- p D 1 フォトダイオード
- T r 1 , T r 2 , T r 3 , T r 4 トランジスタ

10

20

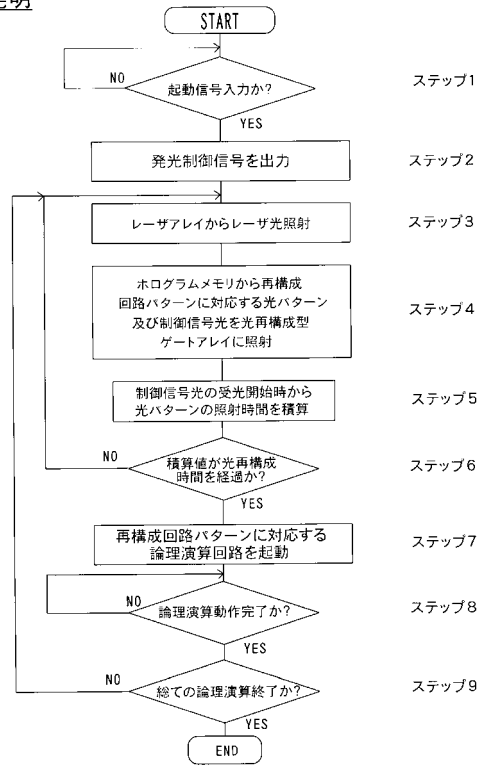
30

【 図 1 】

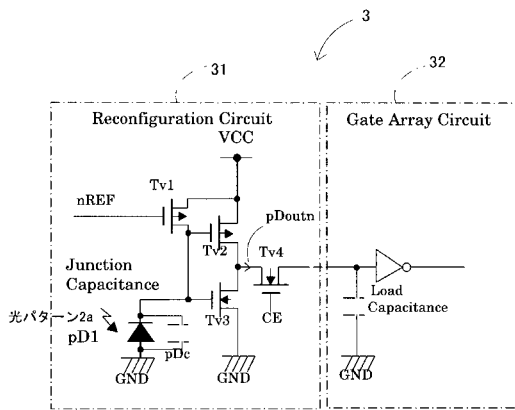


【 図 2 】

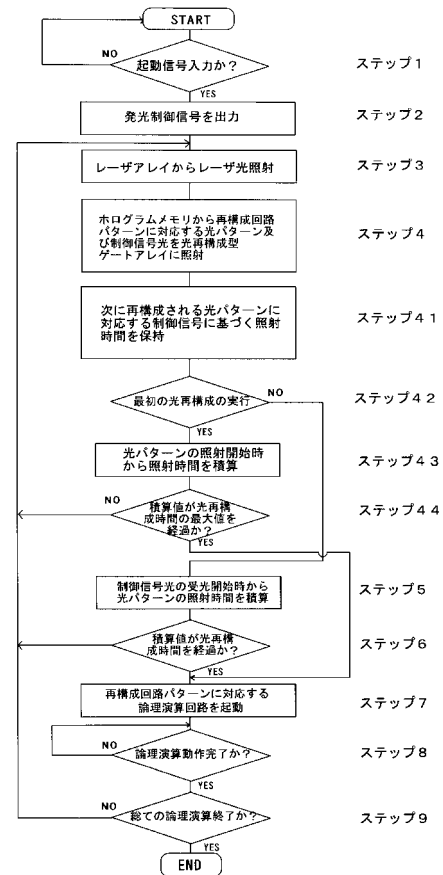
本願発明



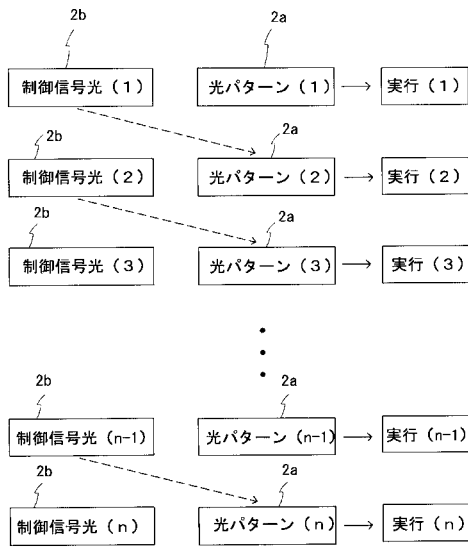
【 図 3 】



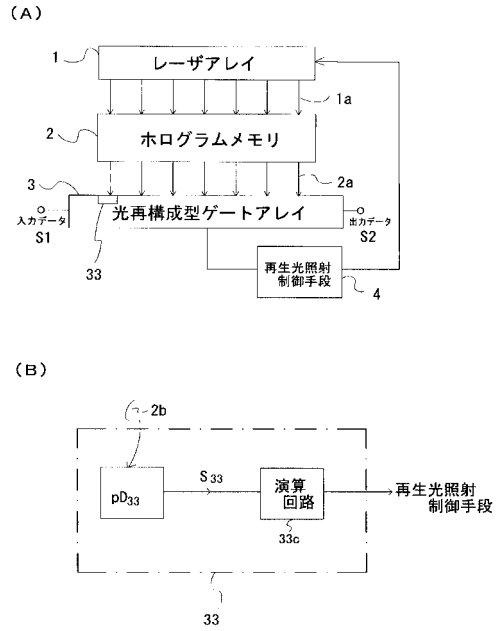
【 図 4 】



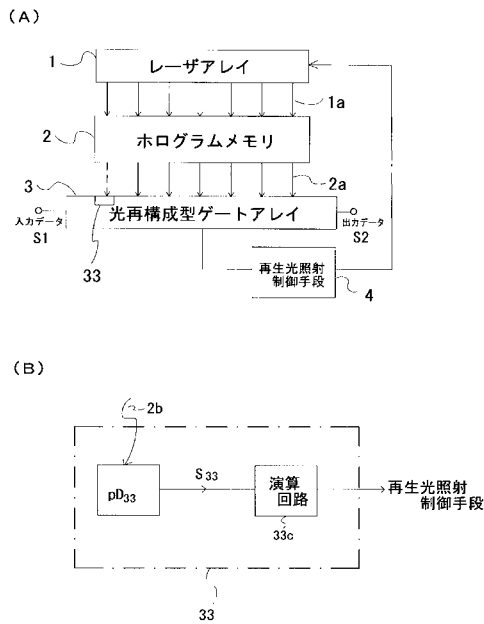
【 図 5 】



【 図 6 】



【 図 7 】



【 図 8 】

