

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-250576  
(P2008-250576A)

(43) 公開日 平成20年10月16日(2008.10.16)

(51) Int.Cl.  
G05F 1/56 (2006.01)

F I  
G05F 1/56 310Z

テーマコード(参考)  
5H430

審査請求 未請求 請求項の数 5 O L (全 9 頁)

(21) 出願番号 特願2007-89951(P2007-89951)  
(22) 出願日 平成19年3月29日(2007.3.29)

(71) 出願人 504174135  
国立大学法人九州工業大学  
福岡県北九州市戸畑区仙水町1番1号  
(74) 代理人 100121371  
弁理士 石田 和人  
(74) 代理人 100133592  
弁理士 山口 浩一  
(72) 発明者 森本 浩之  
福岡市西区徳永1006-1 ファミール  
伊都201  
(72) 発明者 中村 和之  
福岡県飯塚市大字川津680-4 国立大  
学法人九州工業大学内  
Fターム(参考) 5H430 BB06 BB09 BB20 CC01 CC05  
GG01 GG17 LA24 LB01 LB04  
LB06

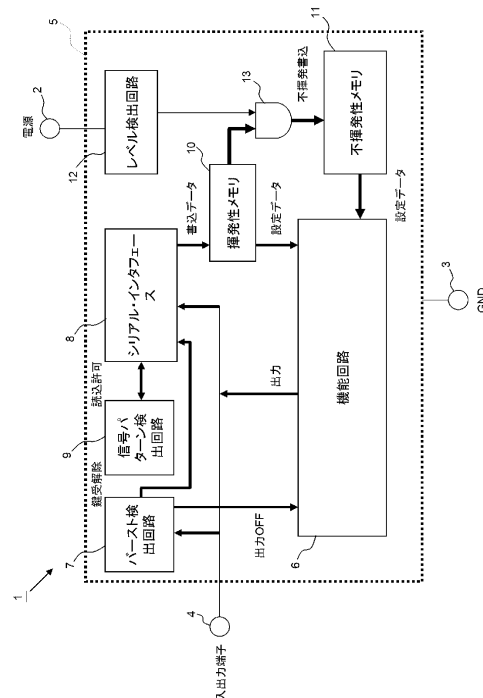
(54) 【発明の名称】 電子回路デバイス

(57) 【要約】

【課題】パッケージ封止後も特性変更を可能とし、特性設定時の雑益を低減し、低コスト化、故障率低減、実装面積縮小を図った電子回路デバイスを提供する。

【解決手段】入出力端子4から、規定の時間以上の長さの規定の書込活性バーストを検出するバースト検出回路7と、書込活性バーストが検出された場合、シリアル・インタフェース8を設定データの入力可能な入力可能状態とする信号パターン検出回路9と、入力可能状態において、入出力端子4から入力される設定データ信号を記憶する揮発性メモリ10及び不揮発性メモリ11とを備える。機能回路6は、揮発性メモリ10又は不揮発性メモリ11に書き込まれた設定データに従って動作状態が設定される。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

パッケージにより封止された回路本体と、当該回路本体と外部回路とを接続する複数の端子と、を有する電子回路デバイスであって、

前記回路本体は、

機能回路と、

前記何れかの端子のうちの所定の端子から、規定の時間以上の長さの規定のバースト信号（以下「書込活性バースト」という。）を検出するバースト検出回路と、

前記書込活性バーストが検出された場合、前記回路本体を設定データの入力可能な入力可能状態とするデータ受付解禁手段と、

前記入力可能状態において、前記所定の端子から入力される設定データを記憶するデータ記憶手段と、を備え、

前記機能回路は、前記データ記憶手段に書き込まれた設定データの情報に従って動作状態が設定されることを特徴とする電子回路デバイス。

**【請求項 2】**

前記データ受付解禁手段は、

前記所定の端子から入力されるシリアル・データ信号を受信するシリアル・インタフェースと、

前記バースト検出回路が前記書込活性バーストを検出した場合、前記所定の端子から入力される鍵パターン信号を検出する信号パターン検出回路と、

を備え、

前記シリアル・インタフェースは、前記鍵パターン信号が検出された場合、前記所定の端子から続いて入力される設定データを受信し前記データ記憶手段に書き込むことを特徴とする請求項 1 記載の電子回路デバイス。

**【請求項 3】**

前記データ記憶手段は、揮発性メモリ及び不揮発性メモリを備え、

前記シリアル・インタフェースは、前記所定の端子から入力される設定データを受信して前記揮発性メモリに書き込むものであり、

前記回路本体の電源端子に入力される電源電圧のレベルが、前記不揮発性メモリの書込閾値以上となると、書込可能信号を出力する電源レベル判定回路と、

前記書込可能信号が出力された場合、前記揮発性メモリに記憶されたデータを前記不揮発性メモリに書き込む不揮発性メモリ書込回路と、を備え、

前記機能回路は、前記揮発性メモリに書き込まれた設定データの情報に従って動作状態が切り替わることを特徴とする請求項 1 又は 2 記載の電子回路デバイス。

**【請求項 4】**

前記シリアル・インタフェースは、前記設定データを所定の時間又は所定のビット数だけ受け付けると、再び前記回路本体を設定データの入力が不可能な入力不能状態とすることを特徴とする請求項 1 乃至 3 の何れか一記載の電子回路デバイス。

**【請求項 5】**

前記端子として、電源端子、接地端子、及び出力端子の 3 つの端子を備えた三端子デバイスであることを特徴とする請求項 1 乃至 4 の何れか一記載の電子回路デバイス。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、電子回路デバイス、特に三端子レギュレータ、水晶発振器等のデバイスに関し、特に、その機能が外部から入力されるデータによって自由に設定することを可能とした電子回路デバイスに関する。

**【背景技術】****【0002】**

三端子レギュレータや水晶発振器等の三端子の電子回路デバイスは、各種電子回路にお

10

20

30

40

50

いて多用されている。このような三端子の電子回路デバイスは、ICチップ等を実装された機能回路が樹脂モールド、セラミック等のパッケージで封止され、3本のリードにより外部回路との接続がされる。モールド材で封止された機能回路は3本のリード以外からはアクセスすることはできず、その特性を調整することは困難である。そのため、必要な特性を得るための外付け回路で対応するか、パッケージで封止する前に、調整用の別端子（パッケージで封止後は使用不可となる端子）を使用して調整データを書き込むのが通常である。

#### 【0003】

例えば、非特許文献1に記載の3端子、500mA調整可能正電圧レギュレータ101においては、図3に示すような外部回路を使用することにより、出力電圧 $V_O$ を調整している。図3の回路では、出力電圧 $V_O$ は、可変抵抗 $R_2$ を用いて調整することができ、 $V_O$ の値は $V_O = V_{ref} (1 + R_2 / R_1) + (I_{Adj} \cdot R_2)$ のように表される。

【非特許文献1】Texas Instrument Incorporated, "LM317M 3-TERMINAL ADJUSTABLE REGULATOR", [online], 2000年, Texas Instrument Incorporated, [平成19年3月27日検索], インターネット<URL: <http://focus.tij.co.jp/jp/lit/ds/symlink/lm317m.pdf>>, p. 7.

#### 【発明の開示】

#### 【発明が解決しようとする課題】

#### 【0004】

しかしながら、外部回路を使用して出力を調整する場合、外部回路を実装するためのエリアが必要となるため実装面積が大きくなる。また、部品点数も大きくなりそれだけ回路の故障率も増加するとともに、製造コストも上昇する。一方、パッケージで封止する前に調整用の別端子で出力特性を調整する構成とした場合、機能回路をパッケージで封止した後出力特性の調整が必要となった場合には対応することができない。また、パッケージで封止前に出力特性を調整する場合、ICチップ等の機能回路をベアな状態で特性を測定しながら調整する必要があるため、設定に専用の治具が必要となるなど雑役が必要となる。

#### 【0005】

また、調整用の専用端子をリード等によりパッケージの外に引き出して、この専用端子から調整信号を入力して機能回路の調整を行うことも考えられる。しかしながら、この場合、調整用端子を余分に引き出す必要があるため、パッケージの実装面積が大きくなると共に製造コストも高くなる。

#### 【0006】

そこで、本発明の目的は、機能回路をパッケージで封止した後も特性の変更を可能とし、特性設定時の雑益を低減させ、低コスト化、故障率低減、及び実装面積の縮小を図ることのできる電子回路デバイスを提供することにある。

#### 【課題を解決するための手段】

#### 【0007】

本発明の電子回路デバイスの第1の構成は、パッケージにより封止された回路本体と、当該回路本体と外部回路とを接続する複数の端子と、を有する電子回路デバイスであって、

前記回路本体は、

機能回路と、

前記何れかの端子のうちの所定の端子から、規定の時間以上の長さの規定のバースト信号（以下「書込活性バースト」という。）を検出するバースト検出回路と、

前記書込活性バーストが検出された場合、前記回路本体を設定データの入力可能な入力可能状態とするデータ受付解禁手段と、

前記入力可能状態において、前記所定の端子から入力される設定データを記憶するデータ記憶手段と、を備え、

前記機能回路は、前記データ記憶手段に書き込まれた設定データの情報に従って動作状

10

20

30

40

50

態が設定されることを特徴とする。

【0008】

この構成によれば、機能回路の調整を行う場合、まず、「所定の端子」から書込活性パーストを入力する。これにより、回路本体が設定データの入力が可能となる。この状態で、設定データを「所定の端子」から入力し、データ記憶手段に記憶させる。機能回路は、データ記憶手段にデータ記憶手段に書き込まれた設定データの情報に従って動作状態が設定される。これにより、機能回路の出力を調整することができる。

【0009】

このように設定データを書き込む際に、書込活性パーストを用いてデータの受付を解禁させるようにする機能を備えたことで、設定データの入力には専用の端子を必要とせず、既存の端子（機能回路が本来備えている端子）の何れかを設定データの入力用端子として兼用させることが可能となる。

10

【0010】

ここで、「機能回路」とは、電子回路デバイスに本来要求される機能を実現する回路をいい、例えば、スイッチング・レギュレータならば出力電圧発生回路、水晶発振器ならば発振回路が機能回路となる。「規定のパースト信号」としては、例えば、規定の周波数のパルス又は正弦波信号や、規定のパターンのパルス信号等を用いることができる。「設定データ」とは、機能回路の動作状態を設定するためのデータをいう。

【0011】

本発明の電子回路デバイスの第2の構成は、前記第1の構成において、前記データ受付解禁手段は、

20

前記所定の端子から入力されるシリアル・データ信号を受信するシリアル・インタフェースと、

前記パースト検出回路が前記書込活性パーストを検出した場合、前記所定の端子から入力される鍵パターン信号を検出する信号パターン検出回路と、

を備え、

前記シリアル・インタフェースは、前記鍵パターン信号が検出された場合、前記所定の端子から続いて入力される設定データを受信し前記データ記憶手段に書き込むことを特徴とする。

【0012】

30

この構成によれば、「所定の端子」から、ノイズによって書込活性パーストと同様の信号が入力された場合であっても、信号パターン検出回路が鍵パターン信号を検出しない限りはデータ記憶手段にデータが書き込まれることがない。従って、不正なデータがデータ記憶手段に書き込まれて機能回路が誤動作を生じることを有効に防止することが可能となる。

【0013】

本発明の電子回路デバイスの第3の構成は、前記第1又は2の構成において、前記データ記憶手段は、揮発性メモリ及び不揮発性メモリを備え、

前記インタフェースは、前記所定の端子から入力される設定データを受信して前記揮発性メモリに書き込むものであり、

40

前記回路本体の電源端子に入力される電源電圧のレベルが、前記不揮発性メモリの書込閾値以上となると、書込可能信号を出力する電源レベル判定回路と、

前記書込可能信号が出力された場合、前記揮発性メモリに記憶されたデータを前記不揮発性メモリに書き込む不揮発性メモリ書込回路と、を備え、

前記機能回路は、前記揮発性メモリ又は不揮発性メモリに書き込まれた設定データの情報に従って動作状態が切り替わることを特徴とする。

【0014】

この構成によれば、設定データを揮発性メモリに書き込まれた設定データを不揮発性メモリに書き込むことで、電源を切った後も機能回路の設定は保存される。

【0015】

50

また、揮発性メモリに書き込んだ状態で機能回路の設定状態のテストを実施し、出力特性が所望の特性であれば、電源電圧のレベルを閾値以上に設定して設定データを不揮発性メモリに書き込むことができる。このように、揮発性メモリと不揮発性メモリの2つのメモリを備えたことで、機能回路の出力特性の調整時に設定の変更を高速で行うことができると共に設定状態の保存も可能となり、機能回路の出力特性の調整が容易となる。

【0016】

ここで、「不揮発性メモリの書込閾値」は、通常の電源電圧よりも高く、不揮発性メモリの書き込みに必要な電圧レベルよりも低い値とされる。

【0017】

この場合、機能回路は、揮発性メモリに書き込まれた設定データを優先して動作状態を設定するように構成することが望ましい。揮発性メモリの書き換えは高速に行うことが可能であるため、機能回路の出力調整時には、揮発性メモリに設定データがテストとして書き込まれるからである。

10

【0018】

本発明の電子回路デバイスの第4の構成は、前記第1乃至3の何れか一の構成において、前記インタフェースは、前記設定データを所定の時間又は所定のビット数だけ受け付けると、再び前記回路本体を設定データの入力が不可能な入力不能状態とすることを特徴とする。

【0019】

この構成により、書き込み可能な状態が長時間に亘って継続しノイズ等により不正なデータが誤って書き込まれるような事態を有効に回避することができる。

20

【0020】

本発明の電子回路デバイスの第5の構成は、前記第1乃至4の何れか一の構成において、前記端子として、電源端子、接地端子、及び出力端子の3つの端子を備えた三端子デバイスであることを特徴とする。

【0021】

これにより、三端子デバイスのように端子数が最小の電子回路デバイスであっても、出力特性の調整が可能となる。

【発明の効果】

【0022】

以上のように、本発明によれば、書込活性バーストを用いてデータの受付を解禁させるようにする機能を備え、既存の端子（機能回路が本来備えている端子）から設定データを入力して機能回路の設定を行うことで、既存の機能回路の端子数以上に設定専用の端子をパッケージの外に引き出す必要なく、機能回路の調整をパッケージ封止後に行うことが可能となる。

30

【0023】

そして、三端子デバイスのように端子数が最小の電子回路デバイスであっても、出力特性の調整が可能となる。

【発明を実施するための最良の形態】

【0024】

以下、本発明を実施するための最良の形態について、図面を参照しながら説明する。

40

【実施例1】

【0025】

図1は、本発明の実施例1に係る電子回路デバイス1の構成を表すブロック図である。

【0026】

電子回路デバイス1は、ICチップに実装された回路本体5と、電源端子2、接地端子3、及び入出力端子4の3つの端子とを備えた三端子デバイスである。回路本体5は、樹脂モールドやセラミックなどのパッケージで封止されており、電源端子2、接地端子3、及び入出力端子4は、リードによりパッケージの外に引き出されている。

【0027】

50

回路本体 5 には、機能回路 6、バースト検出回路 7、シリアル・インタフェース 8、信号パターン検出回路 9、揮発性メモリ 10、不揮発性メモリ 11、レベル検出回路 12、及び不揮発性メモリ書込回路 13 が実装されている。

【0028】

機能回路 6 は、電源回路や発振回路等のように、本来、この電子回路デバイス 1 に要求される機能を実現する回路である。

【0029】

バースト検出回路 7 は、入出力端子 4 から入力される書込活性バーストを検出する回路である。ここで「書込活性バースト」とは、規定の時間以上の長さの規定の周波数のパルス信号をいう。シリアル・インタフェース 8 は、入出力端子 4 から入力されるシリアル信号を受信するインタフェースである。信号パターン検出回路 9 は、バースト検出回路 7 が書込活性バーストを検出した場合に、入出力端子 4 から続いて入力される鍵パターン信号を検出する。揮発性メモリ 10 及び不揮発性メモリ 11 は、シリアル・インタフェース 8 が受信する設定データを記憶するためのメモリである。レベル検出回路 12 は、電源端子 2 に印加される電源電圧のレベルが、不揮発性メモリ 11 の書込閾値以上となると、書込可能信号を出力する回路である。ここで、「書込可能信号」は、1 ビットのデジタル信号とし、「0」のとき書込不可の状態、「1」のとき書込可の状態とする。不揮発性メモリ書込回路 13 は、書込可能信号が書込可の状態にあるときに、揮発性メモリ 10 に記憶された設定データを不揮発性メモリ 11 に書き込む回路である。

【0030】

以上のように構成された本実施例の電子回路デバイス 1 について、以下その動作を説明する。

【0031】

図 2 は、電子回路デバイス 1 の設定データの書き込み動作時における電源電圧端子の電圧レベル及び入出力端子の入力信号を表す図である。

【0032】

初期状態においては、電源端子 4 に印加されている電源電圧は、通常の電源電圧  $V_{dd}$  である。この状態では、入出力端子 4 からは機能回路 6 から電圧等の出力が行われている。

【0033】

初期状態において、不揮発性メモリ 11 に設定データが書き込まれている場合には、機能回路 6 はその設定データに従って機能し、何も設定データが書き込まれていない場合には、機能回路 6 はデフォルトの状態に機能する。

【0034】

(例 1)

例えば、機能回路 6 がスイッチング・レギュレータ回路の場合、設定データとして出力電圧  $V_s$  が不揮発性メモリ 11 に書き込まれている場合、機能回路 6 は入出力端子 4 から電圧  $V_s$  を出力する。不揮発性メモリ 11 に設定データが書き込まれていない場合には、機能回路 6 はデフォルトの出力電圧  $V_0$  を出力する。

(例終わり)

【0035】

(例 2)

例えば、機能回路 6 が発振回路の場合、設定データとして発振周波数  $f_s$  が不揮発性メモリ 11 に書き込まれている場合、機能回路 6 は入出力端子 4 から周波数  $f_s$  のパルスを出力する。不揮発性メモリ 11 に設定データが書き込まれていない場合には、機能回路 6 はデフォルトの発信周波数  $f_0$  のパルスを出力する。

(例終わり)

【0036】

まず、時刻  $t_1$  において、入出力端子 4 から、規定された周波数範囲のパルス信号が、規定された時間以上にわたり入力される。これにより、バースト検出回路 7 は、入力され

10

20

30

40

50

たパルス信号を書込活性バーストと認識し、シリアル・インタフェース 8 を受信可能な状態（以下「データ受付モード」という。）とする。それとともに、機能回路 6 の出力を OFF とする。

【 0 0 3 7 】

データ受付モードでは、シリアル・インタフェース 8 は、入出力端子 4 から入力されるパルスのパルス幅によって 0 状態か 1 状態かを判別する。判定基準のパルス幅は内部時定数回路（図示せず）によって規定される。

【 0 0 3 8 】

次に、時刻  $t_3 \sim t_4$  において、入出力端子 4 から鍵パターン信号が入力される。シリアル・インタフェース 8 は鍵パターン信号を受信して信号パターン検出回路 9 へ出力する。信号パターン検出回路 9 は、シリアル・インタフェース 8 から入力された信号データが、鍵パターン信号であることを確認した場合、シリアル・インタフェース 8 の状態を、揮発性メモリ 10 への書き込み状態（以下「書込モード」という。）に設定する。

10

【 0 0 3 9 】

このように、シリアル・インタフェース 8 で受信される信号の 0, 1 からなるパターンがある条件を満たした場合にのみ書込モードへ移行することで、雑音等に起因する誤書き込みを防止することができる。

【 0 0 4 0 】

次に、時刻  $t_5 \sim t_6$  において、入出力端子 4 から、設定データが入力される。シリアル・インタフェース 8 は、設定データを受信すると、これを揮発性メモリ 10 に書き込む。所定の長さの設定データを受信すると、シリアル・インタフェース 8 は、再び受信不可能な状態にリセットされる。また、シリアル・インタフェース 8 が受信不可能な状態にリセットされると、機能回路 6 の出力は再び ON となる。

20

【 0 0 4 1 】

一方、揮発性メモリ 10 に設定データが書き込まれた場合、機能回路 6 は、その設定データに従って機能状態を切り替える。

【 0 0 4 2 】

（例 3）

例えば、機能回路 6 がスイッチング・レギュレータ回路の場合、設定データとして出力電圧  $V_{s1}$  が揮発性メモリ 10 に書き込まれた場合、機能回路 6 は不可発性メモリ 11 に設定データが書き込まれているか否かに関わらず、入出力端子 4 から電圧  $V_{s1}$  を出力するように機能状態を切り替える。

30

（例終わり）

【 0 0 4 3 】

（例 4）

例えば、機能回路 6 が発振回路の場合、設定データとして発振周波数  $f_{s1}$  が揮発性メモリ 10 に書き込まれた場合、機能回路 6 は不可発性メモリ 11 に設定データが書き込まれているか否かに関わらず、入出力端子 4 から周波数  $f_{s1}$  のパルスを出力する。

（例終わり）

40

【 0 0 4 4 】

このように、揮発性メモリ 10 に設定データを書き込むことによって、機能回路 6 の機能状態を変更することができる。

【 0 0 4 5 】

次に、時刻  $t_7 \sim t_8$  において、電源端子 2 に印加する電源電圧のレベルが、不揮発性メモリ 11 の書き込みに必要な電圧レベル  $V_{dd2}$  に設定される。レベル検出回路 12 は、電源電圧のレベルが書込閾値  $V_{th}$  より大きくなったと判定し、書込可能信号として「1」を出力する。ここで、「書込閾値  $V_{th}$ 」は、通常の電源電圧  $V_{dd}$  よりも大きく、不揮発性メモリ 11 の書き込みに必要な電圧レベル  $V_{dd2}$  よりも小さい値とされる。

【 0 0 4 6 】

不揮発性メモリ書込回路 13 は、書込可能信号が「1」となると、揮発性メモリ 10 に

50

書き込まれた設定データを不揮発性メモリ 11 に出力して書き込みを行う。これにより、設定データが不揮発化され、電源が切られた後も設定データが保存される。

【0047】

以上のように、本実施例の電子回路デバイス 1 によれば、書込活性パーストを用いてシリアル・インタフェース 8 のデータの受付を解禁させるようにする機能を備え、機能回路 6 の出力端子（入出力端子 4）から設定データを入力して機能回路 6 の設定を行うため、機能回路 6 が本来必要とする端子数以上に設定専用の端子をパッケージの外に引き出す必要なく機能回路 6 の調整をパッケージ封止後に行うことが可能となる。

【0048】

また、書込活性パーストを受信するとシリアル・インタフェース 8 をデータ受付モードとし、その後鍵パターン信号を受信するとシリアル・インタフェース 8 を書込モードとするというように、データの書き込みを解禁するために 2 重の段階の設定処理を踏むことで、雑音等に起因する誤書き込みを有効に防止することが可能となる。

10

【図面の簡単な説明】

【0049】

【図 1】本発明の実施例 1 に係る電子回路デバイス 1 の構成を表すブロック図である。

【図 2】電子回路デバイス 1 の設定データの書き込み動作時における電源電圧端子の電圧レベル及び入出力端子の入力信号を表す図である。

【図 3】非特許文献 1 記載の電子回路デバイスの出力設定変更回路である。

【符号の説明】

20

【0050】

電子回路デバイス 1

電源端子 2

接地端子 3

入出力端子 4

回路本体 5

機能回路 6

パースト検出回路 7

シリアル・インタフェース 8

信号パターン検出回路 9

30

揮発性メモリ 10

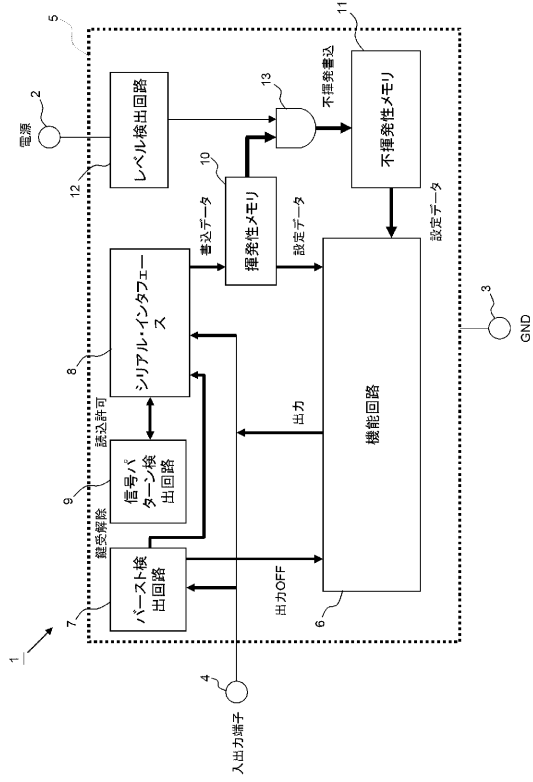
不揮発性メモリ 11

レベル検出回路 12

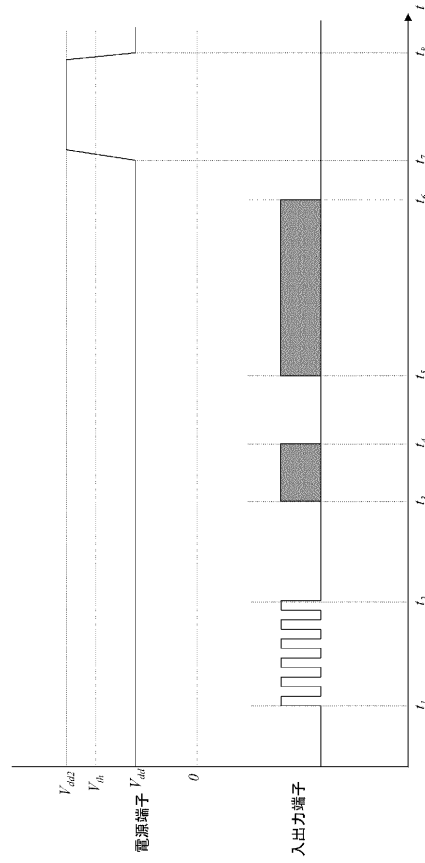
不揮発性メモリ書込回路 13



【図 1】



【図 2】



【図 3】

