

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-236661  
(P2009-236661A)

(43) 公開日 平成21年10月15日(2009. 10. 15)

(51) Int.Cl.	F I	テーマコード (参考)
<b>GO1C 3/06 (2006.01)</b>	GO1C 3/06 110V	2F065
<b>GO1B 11/00 (2006.01)</b>	GO1C 3/06 140	2F112
	GO1B 11/00 H	

審査請求 未請求 請求項の数 3 O L (全 20 頁)

(21) 出願番号 特願2008-82590 (P2008-82590)  
(22) 出願日 平成20年3月27日 (2008. 3. 27)

(71) 出願人 504174135  
国立大学法人九州工業大学  
福岡県北九州市戸畑区仙水町1番1号  
(74) 代理人 100099508  
弁理士 加藤 久  
(74) 代理人 100116296  
弁理士 堀田 幹生  
(72) 発明者 有馬 裕  
福岡県飯塚市大字川津680-4 国立大  
学法人九州工業大学 情報工学部内  
Fターム(参考) 2F065 AA04 AA06 DD04 FF05 JJ03  
JJ05 JJ26 NN11 QQ03 QQ13  
QQ25 QQ28 QQ38 QQ47  
2F112 AC06 CA12 DA28 FA03 FA07  
FA38 FA45 GA01

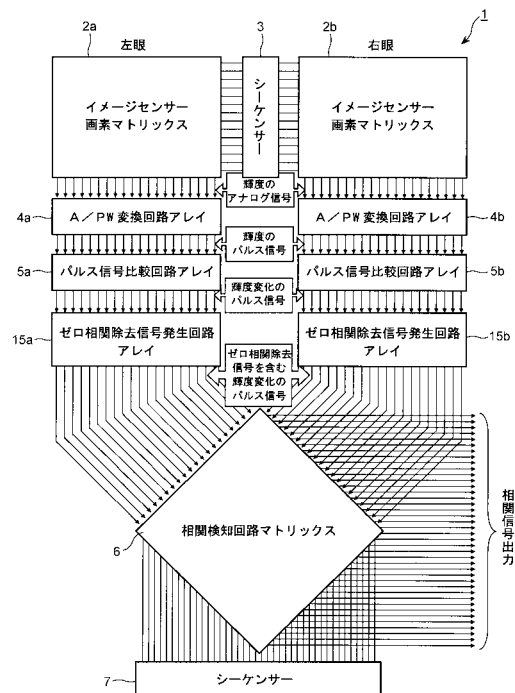
(54) 【発明の名称】 視差センサおよび視差画像の生成方法

(57) 【要約】

【課題】 帯状のパターン等を削除して、対象物の特徴パターンのみを得ることのできる視差センサおよび視差画像の生成方法を提供する。

【解決手段】 第1画像と第2画像のそれぞれに対応するパルス信号比較回路アレイ5a, 5bの出力である比較パルス信号のそれぞれの組み合わせからなる2つの比較パルス信号に対して、両者の排他論理和をとった差分パルスの全パルス長を、その全パルス長に比例する信号に変換し、この信号を相関信号として出力する相関検知回路マトリックス6を備えている視差センサにおいて、パルス信号比較回路アレイ5a, 5bの出力である比較パルス信号のパルス幅が一定の長さ以下であることを検知するゼロ信号検知回路と、そのゼロ信号検知回路の出力信号に従って比較パルス信号または予め決められた信号を選択し相関検知回路に出力する選択回路とからなるゼロ相関除去信号発生回路アレイ15a, 15bを備えた。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

対象物を撮像し、アナログ電圧信号である画素信号として第 1 画像を出力する第 1 の撮像素子と、

前記第 1 の撮像素子とは異なる角度から前記対象物を撮像し、アナログ電圧信号である画素信号として第 2 画像を出力する第 2 の撮像素子と、

前記第 1 及び第 2 の撮像素子から出力される画素信号の各々を、各画素信号の電圧値に比例する長さのパルス幅を有するパルス幅画素信号に変換する複数の電圧・パルス幅変換回路と、

すべての前記各電圧・パルス幅変換回路が同時並列的に各画素信号をパルス幅画素信号に変換するようにタイミング制御を行う同期制御回路と、

隣接する前記電圧・パルス幅変換回路が出力する 2 つのパルス幅画素信号を比較し、2 つのパルス幅画素信号の + 方向の差と - 方向の差をそれぞれ比較パルス信号として出力する複数のパルス信号比較回路と、

前記第 1 画像に対応する前記パルス信号比較回路の出力である比較パルス信号と前記第 2 画像に対応する前記パルス信号比較回路の出力である比較パルス信号のそれぞれの組み合わせからなる 2 つの比較パルス信号に対して、両者の排他論理和をとった差分パルスの全パルス長を、その全パルス長に比例する電圧値または電流値の信号に変換し、この信号を相関信号として出力する複数の相関検知回路と、

を備えている視差センサにおいて、

前記パルス信号比較回路の出力である比較パルス信号のパルス幅が一定の長さ以下であることを検知するゼロ信号検知回路と、そのゼロ信号検知回路の出力信号に従って前記比較パルス信号または予め決められた信号を選択し前記相関検知回路に出力する選択回路とからなるゼロ相関除去信号発生回路 16 を備えたことを特徴とする視差センサ。

**【請求項 2】**

前記ゼロ信号検知回路に、比較パルス信号を MOSFET を介して入力し、その MOSFET のゲートに与える電圧値によって検知するパルス幅を調整する機能を備えたことを特徴とする請求項 1 記載の視差センサ。

**【請求項 3】**

第 1 の撮像素子で対象物を撮像し、アナログ電圧信号である画素信号として第 1 画像を出力すると同時に、第 2 の撮像素子で前記第 1 の撮像素子とは異なる角度から前記対象物を撮像し、アナログ電圧信号である画素信号として第 2 画像を出力する第 1 のステップと、

前記第 1 及び第 2 の撮像素子が出力する各画素信号を、複数の電圧・パルス幅変換回路により、同時並列的に、その画素信号の電圧値に比例する長さのパルス幅を有するパルス幅画素信号に変換する第 2 のステップと、

隣接する前記電圧・パルス幅変換回路が出力する 2 つのパルス幅画素信号を比較し、2 つのパルス幅画素信号の + 方向の差と - 方向の差をそれぞれ比較パルス信号として出力する第 3 のステップと、

前記比較パルス信号のパルス幅が一定の長さ以下であることを検知したときに、前記比較パルス信号または予め決められた信号を選択して出力する第 4 のステップと、

複数の相関検知回路により、前記第 1 画像に対応する比較パルス信号、但し前記第 4 のステップにおいて予め決められた信号が選択されたときはその予め決められた信号と、前記第 2 画像に対応する比較パルス信号、但し前記第 4 のステップにおいて予め決められた信号が選択されたときはその予め決められた信号のそれぞれの組み合わせからなる 2 つのパルス幅画素信号に対して、両者の排他論理和をとった差分パルスの全パルス長を、その全パルス長に比例する電圧値または電流値の信号に変換し、この信号を相関信号として出力する第 5 のステップと、

を有することを特徴とする視差画像の生成方法。

**【発明の詳細な説明】**

10

20

30

40

50

## 【技術分野】

## 【0001】

本発明は、ステレオ画像から視差画像を生成する視差画像の生成技術に関し、特に、高速で、回路規模が小さく、かつ低消費電力で実現可能な視差画像の生成技術に関する。

## 【背景技術】

## 【0002】

本発明は、本願発明者が先に提案し、特許出願した特許文献1に記載の発明の改良技術に関するものである。

以下に従来技術としての視差センサについて説明する。

## 【0003】

CCD (Charge Coupled Device) や CMOS (Complementary Metal Oxide Semiconductor) イメージセンサの普及に伴い、情報機器は画像情報を容易に取り扱えるようになった。最近では、殆どの携帯電話に小型カメラが内蔵され画像データの通信を容易にしている。また、多くの自動車にはイメージセンサが搭載され運転席からの死角をカバーして安全運転に役立つようにしている。しかしながら、従来のイメージセンサから得られるのは、あくまでも単なる2次元情報であり、距離(奥行き)情報を含んだ3次元情報は得ることができない。そこで、距離情報を得ることができる新しいイメージセンサが求められている。

## 【0004】

対象物との距離の高速検知方法には、主に二種類の方法がある。一つは、指向性の高いレーザー光や電波等の電磁波を対象物にビーム照射しその反射信号の時間遅れで対象物との距離を測定するアクティブ測距方式である。もう一つは、二つのイメージセンサを用いて画像の相関を計算し、二つのセンサ間の視差を抽出することで距離を算出するパッシブ測距方式である。

## 【0005】

航空機や船舶等には、アクティブ測距方式の代表例であるレーダーが備えられており、自分の周囲の対象物との距離をモニターすることができ安全な航行を可能にしている。また最近では、自動車にもミリ波レーダーが搭載され車間距離をモニターして衝突防止に役立っている。このように現在においては、高速な距離の検知にはアクティブ測距方式であるレーダーが用いられている。

## 【0006】

しかしながら、アクティブ測距方式は、レーザー光や電波等の電磁波の反射信号を利用するため、検出対象物によっては、乱反射を生じて信号干渉により正確な距離の検知に支障を来したり、電磁波が吸収されて反射信号が十分得られず、対象物の検知が確実にできないおそれがあったりして問題がある。

## 【0007】

これに対して、パッシブ測距方式は電磁波の照射を行わないため、アクティブ測距方式における信号干渉や反射信号が不足の問題を回避できるというメリットがある。

## 【0008】

しかし、このパッシブ測距方式では、二枚の画像データの相関処理に大規模な計算量を必要とするので、従来の相関処理用LSIでは、高速移動に対応できる高速な処理が困難であったことから実用化されていないのが現状である。

## 【0009】

図7は、二眼視差による距離検出の原理を説明するための図である。図7(a)に示すように、右眼に対応する撮像素子と左眼に対応する撮像素子を一定の距離離して設置して撮像する。ここで、左眼に対応する撮像素子で撮像される画像(以下、「左眼画像」という。)を $\{a^{(L)}_{i,j} \mid i = 1, 2, \dots, n, j = 1, 2, \dots, m\}$ と記す。右眼に対応する撮像素子で撮像される画像(以下、「右眼画像」という。)を $\{a^{(R)}_{i,j} \mid i = 1, 2, \dots, n, j = 1, 2, \dots, m\}$ と記す。

## 【0010】

10

20

30

40

50

同じ対象物に対して、左右の撮像素子により撮像された対象物の各々の位置が、撮像素子から対象物までの距離に応じてずれることになる。従って、今、撮像された左眼画像と右眼画像の水平方向の相関のみを考える場合、すべての  $(a^{(L)}_{i,k}, a^{(R)}_{j,k})$  の組の間で相関をとれば、もっとも大きな相関がある組により表される座標により、各々の対象物の距離が検知できる。

【 0 0 1 1 】

図 7 ( a ) において、A , B , C の三つの が対象物を示している。これらの対象物を左右の撮像素子で撮像して左眼画像と右眼画像の相関マトリックスを作った場合、図 7 ( b ) のようになる。図 7 ( b ) では、左眼画像の画素 1 ~ n の線と右眼画像の画素 1 ~ n の線との交点の位置において相関機能があるとしている。図 7 ( a ) の対象物 A , B , C に対して図 7 ( b ) に示した A , B , C の三つの の位置で大きな相関が検出される。従って、相関マトリックス上で相関の大きい座標を検出し、この座標を図 7 ( a ) の斜交座標に座標変換すれば、対象物までの距離を検出することが可能である。なお、図 7 ( a ) に示した斜交座標は、左右の撮像素子の位置とそれらの相対角度によって決定することができる。従って、相関マトリックスからこの斜交座標への座標変換は、予め用意した換算表を参照することによって容易にできる。

10

【 0 0 1 2 】

図 8 は先に提案した特許文献 1 において記載された視差センサ L S I の構成例を示す図である。視差センサ 1 は、2 つの撮像素子 2 a , 2 b 、シーケンサ 3 、2 つの電圧・パルス幅変換回路アレイ 4 a , 4 b 、2 つのパルス信号比較回路アレイ 5 a , 5 b 、相関検知回路マトリックス 6 、及びシーケンサ 7 を備えている。

20

【 0 0 1 3 】

左右の撮像素子 2 a , 2 b は、眼の役割を担う。以下では、便宜上、撮像素子 2 a の側を左眼と呼び、撮像素子 2 b の側を右眼と呼ぶ。撮像素子 2 a , 2 b は、撮像面に入射する光を電圧信号に変換して出力する。ここでは、撮像素子 2 a , 2 b としては、CCD 受光素子のようなイメージセンサが使用されているものとする。シーケンサ 3 は、撮像素子 2 a , 2 b に対してライン選択のための読出信号を出力する。

【 0 0 1 4 】

電圧・パルス幅変換回路アレイ 4 a , 4 b は、撮像素子 2 a , 2 b からライン並列に出力される各画素のアナログ電圧信号 ( 以下、「画素信号」という。 ) を、並列的にパルス幅に変換し、パルス幅画素信号として出力する。

30

【 0 0 1 5 】

パルス信号比較回路アレイ 5 a , 5 b は、並列的に入力されるパルス幅画素信号を、隣接するもの同士で比較を行い、比較パルス信号として出力する。

【 0 0 1 6 】

相関検知回路マトリックス 6 は、左眼側のパルス信号比較回路アレイ 5 a から出力される比較パルス信号と、右眼側のパルス信号比較回路アレイ 5 b から出力される比較パルス信号とについて、すべての組み合わせに対する相関演算を行い相関信号として出力する。シーケンサ 7 は、相関検知回路マトリックス 6 の相関信号の出力タイミングを制御するための出力タイミング制御信号を、相関検知回路マトリックス 6 に対して出力する。相関検知回路マトリックス 6 は、出力タイミング制御信号に従って、相関信号を順次出力する。

40

【 0 0 1 7 】

図 9 は図 8 の視差センサについてより詳細な回路構成を示した図である。図 9 において、図 8 と同様の部分には同符号が付してある。

【 0 0 1 8 】

撮像素子 2 a , 2 b は、垂直方向に m 行、水平方向に n 行の画素の行列 ( 画素行列 ) を有する。撮像素子 2 a , 2 b は、シーケンサ 3 によって、同じ行が選択され、その行内の n 個の画素の画素信号が電圧・パルス幅変換回路アレイ 4 a , 4 b に並列に出力される。

【 0 0 1 9 】

電圧・パルス幅変換回路アレイ 4 a , 4 b は、それぞれ、n 個の電圧・パルス幅変換回

50

路 8 が並列に配列された構成を有する。各電圧・パルス幅変換回路 8 には、それぞれ撮像素子 2 a , 2 b から出力される画素信号が入力される。電圧・パルス幅変換回路アレイ 4 a , 4 b のすべての電圧・パルス幅変換回路 8 には、同期制御回路 1 3 ( 図 1 0 参照 ) から、共通のランプ電圧が入力される。これにより、すべての電圧・パルス幅変換回路 8 は、同タイミングで画素信号をパルス幅画素信号に変換することができる。

【 0 0 2 0 】

パルス信号比較回路アレイ 5 a , 5 b は、それぞれ、 $n - 1$  個のパルス信号比較回路 9 が並列に配列された構成を有する。各パルス信号比較回路 9 には、隣接する 2 つの電圧・パルス幅変換回路 8 が出力するパルス幅画素信号が入力される。各パルス信号比較回路 9 は、入力された 2 つのパルス幅画素信号を比較し、2 つのパルスの + 方向の差と - 方向の差を各々比較パルス信号として出力する。

10

【 0 0 2 1 】

相関検知回路マトリックス 6 は、 $(n - 1) \times (n - 1)$  個の相関検知回路 1 0 が、 $(n - 1)$  行  $(n - 1)$  列の菱形状に配列された構成からなる。ここでは便宜上、左眼側のパルス信号比較回路アレイ 5 a から出力される比較パルス信号が入力される斜辺を左斜辺と呼び、右眼側のパルス信号比較回路アレイ 5 b から出力される比較パルス信号が入力される斜辺を右斜辺と呼ぶ。

【 0 0 2 2 】

左斜辺に沿って上から  $i$  番目に属する相関検知回路 1 0 には、左眼側のパルス信号比較回路アレイ 5 a 内の  $i$  番目のパルス信号比較回路 9 が出力する比較パルス信号が入力される。右斜辺と平行に配列する相関検知回路 1 0 には、左眼側のパルス信号比較回路アレイ 5 a 内のパルス信号比較回路 9 が出力する比較パルス信号が共通に入力される。

20

【 0 0 2 3 】

右斜辺に沿って上から  $j$  番目に属する相関検知回路 1 0 には、右眼側のパルス信号比較回路アレイ 5 b 内の  $j$  番目のパルス信号比較回路 9 が出力する比較パルス信号が入力される。左斜辺と平行に配列する相関検知回路 1 0 には、右眼側のパルス信号比較回路アレイ 5 b 内のパルス信号比較回路 9 が出力する比較パルス信号が共通に入力される。

【 0 0 2 4 】

すべての相関検知回路 1 0 には、共通のバイアス電圧  $V_b$  とリセット信号  $R e s e t$  が与えられている。

30

【 0 0 2 5 】

縦方向に配列する相関検知回路 1 0 には、列ごとに共通の読出線が接続されている。そしてこの読出線を介して、シーケンサ 7 から共通の読出信号  $R e a d$  が入力される。また、横方向に配列する相関検知回路 1 0 には、行ごとに共通の出力線が接続されている。各相関検知回路 1 0 は、入力される比較パルス信号のパルス幅を電流値に変換して相関信号として出力線に出力する。各出力線の終端には、カレント・ミラー回路等の電流電圧変換回路 1 1 が接続されている。各相関検知回路 1 0 が出力する相関信号の電流値を、電圧値に変換して外部回路に出力する。

【 0 0 2 6 】

シーケンサ 7 は、シフト・レジスタ 1 2 により構成されている。左側のシフト・レジスタ 1 2 に読出信号が入力されると、1 クロックごとに読み出し信号は右側のシフト・レジスタ 1 2 に移動していく。従って、左側の列に属する相関検知回路 1 0 から順次相関信号が読み出されていく。

40

【 0 0 2 7 】

次に、図 9 における電圧・パルス幅変換回路 8 の詳細について説明する。図 1 0 は電圧・パルス幅変換回路 8 の構成を表す図である。本実施例における電圧・パルス幅変換回路 8 は、論理閾値可変調インバータ回路 ( $V T - I N V$ ) により構成されている。

【 0 0 2 8 】

論理閾値可変調インバータ回路 ( $V T - I N V$ ) は、制御ゲートに印加される利得係数制御電圧により利得係数を変調することが可能な、C M O S 型インバータを備えており、

50

この制御ゲートが、利得係数制御端子 (CNT) に接続された構成からなる。なお、電圧・パルス幅変換回路 8 における利得係数制御端子 (CNT) は、同期制御回路 13 に接続されている。同期制御回路 13 は、ランプ信号生成回路により構成されている。このランプ信号生成回路が発生するランプ電圧が、すべての電圧・パルス幅変換回路 8 の利得係数制御端子 (CNT) に対して共通に入力される。従って、すべての電圧・パルス幅変換回路 8 は、同タイミングで電圧・パルス幅変換を行う。

【0029】

図 11 は電圧・パルス幅変換回路 8 の動作例を示す図である。同期制御回路 13 が出力するランプ電圧 (Ramp Sig.) は、図 11 の最上段に示したような鋸歯状となる。このランプ電圧が利得係数制御端子 (CNT) に入力されると、電圧・パルス幅変換回路 8 の論理閾値電圧  $V_{inv}$  は、図 11 の点線で示したように変化する。すなわち、ランプ電圧の増加に伴って、論理閾値電圧  $V_{inv}$  は減少する。そして、論理閾値電圧  $V_{inv}$  が画素信号の電圧 (Analog  $V_{in}$ ) よりも小さくなったとき、電圧・パルス幅変換回路 8 の出力端子に出力されるパルス幅画素信号 (OUT) が H レベルとなる。そして、ランプ電圧が再び最低レベルに戻ると、論理閾値電圧  $V_{inv}$  は最大となり、パルス幅画素信号 (OUT) が L レベルとなる。

10

【0030】

このように、パルス幅画素信号 (OUT) が L レベルとなるタイミングはランプ電圧により決められるため一定である。しかし、パルス幅画素信号 (OUT) が H レベルとなるタイミングは、画素信号の電圧が高いほど早く、画素信号の電圧が低いほど遅くなる。従って、パルス幅画素信号 (OUT) が H レベルとなる時間 (パルス幅画素信号のパルス幅) は、画素信号の電圧に比例する。すなわち、画素信号の電圧値はパルス幅画素信号のパルス幅に変換される。

20

【0031】

次に、図 9 におけるパルス信号比較回路 9 の詳細について説明する。図 12 はパルス信号比較回路 9 の構成を表す図である。このパルス信号比較回路 9 は、4 つのインバータ 41, 42, 45, 46 と 2 つの AND ゲート 43, 44 から構成されている。この回路は、入力端子 INa, INb に対して、出力値 (比較パルス信号)  $OUT_+$ ,  $OUT_-$  として、次の値を出力する。

$$OUT_+ = INa \quad (/ INb)$$

$$OUT_- = INb \quad (/ INa) \quad \dots \dots \dots (数 1)$$

30

ここで、( $/ INb$ )、( $/ INa$ ) は、それぞれ INb、INa の反転信号、 $\cdot$  は論理積を表す。

【0032】

図 13 はパルス信号比較回路 9 の動作例を表すタイムチャートである。入力端子 INa, INb には、隣り合う電圧・パルス幅変換回路の出力 (パルス幅画素信号) がそれぞれ入力される。各入力信号のパルスの終端 (立ち下がり) は、ランプ電圧の立ち下がりエッジで決められるため一定の時刻に揃っている。一方、各入力信号のパルスの始端 (立ち上がり) は、画素信号の大きさに比例して変化する。

40

【0033】

入力端子 INa の入力信号が入力端子 INb の入力信号よりも長い場合、入力端子 INa の入力信号の方が入力端子 INb の入力信号より先に立ち上がる。INa = 1, INb = 0 のときには、(数 1) より  $OUT_+ = 1$ ,  $OUT_- = 0$  である。また、INa = 1, INb = 1 のときには、(数 1) より  $OUT_+ = 0$ ,  $OUT_- = 0$  である。従って、比較パルス信号  $OUT_+$  に、INa - INb の差分パルスが出力される。

【0034】

一方、入力端子 INb の入力信号が入力端子 INa の入力信号よりも長い場合、入力端子 INb の入力信号の方が入力端子 INa の入力信号より先に立ち上がる。INa = 0, INb = 1 のときには、(数 1) より  $OUT_+ = 0$ ,  $OUT_- = 1$  である。また、INa = 1, INb = 1 のときには、(数 1) より  $OUT_+ = 0$ ,  $OUT_- = 0$  である。従って、比

50

較パルス信号  $OUT_{-}$  に、 $IN_b - IN_a$  の差分パルスが出力される。

【0035】

入力端子  $IN_b$  の入力信号と入力端子  $IN_a$  の入力信号の長さが同じであれば、比較パルス信号  $OUT_{+}$  ,  $OUT_{-}$  には、パルスは出力されない。

【0036】

このように、アナログ電圧信号である画素信号の電圧値を、パルス幅画素信号のパルス幅に写像することで、簡単な論理回路を用いて画素値の差分演算を行うことが可能となる。

【0037】

なお、この回路では、入力端子  $IN_b$  の入力信号と入力端子  $IN_a$  の入力信号の相関が大きいほど短いパルスが出力される。

10

【0038】

次に、図9における相関検知回路10の詳細について説明する。図14は相関検知回路10の構成を表す図である。相関検知回路10は、コンデンサ50、電流スイッチ回路51, 52、電流源53、リセット・スイッチ54、出力回路55、及び読出スイッチ56を備えている。

【0039】

コンデンサ50は、相関信号を発生するための電荷を蓄電する。電流スイッチ回路51は、入力端子  $R_{+}$  ,  $L_{+}$  から入力される入力信号の排他論理和の真理値に従って、導通/遮断制御がされ、導通状態においてコンデンサ50に蓄電された電荷を一定電流で放電させる。電流スイッチ回路52は、入力端子  $R_{-}$  ,  $L_{-}$  から入力される入力信号の排他論理和の真理値に従って、導通/遮断制御がされ、導通状態においてコンデンサ50に蓄電された電荷を一定電流で放電させる。電流源53は、電流スイッチ回路51, 52が導通状態となったときに、一定の放電電流を流すための回路である。リセット・スイッチ54は、リセット信号 ( $Reset$ ) が入力されたときに導通状態となり、電源からコンデンサ50に電荷を供給して、コンデンサ50の両端電圧を電源電圧  $V_D$  とする。

20

【0040】

出力回路55は、コンデンサ50の電圧に比例した電流を流す回路であり、コンデンサ50の電圧を電流に変換して出力するための回路である。出力回路55は、MOSトランジスタによって構成されている。ゲートにコンデンサ50の電圧が入力され、ドレイン電流として出力される。これにより、コンデンサ50の電圧は、漏洩電流が無視できるとすれば、出力中は一定である。従って、安定した相関信号を出力することを可能としている。読出スイッチ56は、出力回路55による電流出力のオン・オフを行うためのものである。

30

【0041】

相関検知回路10では、入力信号の相関程度をコンデンサ50の蓄積電荷量で表現する。リセット直後は、蓄積電荷量は最大である。入力信号の相関程度が低いほど、多くの電荷を放電させ、コンデンサ50の蓄積電荷量を減少させる。これにより、相関演算が実現される。放電電流は、電流スイッチ回路51, 52の何れかを介してグランド側に流れる。

40

【0042】

図15は相関検知回路10の動作例を表すタイムチャートである。まず、最初に、リセット信号 ( $Reset$ ) が0とされ ( $t_1$ )、コンデンサ50の電圧  $V_c$  が電源電圧  $V_D$  とされる。そして、リセット信号を1とした後 ( $t_2$ )、 $L_{+}$  ,  $L_{-}$  に左眼側のパルス信号比較回路9が出力する比較パルス信号  $OUT_{+}$  ,  $OUT_{-}$  が入力され、 $R_{+}$  ,  $R_{-}$  に右眼側のパルス信号比較回路9が出力する比較パルス信号  $OUT_{+}$  ,  $OUT_{-}$  が入力される。

【0043】

$R_{+}$  と  $L_{+}$  の何れか一方が1で他方が0のとき ( $t_3 \sim t_4$  ,  $t_5 \sim t_6$  ,  $t_{10} \sim t_{11}$  ,  $t_{12} \sim t_{13}$ ) は、電流スイッチ回路51が導通状態となる。従って、このとき

50

、コンデンサ 50 の電荷は放電され、コンデンサ 50 の電圧は減少する。

【0044】

R - と L - の何れか一方が 1 で他方が 0 のとき ( t 2 2 ~ t 2 3 , t 2 4 ~ t 2 5 , t 2 9 ~ t 3 0 , t 3 1 ~ t 3 2 ) は、電流スイッチ回路 5 2 が導通状態となる。従って、このとき、コンデンサ 50 の電荷は放電され、コンデンサ 50 の電圧は減少する。

【0045】

R + , L + がともに 0 またはともに 1、かつ、R - , L - がともに 0 またはともに 1 のとき ( t 1 ~ t 3 , t 4 ~ t 5 , t 6 ~ t 1 0 , t 1 1 ~ t 1 2 , t 1 3 ~ t 2 2 , t 2 3 ~ t 2 4 , t 2 5 ~ t 2 9 , t 3 0 ~ t 3 1 , t 3 2 ~ ) は、電流スイッチ回路 5 1 , 5 2 はともに遮断状態となる。従って、このときはコンデンサ 50 の電圧  $V_c$  は一定である。

10

【0046】

ランプ信号の立ち下がり後、コンデンサ 50 の電圧  $V_c$  が確定する。R + と L + の相関が小さい場合、または R - と L - の相関が小さい場合には、最終的なコンデンサ 50 の電圧  $V_c$  は低くなる。逆に、R + と L + の相関が大きい場合、または R - と L - の相関が大きい場合には、最終的なコンデンサ 50 の電圧  $V_c$  は高い状態に維持される。

【0047】

コンデンサ 50 の電圧  $V_c$  の確定後、読出信号 ( r e a d ) が 1 となり ( t 7 , t 1 4 , t 1 9 , t 2 6 , t 3 3 )、読出スイッチ 5 6 が導通状態となる。これにより、出力回路 5 5 は、コンデンサ 50 の電圧  $V_c$  に比例した大きさの電流を出力する。

20

【0048】

出力が終了した後、再びリセット信号が 0 とされ ( t 8 , t 1 5 , t 2 0 , t 2 7 )、同様の相関検知演算が繰り返される。

【0049】

以上のように構成された本実施例に係る視差センサについて、以下その全体の動作を説明する。

【0050】

図 1 6 は視差センサ 1 の動作の一例を表すタイムチャートである。図 1 6 では、説明の便宜上、ある 2 つの画素に着目して表示しているが、すべての画素において同様な動作が同時並行的に行われる。

30

【0051】

まず、撮像素子 2 a , 2 b から画素信号 a , b が出力される ( t 0 )。これにより、電圧・パルス幅変換回路アレイ 4 a , 4 b 内の各電圧・パルス幅変換回路 8 において、入力電圧が確定する。図 1 6 の例では、画素信号 a の方が画素信号 b よりも高い値となっている。

【0052】

次に、相関検知回路 1 0 に対してリセット信号 ( R e s e t ) のパルスが入力され ( t 1 ~ t 2 )、コンデンサ 50 の電圧  $V_c$  が  $V_d$  に設定される。

【0053】

次に、同期制御回路 1 3 がランプ信号 ( R a m p S i g . ) の出力を開始し、ランプ信号の電圧が徐々に増加する。これに伴って、各電圧・パルス幅変換回路 8 において論理閾値電圧  $V_{inv}$  は減少する。そして、図 1 6 の例では画素信号 a の電圧の方が画素信号 b の電圧よりも高いので、まず、左眼側の電圧・パルス幅変換回路 8 において、論理閾値電圧  $V_{inv}$  が画素信号 a の電圧よりも低くなる ( t 3 )。これにより、左眼側の電圧・パルス幅変換回路 8 の出力するパルス幅画素信号 ( A P W C O U T - a ) が 1 となる。このとき、右眼側の電圧・パルス幅変換回路 8 の出力するパルス幅画素信号 ( A P W C O U T - b ) は 0 である。従って、パルス信号比較回路 9 の出力 ( 比較パルス信号 ) D I F C O U T + が 1 となる。

40

【0054】

更に時間が経過してランプ信号が増加すると、今度は右眼側の電圧・パルス幅変換回路

50



8において、論理閾値電圧 $V_{inv}$ が画素信号bの電圧よりも低くなる( $t_4$ )。これにより、右眼側の電圧・パルス幅変換回路8の出力するパルス幅画素信号(A P W C O U T - b)が1となる。このとき、左眼側の電圧・パルス幅変換回路8の出力するパルス幅画素信号(A P W C O U T - a)は1である。従って、パルス信号比較回路9の出力(比較パルス信号)D I F C O U T +が0となる。このパルス信号比較回路9の出力(比較パルス信号)D I F C O U T +のパルス幅( $t_3 \sim t_4$ )が画素間の相関を表す。

【0055】

一方、このパルス信号比較回路9の出力(比較パルス信号)D I F C O U T +が1の間( $t_3 \sim t_4$ )、電流スイッチ回路51が導通状態となる。従って、この間はコンデンサ50の電荷はスイッチ回路51を介してグランドに放電される。そして、比較パルス信号D I F C O U T +が立ち下がった時点( $t_4$ )で、コンデンサ50の電圧 $V_c$ が確定する。その後、ランプ信号が立ち下がりに( $t_5$ )、ここですべての相関演算処理が終了する。

10

【0056】

次に、読出期間に移る。読出期間( $t_6$ )では、シーケンサ7のシフト・レジスタ12に対してクロックC L Kが供給される。そして、最左端のシフト・レジスタ12に対して、入力信号S R i nとして一定期間1が入力される。

【0057】

この入力信号S R i nのパルス幅 $T_s$ は、通常は、クロックC L Kに対して数倍の幅とされる。このパルス幅 $T_s$ は、検知できる対象物の大きさに影響を与えるので、状況に応じて変更できるようにする。一般に、 $T_s$ を大きくするほど、大きな対象物の認識が容易となり、細かいノイズが減少する。一方、 $T_s$ を小さくすれば、小さな対象物が認識しやすくなるが、ノイズ量は多くなる。従って、 $T_s$ を設定することで、高周波フィルタの周波数特性を設定できる。

20

【0058】

入力信号S R i nのパルスは、クロックC L Kに従って、左側のシフト・レジスタ12から右側のシフト・レジスタ12に向かって移動していく。シフト・レジスタ12の出力は、読出信号(Read)として、各列の相関検知回路10に入力される。従って、相関検知回路マトリクス6の各列の相関検知回路10内のコンデンサ50に保持された相関信号は、左から右に向かって順次読み出される。

30

【0059】

図17は特許文献1に記載された視差センサのパルス信号比較回路の他の構成を表す図である。なお、その他の構成については図12の構成と同様であり、説明は省略する。

【0060】

このパルス信号比較回路9'は、図12のパルス信号比較回路9に対して、インバータ41, 42の代わりにANDゲート47, 48が用いられている点で相違している。ANDゲート47, 48は、一方の側の入力端子には入力信号I N a, I N bが入力され、他方の側の入力端子には、選択信号C n a, C n bが入力される。C n aを0とすると、O U T - には入力信号I N bがそのまま出力される。C n bを0とすると、O U T + には入力信号I N aがそのまま出力される。

40

【0061】

これにより、パルス信号比較回路アレイ5 a, 5 bにおいて、隣り合う信号の比較を行わず、電圧・パルス幅変換回路アレイ4 a, 4 bの出力をそのまま相関検知回路マトリクス6に入力させることが可能となる。従って、この場合、相関検知回路マトリクス6では、左眼画像と右眼画像の画素をそのまま相関演算処理することができる。

【0062】

従って、用途に応じて、選択信号C n a, C n bを操作して、画素信号の直接相関処理を行うか、画像の変化信号の相関処理を行うかを切り替えることが可能となる。

【0063】

【特許文献1】特開2005-265457号公報

50

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0064】

上述した従来技術により得られる視差相関データは、図18に例を示すように、対象物aが存在する所に特徴的なパターンcができるので、その特徴パターンcの座標を検出することで、対象物の横方向の位置と奥行（対象物までの距離）を特定することができる。しかし、対象物aの特徴パターンが存在する位置の画像の両斜め方向に、帯状のパターンb1, b2が必ず現れるので、対象物aの特徴パターンcを検出するためには、パターンマッチング等の処理が必要となる。

そこで、本発明は、帯状のパターン等を削除して、対象物の特徴パターンのみを得ることのできる視差センサおよび視差画像の生成方法を提供することを目的とする。

10

## 【課題を解決するための手段】

## 【0065】

前記課題を解決するため、本発明の視差センサは、対象物を撮像し、アナログ電圧信号である画素信号として第1画像を出力する第1の撮像素子と、

前記第1の撮像素子とは異なる角度から前記対象物を撮像し、アナログ電圧信号である画素信号として第2画像を出力する第2の撮像素子と、

前記第1及び第2の撮像素子から出力される画素信号の各々を、各画素信号の電圧値に比例する長さのパルス幅を有するパルス幅画素信号に変換する複数の電圧・パルス幅変換回路と、

20

すべての前記各電圧・パルス幅変換回路が同時並列的に各画素信号をパルス幅画素信号に変換するようにタイミング制御を行う同期制御回路と、

隣接する前記電圧・パルス幅変換回路が出力する2つのパルス幅画素信号を比較し、2つのパルス幅画素信号の+方向の差と-方向の差をそれぞれ比較パルス信号として出力する複数のパルス信号比較回路と、

前記第1画像に対応する前記パルス信号比較回路の出力である比較パルス信号と前記第2画像に対応する前記パルス信号比較回路の出力である比較パルス信号のそれぞれの組み合わせからなる2つの比較パルス信号に対して、両者の排他論理和をとった差分パルスの全パルス長を、その全パルス長に比例する電圧値または電流値の信号に変換し、この信号を相関信号として出力する複数の相関検知回路と、

30

を備えている視差センサにおいて、

前記パルス信号比較回路の出力である比較パルス信号のパルス幅が一定の長さ以下であることを検知するゼロ信号検知回路と、そのゼロ信号検知回路の出力信号に従って前記比較パルス信号または予め決められた信号を選択し前記相関検知回路に出力する選択回路とからなるゼロ相関除去信号発生回路を備えたことを特徴とする。

## 【0066】

また、本発明の視差画像の生成方法は、第1の撮像素子で対象物を撮像し、アナログ電圧信号である画素信号として第1画像を出力すると同時に、第2の撮像素子で前記第1の撮像素子とは異なる角度から前記対象物を撮像し、アナログ電圧信号である画素信号として第2画像を出力する第1のステップと、

40

前記第1及び第2の撮像素子が出力する各画素信号を、複数の電圧・パルス幅変換回路により、同時並列的に、その画素信号の電圧値に比例する長さのパルス幅を有するパルス幅画素信号に変換する第2のステップと、

隣接する前記電圧・パルス幅変換回路が出力する2つのパルス幅画素信号を比較し、2つのパルス幅画素信号の+方向の差と-方向の差をそれぞれ比較パルス信号として出力する第3のステップと、

前記比較パルス信号のパルス幅が一定の長さ以下であることを検知したときに、前記比較パルス信号または予め決められた信号を選択して出力する第4のステップと、

複数の相関検知回路により、前記第1画像に対応する比較パルス信号、但し前記第4のステップにおいて予め決められた信号が選択されたときはその予め決められた信号と、前

50

記第 2 画像に対応する比較パルス信号（但し前記第 4 のステップにおいて予め決められた信号が選択されたときはその予め決められた信号）のそれぞれの組み合わせからなる 2 つのパルス幅画素信号に対して、両者の排他論理和をとった差分パルスの全パルス長を、その全パルス長に比例する電圧値または電流値の信号に変換し、この信号を相関信号として出力する第 5 のステップと、  
を有することを特徴とする。

【 0 0 6 7 】

本発明においては、相関回路に与えられるパルス信号のうちそのパルス幅がゼロ信号と見なすべき一定の長さより短い場合、すなわち隣接するパルス信号がほぼ等しいときに、そのパルス信号を変調することで、対象物以外の相関値を強制的に小さくする。その結果、対象物の相関パターンのみを残す。この機能を実現するために、一定の長さより短いパルス幅を検知する回路と、その出力信号によってパルス信号を強制的な予め与えられたパルス信号とする回路を備える。

本発明の回路構成は、回路面積と消費電力を共に従来より小さくできるので、二つのイメージセンサ機能とそれらの相関処理回路を一つの L S I チップ内に集積することが可能になる。

従って、本発明の視差センサにより高速な測距が可能になり、レーダーに比べて大幅な装置コストと消費電力の低減が可能になる。この視差センサはパッシブ測距方式なのでアクティブ方式における信号干渉の問題が回避できるメリットがある。

また、前記ゼロ信号検知回路に、比較パルス信号を M O S F E T を介して入力し、その M O S F E T のゲートに与える電圧値によって検知するパルス幅を調整する機能を備えることにより、複数の A P W 変換回路やパルス信号比較回路を構成する多数のトランジスタ等の特性のばらつきにより生じるひげ状のパルスの除去を容易にすることができる。

【 発明の効果 】

【 0 0 6 8 】

本発明によれば、相関回路に与えられるパルス信号のうちそのパルス幅が一定の長さより短い場合に、そのパルス信号を変調して、対象物の相関パターンのみを残すことによって、相関データは対象物の部分のみ特徴的な値となるので、簡単な閾値処理だけでその位置を検出することが可能となり、後処理の演算コストを大幅に低減できる。その結果、装置のコストを低減できると共に処理時間も短縮できる。

【 発明を実施するための最良の形態 】

【 0 0 6 9 】

以下、本発明の実施の形態を、図 1 ~ 図 6 を用いて説明する。

図 1 は本発明の実施の形態に係る視差センサの構成を示す図、図 2 は本実施の形態に係るゼロ相関除去信号発生回路の構成を示す回路図、図 3 は本実施の形態に係るゼロ信号検知回路の構成を示す回路図、図 4 は本実施の形態に係る R - S フリップフロップ回路の構成を示す回路図、図 5 は本実施の形態に係るゼロ相関除去機能を導入した相関検知回路の動作例を示すタイムチャート、図 6 は本実施の形態に係る相関データの例を示すチャートである。

図 1 に示すように、本実施の形態に係る視差センサ回路は、図 8 に示した特許文献 1 において提案された従来の視差センサ回路に、ゼロ相関除去信号発生回路アレイ 1 5 a , 1 5 b を設けたものである。その他の構成は従来の構成と同様であるので、同じ符号を付して説明を省略する。

【 0 0 7 0 】

本発明の特徴であるゼロ相関除去信号発生回路アレイ 1 5 a , 1 5 b をそれぞれ構成する ( n - 1 ) 個 ( 但し、n は、左眼、右眼の撮像素子 2 a , 2 b を構成する画素の水平方向の行数 ) のゼロ相関除去信号発生回路 1 6 の構成例を図 2 に示す。ゼロ相関除去信号発生回路 1 6 は、ゼロ信号検知回路 1 6 1 と 2 個の選択回路 1 6 2 , 1 6 3 より構成されている。ゼロ信号検知回路 1 6 1 は、パルス信号比較回路 9 の出力である比較パルス信号 O U T + , O U T - のパルス幅が一定の長さ以下であることを検知するものであり、選択回

路162, 163は、ゼロ信号検知回路161の出力信号( Set Out )に従って比較パルス信号または予め決められた信号( H / L )を選択し、MOUT+, MOUT-として次の相関検知回路10に出力するものである。すなわち、選択回路162, 163は、Sel端子に与えられるSet Out出力が0のときはX端子に与えられる値、すなわち予め決められた値であるH / Lを出力し、Set Out出力が1のときはY端子に与えられる値、すなわちパルス信号比較回路9の出力であるOUT+, OUT-を出力する。

【0071】

ゼロ信号検知回路161は、図3に示すように、NOR回路1611と、NOT回路1612とMOSFET1613と、R-Sフリップフロップ1614と、NAND回路1615から構成されている。なお、MOSFET1613は、そのゲートに与える電圧値によって検知するパルス幅を調整する機能をもたせたものであり、複数のAPW変調回路やパルス信号比較回路を構成する多数のトランジスタ等の特性のばらつきにより生じるひげ状のパルスの除去を容易にすることができる。

10

R-Sフリップフロップ1614の構成例を図4に示す。

このR-Sフリップフロップ1614の入出力の真理値表を表1に示す。

【0072】

【表1】

R s t	S e t	Q	/ Q
0	0	前回の値を保持	前回の値を保持
0	1	1	0
1	0	0	1
1	1	1	0

20

【0073】

以上の構成のゼロ相関除去信号発生回路16の動作を、図5を用いて説明する。

まず、最初に、リセット信号Reset ( R s tはその反転信号)が0とされ(t1)、相関検知回路10(図14参照)のコンデンサ50の電圧Vcが電源電圧V<sub>d</sub>とされる。そして、リセット信号を1とした後(t2)、左眼側のゼロ相関除去信号検知回路161のA, Bに左眼側のパルス信号比較回路9が出力する比較パルス信号OUT+ ( LOU T+ ), OUT- ( LOU T- )が入力され、右眼側のゼロ相関除去信号検知回路161のA, Bに右眼側のパルス信号比較回路9が出力する比較パルス信号OUT+ ( ROU T+ ), OUT- ( ROU T- )が入力される。

30

【0074】

右眼側の比較パルス信号について説明すると、ROU T+とROU T-の何れか一方が1で他方が0のとき(t3~t5, t12~t13, t21~t22, t34~t36, t44~t45)は、R / Qはt3~t10で0、t10~t12で1、t12~t19で0、t19~t21で1、t21~t26で0、t26~t34で1、t34~t40で0、t40~t44で1、t44~で0である。選択回路162, 163の出力は、Set Out出力が1のとき(R / Q出力が0またはAct値が0のとき)はROU T+, ROU T-がそのまま出力されるが、Set Out出力が0(R / Q出力が1かつAct値が1のとき)は予め決められたRH / Lが出力される。

40

【0075】

同様に、左眼側の比較パルス信号について説明すると、LOU T+とLOU T-の何れか一方が1で他方が0のとき(t4~t6, t14~t15, t21~t22, t33~t35, t42~t43)は、L / Qは~t4で1、t4~t10で0、t10~t14で1、t14~t19で0、t19~t21で1、t21~t26で0、t26~t33で1、t33~t40で0、t40~t42で1、t42~で0である。選択回路162, 163の出力は、Set Out出力が1のとき(L / Q出力が0またはAct値が0のとき) LROU T+, LOU T-がそのまま出力されるが、Set Out出力が0(L /

50

Q出力が1かつAct値が1のとき)は予め決められたLH/Lが出力される。

【0076】

以上のRMOUT+, RMOUT-, LMOUT+, LMOUT-の出力が図14の相関検知回路10のR+, R-, L+, L-の端子に入力される。

まず、最初に、リセット信号(Reset)が0とされ(t1)、コンデンサ50の電圧Vcが電源電圧Vdとされる。そして、リセット信号を1とした後(t2)、L+, L-に左眼側のゼロ相関除去信号検知回路161が出力する比較パルス信号LMOUT+, LMOUT-が入力され、R+, R-に右眼側のゼロ相関除去信号発生回路161が出力する比較パルス信号RMOUT+, RMOUT-が入力される。

【0077】

R+とL+の何れか一方が1で他方が0のとき(t3~t4, t5~t6, t12~t13, t14~t15)は、電流スイッチ回路51が導通状態となる。従って、このとき、コンデンサ50の電荷は放電され、コンデンサ50の電圧は減少する。

【0078】

R-とL-の何れか一方が1で他方が0のとき(t28~t29, t29~t31, t33~t34, t35~t36, t42~t43, t44~t45)は、電流スイッチ回路52が導通状態となる。従って、このとき、コンデンサ50の電荷は放電され、コンデンサ50の電圧は減少する。

【0079】

R+, L+がともに0またはともに1、かつ、R-, L-がともに0またはともに1のとき(t1~t3, t4~t5, t21~t22, t34~t35, t36~t40, t43~t44, t45~)は、電流スイッチ回路51, 52はともに遮断状態となる。従って、このときはコンデンサ50の電圧Vcは一定である。

【0080】

ランプ信号の立ち上がり後、Read信号が立ち上がる迄に、コンデンサ50の電圧Vcが確定する。R+とL+の相関が小さい場合、またはR-とL-の相関が小さい場合には、最終的なコンデンサ50の電圧Vcは低くなる。逆に、R+とL+の相関が大きい場合、またはR-とL-の相関が大きい場合には、最終的なコンデンサ50の電圧Vcは高い状態に維持される。また、ゼロ相関除去信号発生回路によって、パルス信号がH/L信号に代えられて与えられた相関回路のVcは強制的に低い値となる。

【0081】

コンデンサ50の電圧Vcの確定後、読出信号(read)が1となり(t9, t18, t25, t30, t39, t47)、読出スイッチ56が導通状態となる。これにより、出力回路55は、コンデンサ50の電圧Vcに比例した大きさの電流を出力する。

【0082】

出力が終了した後、再びリセット信号が0とされ(t10, t19, t26, t31, t40)、同様の相関検知演算が繰り返される。

【0083】

以上のように、パルス信号比較回路9の+と-の出力である比較パルス信号をゼロ信号検知回路161で検知したときは予め決められた信号を出力し、それ以外のときはその比較パルス信号を出力するようにしたので、相関データは対象物の部分のみ特徴的な値となる。したがって、簡単な閾値処理だけでその位置を検出することが可能となり、後処理の演算コストを大幅に低減できる。その結果、装置のコストを低減できると共に処理時間も短縮できる。

【0084】

上述した本実施の形態の視差センサにより得られる視差相関データは、図6に例を示すように、対象物aが存在する所に特徴的なパターンcができるので、その特徴パターンcの座標を検出することで、対象物の横方向の位置と奥行(対象物までの距離)を特定することができる。

【産業上の利用可能性】

10

20

30

40

50

## 【 0 0 8 5 】

本発明は、ステレオ視に基づいて距離情報を容易に抽出することができる視差センサおよび視差画像の生成方法として、3次元動き検知装置や監視装置等の分野に利用することができる。

## 【 図面の簡単な説明 】

## 【 0 0 8 6 】

【 図 1 】 本発明の実施の形態に係る視差センサの構成を表す図である。

【 図 2 】 本発明の実施の形態に係るゼロ相関除去信号発生回路の構成を示す回路図である。

【 図 3 】 本発明の実施の形態に係るゼロ信号検知回路の構成を示す回路図である。

10

【 図 4 】 本発明の実施の形態に係る R - S フリップフロップ回路の構成を示す回路図である。

【 図 5 】 本発明の実施の形態に係るゼロ相関除去機能を導入した相関検知回路の動作例を示すタイムチャートである。

【 図 6 】 本発明の実施の形態に係る相関データの例を示すチャートである。

【 図 7 】 二眼視差による距離検出の原理を示す図である。

【 図 8 】 特許文献 1 において提案された視差センサの構成を示す図である。

【 図 9 】 図 8 の視差センサについてより詳細な回路構成を示した図である。

【 図 1 0 】 電圧・パルス幅変換回路の構成を表す図である。

【 図 1 1 】 電圧・パルス幅変換回路の動作例を示すタイムチャートである。

20

【 図 1 2 】 パルス信号比較回路の構成を表す図である。

【 図 1 3 】 パルス信号比較回路の動作例を表すタイムチャートである。

【 図 1 4 】 相関検知回路の構成を表す図である。

【 図 1 5 】 相関検知回路の動作例を表すタイムチャートである。

【 図 1 6 】 視差センサの動作例を表すタイムチャートである。

【 図 1 7 】 特許文献 1 記載の視差センサのパルス信号比較回路の他の構成を表す図である。

【 図 1 8 】 特許文献 1 記載の視差センサによる相関データの例を示すチャートである。

## 【 符号の説明 】

## 【 0 0 8 7 】

30

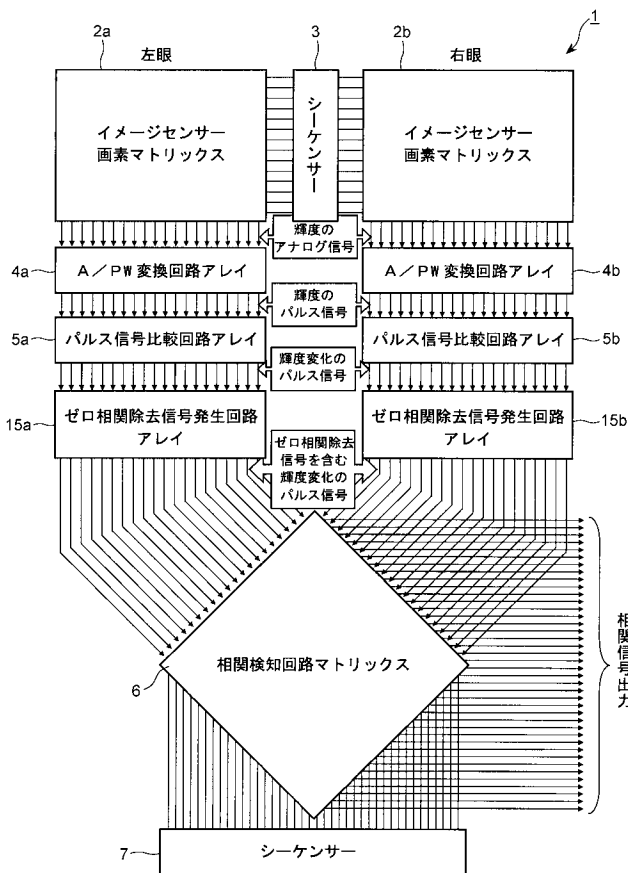
- 1 視差センサ
- 2 a , 2 b 撮像素子
- 3 シーケンサ
- 4 a , 4 b 電圧・パルス幅変換回路アレイ
- 5 a , 5 b パルス信号比較回路アレイ
- 6 相関検知回路マトリックス
- 7 シーケンサ
- 8 電圧・パルス幅変換回路
- 9 , 9 ' パルス信号比較回路 ( D I F C )
- 1 0 相関検知回路 ( M A T C )
- 1 1 電流電圧変換回路 ( I V C )
- 1 2 シフト・レジスタ
- 1 3 同期制御回路
- 1 5 a , 1 5 b ゼロ相関除去信号発生回路アレイ
- 1 6 ゼロ相関除去信号発生回路
- 1 6 1 ゼロ信号検知回路
- 1 6 2 , 1 6 3 選択回路
- 1 6 1 1 N O R 回路
- 1 6 1 2 N O T 回路
- 1 6 1 3 M O S F E T

40

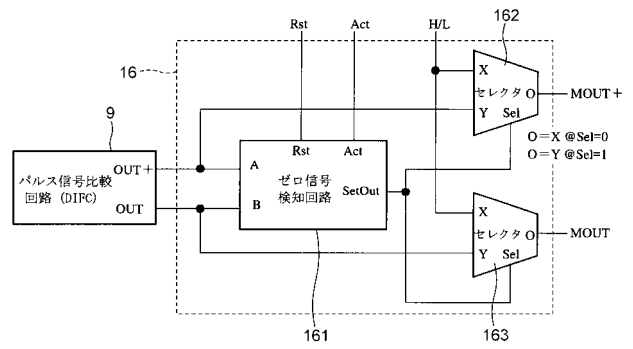
50

- 1 6 1 4 R - S フリップフロップ
- 1 6 1 5 NAND 回路
- 2 1 チャンネル・サイズ可変調 MOS トランジスタ ( V S - M O S )
- 2 2 ソース
- 2 2 a , 2 3 a , 2 4 a , 2 5 a , 2 6 a コンタクト・ホール
- 2 3 ドレイン
- 2 4 メイン・ゲート
- 2 5 , 2 6 制御ゲート
- 2 5 b , 2 6 b 隙間
- 3 1 V S - p M O S
- 3 2 V S - n M O S
- 4 1 , 4 2 , 4 5 , 4 6 インバータ
- 4 3 , 4 4 , 4 7 , 4 8 AND ゲート
- 5 0 コンデンサ
- 5 1 , 5 2 電流スイッチ回路
- 5 3 電流源
- 5 4 リセット・スイッチ
- 5 5 出力回路
- 5 6 読出スイッチ

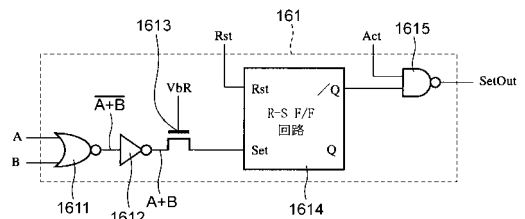
【 図 1 】



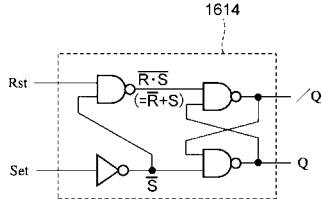
【 図 2 】



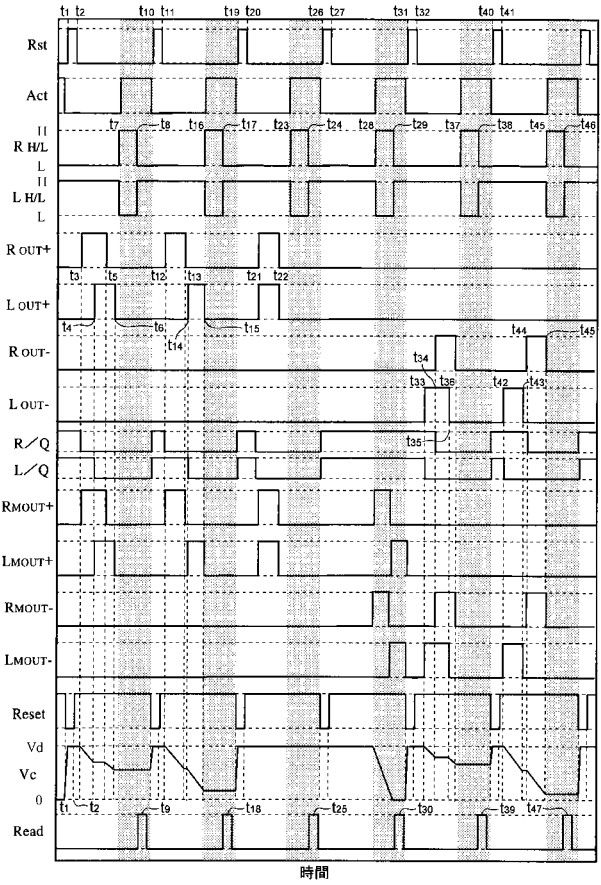
【 図 3 】



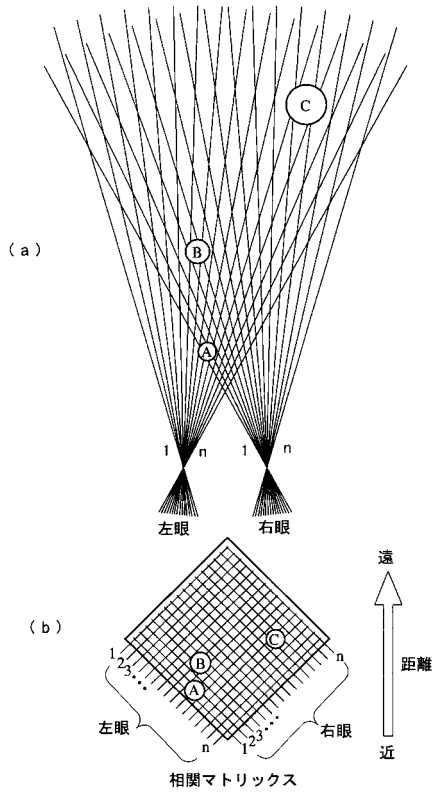
【 図 4 】



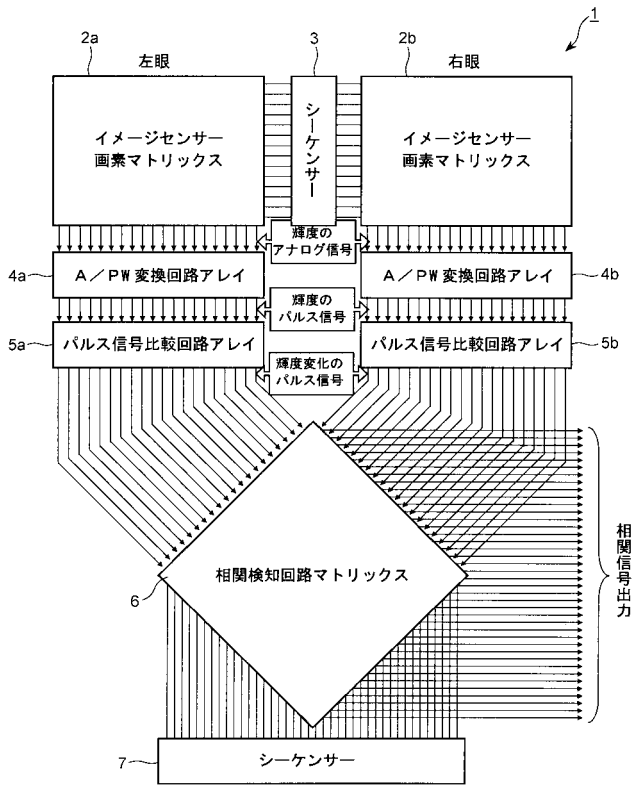
【 図 5 】



【 図 7 】

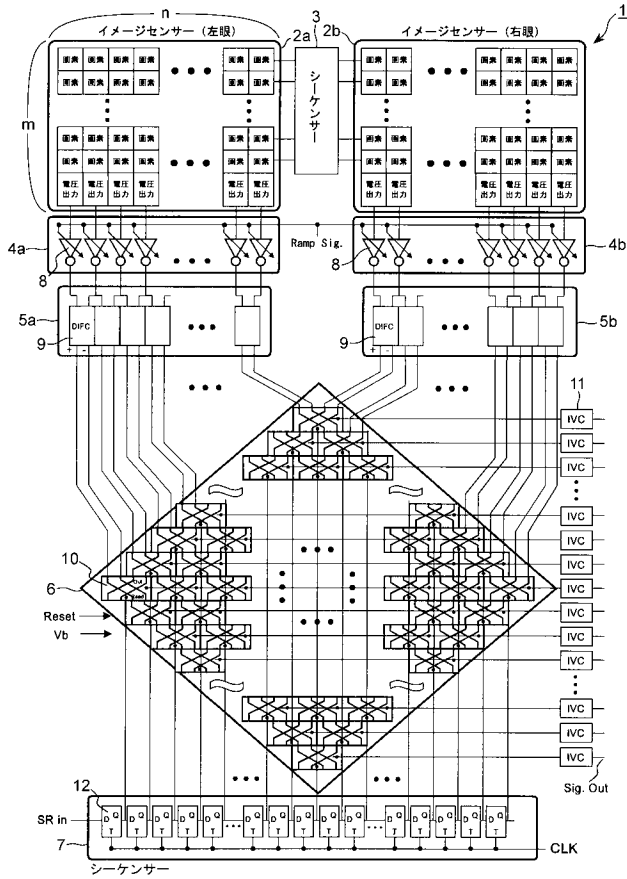


【 図 8 】

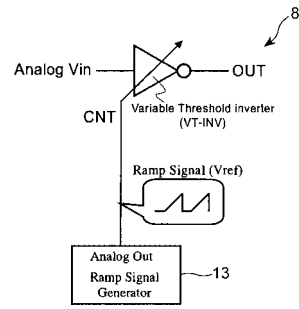




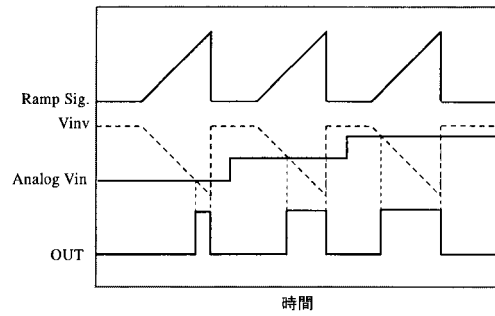
【図 9】



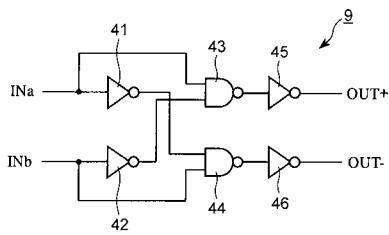
【図 10】



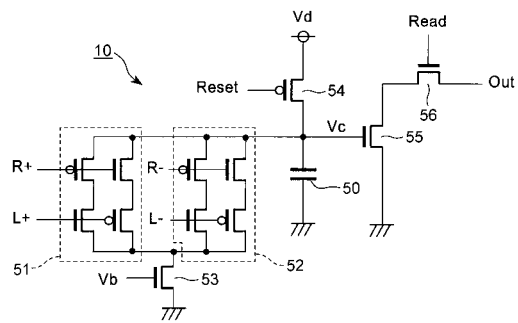
【図 11】



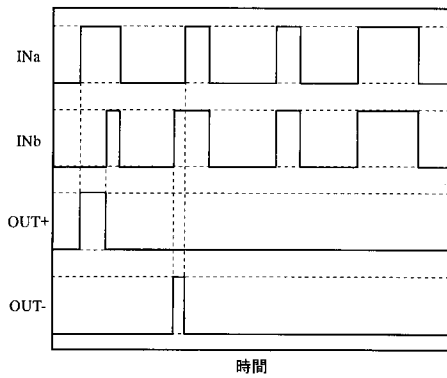
【図 12】



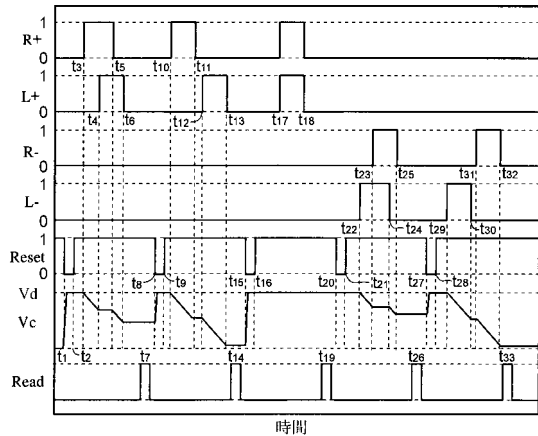
【図 14】



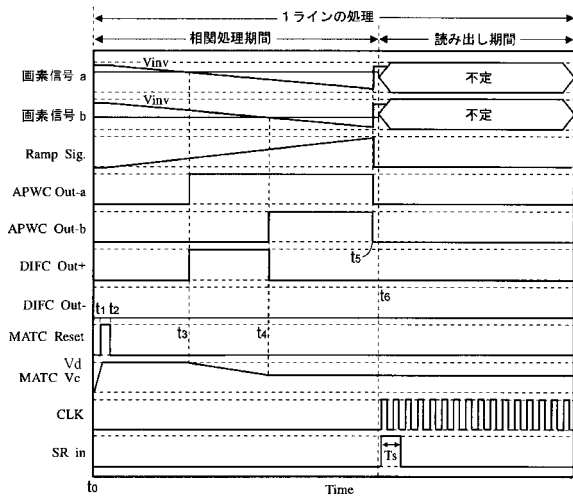
【図 13】



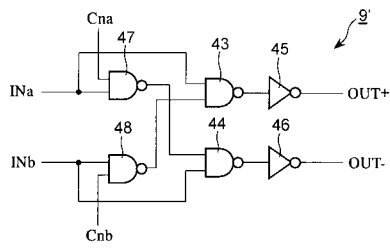
【図 15】



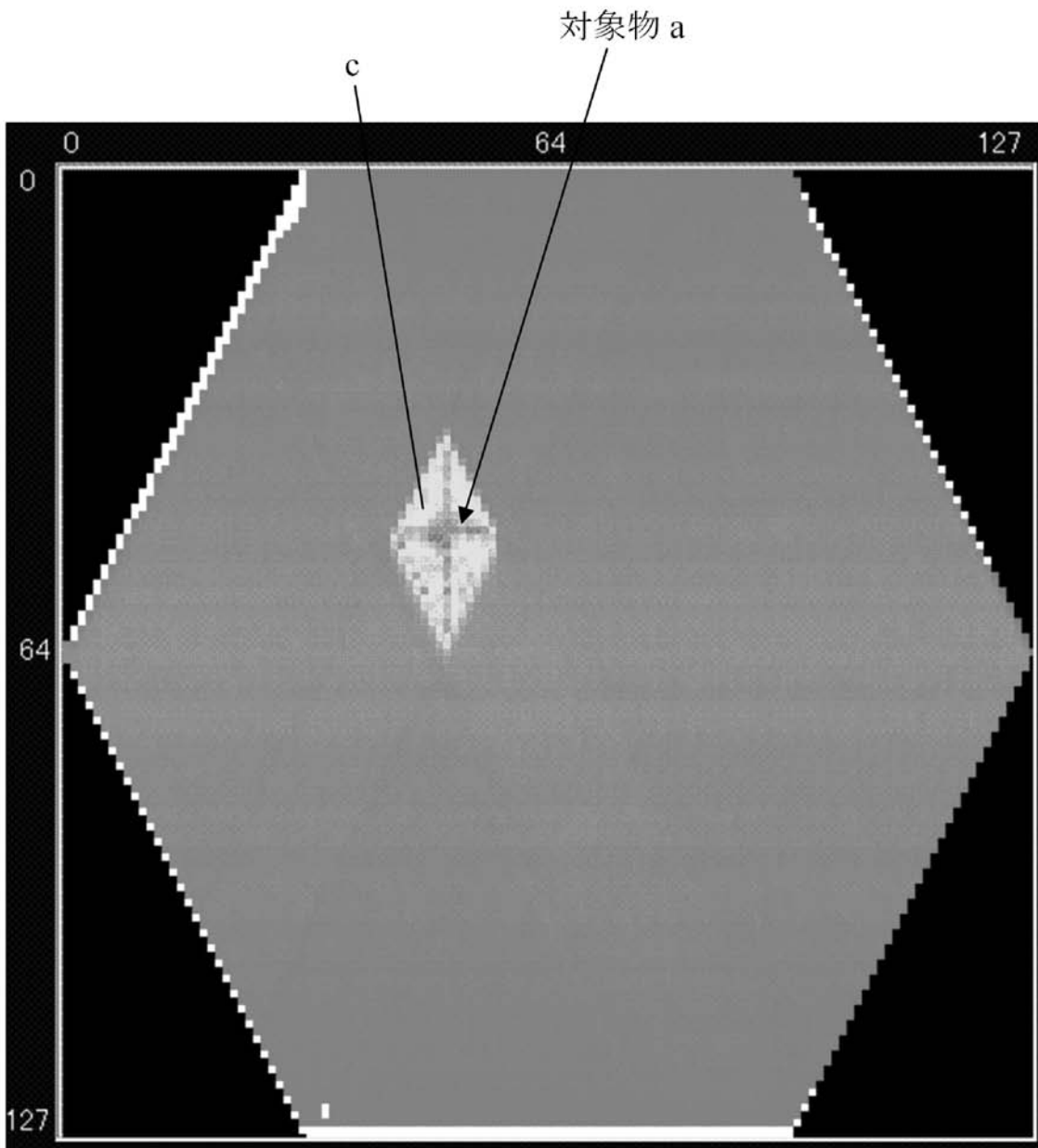
【 図 1 6 】



【 図 1 7 】



【 図 6 】



【 図 1 8 】

