

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-335532

(P2007-335532A)

(43) 公開日 平成19年12月27日(2007.12.27)

(51) Int. Cl.	F I	テーマコード (参考)
HO 1 L 29/06 (2006.01)	HO 1 L 29/06 6 O 1 N	5 F O 4 8
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 B	5 F O 9 2
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 B	5 F 1 4 O
HO 1 L 27/088 (2006.01)	HO 1 L 43/08 Z	
HO 1 L 43/08 (2006.01)	HO 1 L 29/82 Z	

審査請求 未請求 請求項の数 9 O L (全 8 頁) 最終頁に続く

(21) 出願番号 特願2006-163856 (P2006-163856)
 (22) 出願日 平成18年6月13日 (2006.6.13)

(71) 出願人 504173471
 国立大学法人 北海道大学
 北海道札幌市北区北8条西5丁目8番地
 (74) 代理人 100105050
 弁理士 鷺田 公一
 (72) 発明者 陽 完治
 北海道札幌市北区北13条西8丁目 国立
 大学法人 北海道大学 量子集積エレクト
 ロニクス研究センター内
 Fターム(参考) 5F048 AB01 AB04 AC01 AC03 BA01
 BA02 BA14 BB09 BB12 BD09
 BF16 BG11
 5F092 AC06 AC21

最終頁に続く

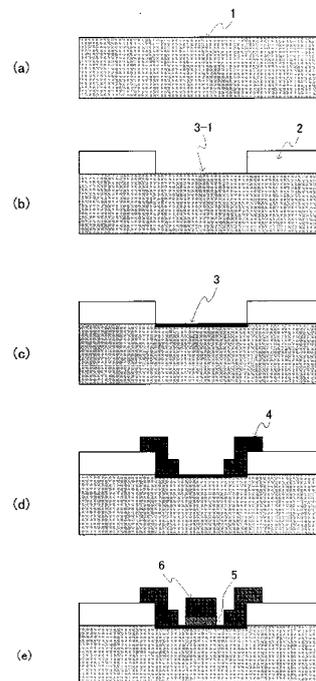
(54) 【発明の名称】 グラフェン集積回路

(57) 【要約】

【課題】 グラフェンを含む非線形素子を集積化する技術を提供し、半導体の集積度を向上させる。

【解決手段】 シリコンカーバイド基板のシリコン面に形成されたグラフェンを含む非線形素子を有するグラフェン集積回路、及びその製造方法。当該製造方法は、絶縁膜で被覆されたシリコン面を有するシリコンカーバイド基板を準備する工程、複数の所望の部位の前記絶縁膜を除去してシリコン面を露出させる工程、前記シリコンカーバイド基板を加熱することによって前記露出部位にグラフェンを形成する工程、及び前記グラフェンにオーミック電極を形成する工程を含むか、或いはシリコン面を有するシリコンカーバイド基板を加熱することによって当該シリコン面にグラフェンを形成する工程、前記グラフェンをアイソレーションする工程、前記アイソレーションにより形成された溝に絶縁膜を形成する工程、及び前記グラフェンにオーミック電極を形成する工程を含む。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

シリコンカーバイド基板のシリコン面に形成されたグラフェンを含む非線形素子を有するグラフェン集積回路。

【請求項 2】

前記シリコンカーバイドのポリタイプは、4Hまたは6Hである、請求項1に記載のグラフェン集積回路。

【請求項 3】

前記シリコン面は、4Hシリコンカーバイド(0001)のシリコン面、または6Hシリコンカーバイド(0001)のシリコン面である、請求項1に記載のグラフェン集積回路。

10

【請求項 4】

前記シリコンカーバイド基板のシリコン面は微傾斜面である、請求項1に記載のグラフェン集積回路。

【請求項 5】

複数の前記非線形素子を有する、請求項1に記載のグラフェン集積回路。

【請求項 6】

チップに集積された、請求項1に記載のグラフェン集積回路。

【請求項 7】

シリコンカーバイド基板のシリコン面に形成されたグラフェンを含む非線形素子を有するグラフェン集積回路の製造方法であって、

20

絶縁膜で被覆されたシリコン面を有するシリコンカーバイド基板を準備するステップ、
複数の所望の部位の前記絶縁膜を除去して、シリコン面を露出させるステップ、

前記シリコンカーバイド基板を加熱することによって、前記露出部にグラフェンを形成するステップ、および

前記グラフェンにオーミック電極を形成するステップを含む製造方法。

【請求項 8】

シリコンカーバイド基板のシリコン面に形成されたグラフェンを含む非線形素子を有するグラフェン集積回路の製造方法であって、

シリコン面を有するシリコンカーバイド基板を加熱することによって、当該シリコン面にグラフェンを形成するステップ、

30

前記グラフェンをドライエッチングによりアイソレーションするステップ、

前記アイソレーションにより形成された溝に絶縁膜を形成するステップ、および

前記グラフェンにオーミック電極を形成するステップを含む製造方法。

【請求項 9】

シリコンカーバイド基板のシリコン面に形成されたグラフェンを含む非線形素子を有するグラフェン集積回路、および

前記非線形素子のグラフェンに配置された複数の強磁性電極を含む、

ラテラル型の巨大磁気抵抗素子。

【発明の詳細な説明】

40

【技術分野】

【0001】

本発明は、グラフェンを含む非線形素子を有するグラフェン集積回路に関する。

【背景技術】

【0002】

CMOS集積回路は、エレクトロニクスの基盤技術であるが、その半導体の集積度の向上を、ムーアの法則に示されるように維持することが困難になりつつある。具体的には、増大を続ける消費電力に伴う発熱が抑えられない状態にまで達していることがある。さらに、微細化に伴うショートチャンネル効果などの問題を抑えることと、寄生抵抗を低減することが相容れないため、微細化が行き詰まっていることがある。そのため、新しい材料

50

を含めて様々な方法でこれを解決する努力が続けられている。それにより、カーボンナノチューブトランジスタが開発されたが、カーボンナノチューブトランジスタを集積化することは、本質的に困難である。

【0003】

一方、カーボンナノチューブトランジスタをある意味で、たとえばコンタクト抵抗などの点で凌駕するデバイスポテンシャルを有するグラフェントランジスタが考えられている。従って、グラフェントランジスタを任意の部位に集積化できる技術があれば、半導体の集積度の向上が期待できる。

【0004】

グラファイト(グラフェン超薄膜)を形成する技術としては、6H-シリコンカーバイドの(0001)シリコン面を熱処理することによって、シリコンを脱離させて超薄膜のエピタキシャルグラファイトを形成させることが報告されている(非特許文献1参照)。

【0005】

一方、微傾斜面を有するシリコンカーバイドを特定の方法でエッチング処理すると、クリアなステップ/テラス構造となることが報告されている(非特許文献2参照)。

【非特許文献1】J. Phys. Chem. B 2004, 108, 19912-19916

【非特許文献2】Physical Review Letters. Volume 91, Number 22, 226107

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の目的は、グラフェンを含む非線形素子を集積化する技術を提供することである。

【課題を解決するための手段】

【0007】

本発明は、シリコンカーバイド基板の表面の所望の部位に、グラフェンを形成することができる手段を新たに見いだすことにより完成された。

【0008】

本発明の第一は以下に示すグラフェン集積回路に関する。

[1]シリコンカーバイド基板のシリコン面に形成されたグラフェンを含む非線形素子を有するグラフェン集積回路。

[2]前記シリコンカーバイドのポリタイプは、4Hまたは6Hである、[1]に記載のグラフェン集積回路。

[3]前記シリコン面は、4Hシリコンカーバイド(0001)のシリコン面、または6Hシリコンカーバイド(0001)のシリコン面である、[1]に記載のグラフェン集積回路。

[4]前記シリコンカーバイド基板のシリコン面は微傾斜面である、[1]に記載のグラフェン集積回路。

[5]複数の前記非線形素子を有する、[1]に記載のグラフェン集積回路。

[6]チップに集積された、[1]に記載のグラフェン集積回路。

【0009】

本発明の第二は以下に示すグラフェン集積回路の製造方法に関する。

[7]シリコンカーバイド基板のシリコン面に形成されたグラフェンを含む非線形素子を有するグラフェン集積回路の製造方法であって、

絶縁膜で被覆されたシリコン面を有するシリコンカーバイド基板を準備するステップ；複数の所望の部位の前記絶縁膜を除去して、シリコン面を露出させるステップ；前記シリコンカーバイド基板を加熱することによって、前記露出部にグラフェンを形成するステップ；および前記グラフェンにオーミック電極を形成するステップを含む製造方法。

[8]シリコンカーバイド基板のシリコン面に形成されたグラフェンを含む非線形素子を有するグラフェン集積回路の製造方法であって、

シリコン面を有するシリコンカーバイド基板を加熱することによって、当該シリコン面

10

20

30

40

50

にグラフェンを形成するステップ；前記グラフェンをドライエッチングによりアイソレーションするステップ；前記アイソレーションにより形成された溝に絶縁膜を形成するステップ；および前記グラフェンにオーミック電極を形成するステップを含む製造方法。

【発明の効果】

【0010】

本発明により、グラフェン非線形素子が集積化された回路が提供されるので、さらなるデバイスの集積度の向上が達せられる。

【発明を実施するための最良の形態】

【0011】

1. 本発明のグラフェン集積回路

本発明のグラフェン集積回路は、グラフェンを含む複数の非線形素子、およびこれらの非線形素子を接続する配線を有する。さらに抵抗やキャパシタなどの他の回路素子を有していてもよい。

【0012】

本発明の集積回路が有するグラフェンを含む非線形素子は、グラフェンをチャネル（伝導チャネル）とする素子であればよく、二端子素子であっても、三端子素子であっても、それ以上の多端子素子であってもかまわない。

【0013】

非線形素子に含まれるグラフェンは、単原子層のカーボン結晶構造であってもよく、複数の原子層のカーボン結晶構造であってもよい。複数の原子層とは、例えば一桁数の原子層である。複数原子層のカーボン結晶構造は、一般にグラフェン多層膜（multi-layer graphene）またはグラフェン積層膜（stacked graphene）と称されることもある。

【0014】

非線形素子に含まれるグラフェンは、シリコンカーバイド基板の表面に形成されている。シリコンカーバイドのポリタイプは、4H-シリコンカーバイドまたは6H-シリコンカーバイドが好ましく、6H-シリコンカーバイドがより好ましい。平坦なグラフェンが形成されうるからである。さらにグラフェンが形成されたシリコンカーバイドの表面は、カーボン面でもよいがシリコン面の方がよいと考えられ、4H-シリコンカーバイドの（0001）シリコン面、または6H-シリコンカーバイドの（0001）シリコン面であることが好ましく、6H-シリコンカーバイドの（0001）シリコン面であることがより好ましい。熱力学的に安定したグラフェンが形成されうるからである。

【0015】

非線形素子に含まれるグラフェンは、高温アニールにより表面処理されたシリコンカーバイド基板を、真空中で熱処理して表面層のシリコン原子を乖離させ、かつ炭素原子を遊離させることで形成される。

【0016】

グラフェンが形成されるシリコンカーバイド基板は、ジャスト基板であっても傾斜基板であってもよい。シリコンカーバイド基板の傾斜面は、前処理することにより原子ステップがバンチングを起こし、ステップ/テラス構造を形成する。ここで「前処理」とは、例えばH₂/HClガスエッチングであり、これらは前述の非特許文献2などを参照して行われる。ステップ/テラス構造を有する傾斜面に形成されたグラフェンは、ストライプ状に形成されうる。微傾斜基板の傾斜角度（オフ角度）に応じてストライプ幅を調整することができるので、所望のストライプ幅のグラフェンを形成することができる。

【0017】

シリコンカーバイドの微傾斜基板の傾斜方向を調整することによって、微傾斜基板上に形成されるグラフェンの電気伝導特性を変化させることができる。つまり、グラフェンの電気伝導特性に方向依存性を発現させることができる。また、半導体性または金属性などのさまざまな特性を自在に付与することもできる。

【0018】

本発明の集積回路は、所望の部位に非線形素子が形成されていることを特徴とするが、

10

20

30

40

50

これはグラフェンをシリコンカーバイド基板の表面の所望の位置に形成することができるためである。グラフェンを所望の位置に形成する手段の例には、例えば以下の二通りの手段が挙げられる（プロセス1および2）。

【0019】

（プロセス1）

プロセス1のフローが図1に示される。シリコンカーバイド基板1（図1（a））の表面を、絶縁膜2で覆った後、グラフェンを形成させる露出部3-1を設け（図1（b））、そのシリコンカーバイド基板を熱処理して、グラフェン3を形成すればよい（図1（c））。グラフェン3を形成させる露出部3-1以外を絶縁膜2で覆うには、基板1の表面全体に絶縁膜2をデポジションにより形成して、形成された絶縁膜2の所望の部位をエッチングなどにより除去すればよい。絶縁膜2は、例えば、窒化シリコン、酸化シリコン、酸化アルミニウムからなる膜である。

10

【0020】

（プロセス2）

プロセス2のフローが図2に示される。シリコンカーバイド基板1（図2（a））を熱処理して、基板表面全体にグラフェン3の膜を形成し（図2（b））；所望の部位以外のグラフェン膜を、ドライエッチングにより除去して（アイソレーション）；さらにエッチングされた部位には絶縁膜2を形成すればよい（図2（c））。絶縁膜2は、例えば、窒化シリコン、酸化シリコン、酸化アルミニウムからなる膜である。

【0021】

所望の位置に形成されたグラフェン上には、オーミック電極4が形成されて非線形素子が形成される（図1（d）および図2（d））。オーミック電極4は、クロム、チタン、ニッケル、パラジウムなどの金属膜などの積層体であることが好ましく、それにより低抵抗化が実現される。形成されたオーミック電極は、ソース電極およびドレイン電極となる。

20

【0022】

非線形素子は、さらにゲート電極6が形成されることが好ましい（図1（e）および図2（e））。ゲート電極6は、例えばグラフェン上にゲート酸化膜5を介して形成されればよい。ゲート電極6は、例えばチタン/金（Ti/Au）、またはクロム/金（Cr/Au）の積層体である。これにより、ゲート変調されるトランジスタが得られる。

30

【0023】

非線形素子（好ましくはトランジスタ）には、適宜保護膜が形成されていてもよい。各非線形素子を金属配線7により接続して集積回路とすればよい（図3（f））。図3（f）には、2つのインバータが順列接続された構造が示される。本発明の集積回路はチップ上に形成され、集積回路が形成されたチップ全体を、ボンディングパッドを除いて覆うことにより、デバイスとしての安定化を図ることができる。

【0024】

本発明のグラフェン集積回路は、メモリ回路として用いられうる。すなわち、グラフェンを含むトランジスタは、炭素原子C12の同位元素であるC13を用いて、グラフェンからなるチャンネル中の核スピんに、電子スピンの情報を転写することにより情報を保持することができる。

40

【0025】

また本発明のグラフェン集積回路は、各非線形素子のグラフェンに、複数（通常2つ）の強磁性電極を配置されることで、ラテラル型のMR素子（巨大磁気抵抗素子）を構成することもできる。

【実施例】**【0026】**

6H-シリコンカーバイドの（0001）面（オフ角度：0°、ジャスト基板）に、グラフェンを形成し、三端子型の非線形素子（トランジスタ）を形成した。得られた非線形素子のソース-ドレイン電流と、ソース-ドレイン電圧との関係を図4に示した（ゲート

50

電圧 = 0)。Y 軸がドレイン電流の値を示し、X 軸がソース-ドレイン電圧を示す。各曲線は、ゲート電圧を変化させた場合の電流 - 電圧曲線を示している。図 4 に示されるように、電圧と電流が比例していないことがわかる。

これらの非線形素子を配線で接続させれば、グラフェン集積回路が作製される。

【産業上の利用可能性】

【0027】

本発明のグラフェン集積回路によりデバイスの集積度のさらなる向上が達成され、また新たなメモリが提供される。

【図面の簡単な説明】

【0028】

【図 1】本発明のグラフェン集積回路における非線形素子の製造プロセスのフローの一例を示す図である。

【図 2】本発明のグラフェン集積回路における非線形素子の製造プロセスのフローの別の一例を示す図である。

【図 3】本発明のグラフェン集積回路の製造プロセスのフローの一例を示す図である。

【図 4】本発明のグラフェン集積回路における非線形素子（三端子型）の、ドレイン電流とソース-ドレイン電圧の関係を示す図である。

【符号の説明】

【0029】

1：シリコンカーバイド基板

2：絶縁膜

3：グラフェン

3 - 1：グラフェンを形成するためのシリコン面の露出部

4：オーミック電極

5：ゲート酸化膜

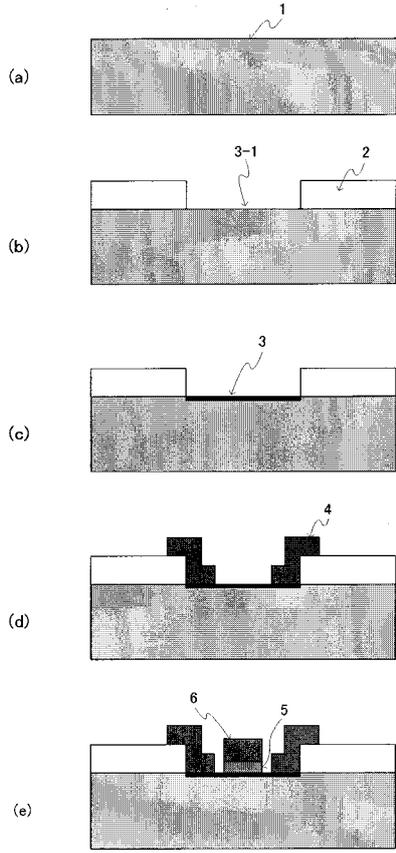
6：ゲート電極

7：金属配線

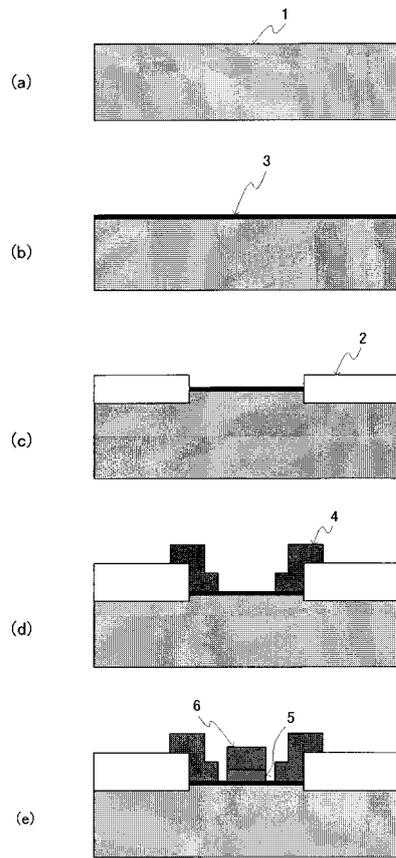
10

20

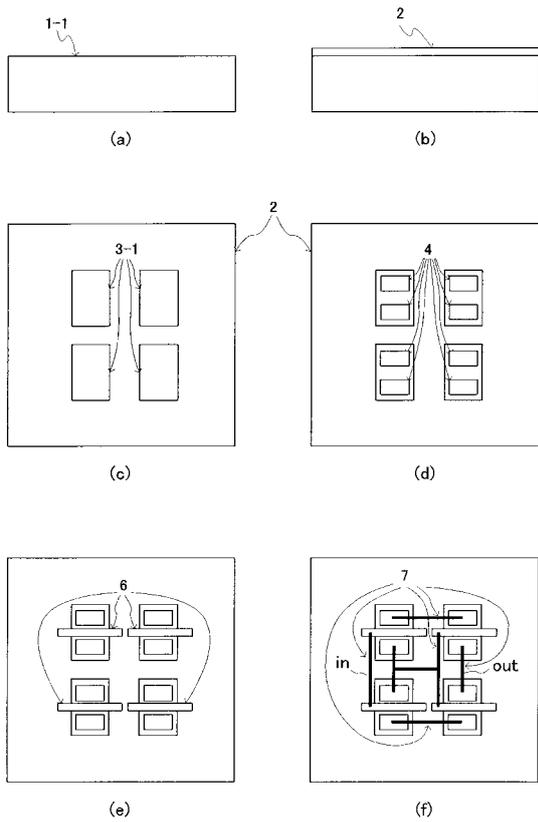
【 図 1 】



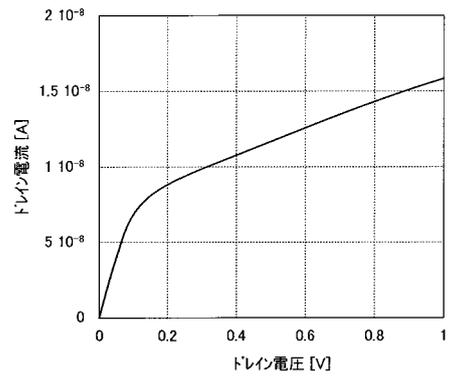
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

H 0 1 L 29/82 (2006.01)

Fターム(参考) 5F140 AA39 AB03 AC32 BA01 BA02 BA20 BC17 BF05 BF07 BF11
BF15 BF17 BJ05 BJ07 BJ11 BJ15 BJ17