

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5283216号
(P5283216)

(45) 発行日 平成25年9月4日(2013.9.4)

(24) 登録日 平成25年6月7日(2013.6.7)

(51) Int.Cl.	F I
HO 1 L 27/146 (2006.01)	HO 1 L 27/14 A
HO 4 N 5/374 (2011.01)	HO 4 N 5/335 7 4 O
HO 4 N 5/378 (2011.01)	HO 4 N 5/335 7 8 O
HO 4 N 5/369 (2011.01)	HO 4 N 5/335 6 9 O
HO 1 L 31/10 (2006.01)	HO 1 L 31/10 A

請求項の数 11 (全 30 頁)

(21) 出願番号	特願2008-198872 (P2008-198872)	(73) 特許権者	304023318 国立大学法人静岡大学 静岡県静岡市駿河区大谷836
(22) 出願日	平成20年7月31日(2008.7.31)	(74) 代理人	100083806 弁理士 三好 秀和
(65) 公開番号	特開2010-40594 (P2010-40594A)	(74) 代理人	100108914 弁理士 鈴木 壯兵衛
(43) 公開日	平成22年2月18日(2010.2.18)	(72) 発明者	川人 祥二 静岡県浜松市中区城北3丁目5-1 国立 大学法人静岡大学電子工学研究所内
審査請求日	平成23年6月20日(2011.6.20)	(72) 発明者	竹下 裕章 静岡県浜松市中区城北3丁目5-1 国立 大学法人静岡大学電子工学研究所内
		審査官	多賀 和宏

最終頁に続く

(54) 【発明の名称】 高速電荷転送フォトダイオード、ロックインピクセル及び固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

高速電荷転送フォトダイオードを2次元マトリクス状に配列し、各高速電荷転送フォトダイオードが水平シフトレジスタ及び垂直シフトレジスタを用いて2次元アクセスされる固体撮像装置に用いられる高速電荷転送フォトダイオードであって、

電荷生成領域として機能する第1導電型半導体層と、

該半導体層の上部の一部に選択的に埋め込まれ、前記電荷生成領域で生成された電荷の電荷転送領域として機能する第2導電型表面埋込領域とを備え、

前記半導体層の表面に平行な面内において定義された前記表面埋込領域の特定方向を前記電荷の電荷転送方向とし、該電荷転送方向に対し垂直方向に測った前記表面埋込領域の幅を前記電荷転送方向に沿ってステップ状に増大させ、

該ステップ状に増大させる前記表面埋込領域の幅の増加率を前記電荷転送方向に沿って増大させることにより、前記表面埋込領域の幅の変化の関数として表される前記表面埋込領域中の空乏化電位が、前記関数の前記転送方向への距離による1次微分係数が一定となるようにして、

前記電荷転送方向の電界分布を一定にするように設定されていることを特徴とする高速電荷転送フォトダイオード。

【請求項2】

ロックインピクセルを2次元マトリクス状に配列し、各ロックインピクセルが水平シフトレジスタ及び垂直シフトレジスタを用いて2次元アクセスされる固体撮像装置に用いら

れる2次元アクセスする固体撮像装置において、対象物が反射したパルス光を光信号として受光し、電荷生成領域で信号電荷に変換し、該信号電荷を電荷転送領域に注入する高速電荷転送フォトダイオードと、前記電荷転送領域に接続し、前記電荷転送領域と同一の半導体領域からなる電荷収集領域と、前記電荷収集領域と同一の半導体領域からなる第1及び第2転送チャンネルの電位を該第1及び第2転送チャンネルの上部にそれぞれ形成された絶縁膜を介して静電的に制御し、前記電荷生成領域において生成した信号電荷を前記電荷収集領域に収集後、前記第1及び第2転送チャンネルを介して交互に転送する第1及び第2転送ゲート電極と、前記第1及び第2転送ゲート電極により転送された前記信号電荷を、順次それぞれ蓄積する第1及び第2浮遊拡散領域とを備えるロックインピクセルであって、前記高速電荷転送フォトダイオードが、

10

前記電荷生成領域として機能する第1導電型半導体層と、

該半導体層の上部の一部に選択的に埋め込まれ、前記信号電荷を転送する前記電荷転送領域として機能する第2導電型表面埋込領域とを備え、

前記半導体層の表面に平行な面内において定義された前記表面埋込領域の特定方向を前記電荷の電荷転送方向とし、該電荷転送方向に対し垂直方向に測った前記表面埋込領域の幅を前記電荷転送方向に沿ってステップ状に増大させ、

該ステップ状に増大させる前記表面埋込領域の幅の増加率を前記電荷転送方向に沿って増大させることにより、前記表面埋込領域の幅の変化の関数として表される前記表面埋込領域中の空乏化電位が、前記関数の前記転送方向への距離による1次微分係数が一定となるようにして、前記電荷転送方向の電界分布を一定にするように設定されており、

20

前記第1及び第2転送ゲート電極に、前記パルス光と同期して、順次制御パルス信号を与えて動作させることにより、前記第1及び第2浮遊拡散領域に蓄積された電荷の配分比から前記対象物までの距離を測定することを特徴とするロックインピクセル。

【請求項3】

前記電荷収集領域と同一の半導体領域からなる排出チャンネルの電位を該排出チャンネルの上部に形成された絶縁膜を介して静電的に制御し、背景光を受光して前記電荷生成領域が生成した背景光電荷を前記電荷収集領域に収集後、排出する排出ゲート電極と、

前記排出ゲート電極により排出された前記背景光電荷を受け入れる排出ドレイン領域とを更に備え、前記第1、第2転送ゲート電極及び前記排出ゲート電極に、前記パルス光と同期して、順次制御パルス信号を与えて動作させることにより、前記第1及び第2浮遊拡散領域に蓄積された電荷の配分比から前記対象物までの距離を測定することを特徴とする請求項2に記載のロックインピクセル。

30

【請求項4】

前記排出ゲート電極に加える制御パルス信号の時間幅が、前記第1及び第2転送ゲート電極に加える制御パルス信号の時間幅よりも長いことを特徴とする請求項3に記載のロックインピクセル。

【請求項5】

対象物が反射したパルス光を光信号として受光し、電荷生成領域で信号電荷に変換し、該信号電荷を電荷転送領域に注入する高速電荷転送フォトダイオードと、前記電荷転送領域に接続し、前記電荷転送領域と同一の半導体領域からなる電荷収集領域と、前記電荷収集領域と同一の半導体領域からなる第1及び第2転送チャンネルの電位を該第1及び第2転送チャンネルの上部にそれぞれ形成された絶縁膜を介して静電的に制御し、前記電荷生成領域において生成した信号電荷を前記電荷収集領域に収集後、前記第1及び第2転送チャンネルを介して交互に転送する第1及び第2転送ゲート電極と、前記第1及び第2転送ゲート電極により転送された前記信号電荷を、順次それぞれ蓄積する第1及び第2浮遊拡散領域とを備えるロックインピクセルを1次元方向に配列した固体撮像装置であって、前記高速電荷転送フォトダイオードが、

40

前記電荷生成領域として機能する第1導電型半導体層と、

該半導体層の上部の一部に選択的に埋め込まれ、前記信号電荷を転送する前記電荷転送領域として機能する第2導電型表面埋込領域とを備え、

50

前記半導体層の表面に平行な面内において定義された前記表面埋込領域の特定方向を前記電荷の電荷転送方向とし、該電荷転送方向に対し垂直方向に測った前記表面埋込領域の幅を前記電荷転送方向に沿ってステップ状に増大させ、

該ステップ状に増大させる前記表面埋込領域の幅の増加率を前記電荷転送方向に沿って増大させることにより、前記表面埋込領域の幅の変化の関数として表される前記表面埋込領域中の空乏化電位が、前記関数の前記転送方向への距離による1次微分係数が一定となるようにして前記電荷転送方向の電界分布を一定にするように設定され、

前記パルス光と同期して、すべてのロックインピクセルの前記第1及び第2転送ゲート電極に順次制御パルス信号を与え、それぞれのロックインピクセルにおいて、前記第1及び第2浮遊拡散領域に蓄積された電荷の配分比から前記対象物までの距離を測定することを特徴とする固体撮像装置。

10

【請求項6】

前記ロックインピクセルのそれぞれが、

前記電荷収集領域と同一の半導体領域からなる排出チャネルの電位を該排出チャネルの上部に形成された絶縁膜を介して静電的に制御し、背景光を受光して前記電荷生成領域が生成した背景光電荷を前記電荷収集領域に収集後排出する排出ゲート電極と、

前記排出ゲート電極により排出された前記背景光電荷を受け入れる排出ドレイン領域とを更に備え、前記第1、第2転送ゲート電極及び前記排出ゲート電極に、前記パルス光と同期して、順次制御パルス信号を与えて動作させることにより、前記第1及び第2浮遊拡散領域に蓄積された電荷の配分比から前記対象物までの距離を測定することを特徴とする請求項5に記載の固体撮像装置。

20

【請求項7】

対象物が反射したパルス光を光信号として受光し、電荷生成領域で信号電荷に変換し、該信号電荷を電荷転送領域に注入する高速電荷転送フォトダイオードと、前記電荷転送領域に接続し、前記電荷転送領域と同一の半導体領域からなる電荷収集領域と、前記電荷収集領域と同一の半導体領域からなる第1及び第2転送チャネルの電位を該第1及び第2転送チャネルの上部にそれぞれ形成された絶縁膜を介して静電的に制御し、前記電荷生成領域において生成した信号電荷を前記電荷収集領域に収集後、前記第1及び第2転送チャネルを介して交互に転送する第1及び第2転送ゲート電極と、前記第1及び第2転送ゲート電極により転送された前記信号電荷を、順次それぞれ蓄積する第1及び第2浮遊拡散領域とを備えるロックインピクセルを2次元マトリクス状に配列した固体撮像装置であって、前記高速電荷転送フォトダイオードが、

30

前記電荷生成領域として機能する第1導電型半導体層と、

該半導体層の上部の一部に選択的に埋め込まれ、前記信号電荷を転送する前記電荷転送領域として機能する第2導電型表面埋込領域とを備え、

前記半導体層の表面に平行な面内において定義された前記表面埋込領域の特定方向を前記電荷の電荷転送方向とし、該電荷転送方向に対し垂直方向に測った前記表面埋込領域の幅を前記電荷転送方向に沿ってステップ状に増大させ、

該ステップ状に増大させる前記表面埋込領域の幅の増加率を前記電荷転送方向に沿って増大させることにより、前記表面埋込領域の幅の変化の関数として表される前記表面埋込領域中の空乏化電位が、前記関数の前記転送方向への距離による1次微分係数が一定となるようにして前記電荷転送方向の電界分布を一定にするように設定され、前記パルス光と同期して、すべてのロックインピクセルの前記第1及び第2転送ゲート電極に順次制御パルス信号を与え、それぞれのロックインピクセルにおいて、前記第1及び第2浮遊拡散領域に蓄積された電荷の配分比から前記対象物までの距離を測定し、全ロックインピクセルを2次元アクセスし、前記測定された距離に対応する2次元画像を得ることを特徴とする固体撮像装置。

40

【請求項8】

前記ロックインピクセルのそれぞれが、

前記電荷収集領域と同一の半導体領域からなる排出チャネルの電位を該排出チャネルの

50

上部に形成された絶縁膜を介して静電的に制御し、背景光を受光して前記電荷生成領域が生成した背景光電荷を前記電荷収集領域に収集後排出する排出ゲート電極と、前記排出ゲート電極により排出された前記背景光電荷を受け入れる排出ドレイン領域とを更に備え、前記パルス光と同期して、すべてのロックインピクセルの前記第1、第2転送ゲート電極及び前記排出ゲート電極に、順次制御パルス信号を与え、それぞれのロックインピクセルにおいて、前記第1及び第2浮遊拡散領域に蓄積された電荷の配分比から前記対象物までの距離を測定し、全ロックインピクセルを2次元アクセスし、前記測定された距離に対応する2次元画像を得ることを特徴とする請求項7に記載の固体撮像装置。

【請求項9】

前記排出ゲート電極に加える制御パルス信号の時間幅が、前記第1及び第2転送ゲート電極に加える制御パルス信号の時間幅よりも長いことを特徴とする請求項5～8のいずれか1項に記載の固体撮像装置。

10

【請求項10】

前記光信号は対象物で反射した励起光パルスと、該励起光パルスを受けて前記対象物から発生した蛍光とを含み、前記励起光パルスの立ち下がり後の一定期間において前記信号電荷を選択的に前記表面埋込領域から前記第1及び第2浮遊拡散領域へ転送し、

前記励起光照射時においては前記表面埋込領域から電荷を前記排出ドレイン領域に排出することを特徴とする請求項6又は8に記載の固体撮像装置。

【請求項11】

前記光信号は対象物で反射した励起光パルスと、該励起光パルスを受けて前記対象物から発生した蛍光とを含み、前記励起光パルスの立ち下がり後の第1の期間内において前記信号電荷の一部を前記表面埋込領域から前記第1及び第2浮遊拡散領域へ転送し、前記第1及び第2浮遊拡散領域に蓄積した前記信号電荷を第1の蓄積電荷量として読み出し、

20

前記第1の期間後の第2の期間において前記信号電荷の他の一部を前記表面埋込領域から前記第1及び第2浮遊拡散領域へ転送し、前記第1及び第2浮遊拡散領域に蓄積した前記信号電荷を第2の蓄積電荷量として読み出し、

前記第1及び第2の蓄積電荷量の比から、前記蛍光の寿命を測定することを特徴とする請求項6又は8に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は高速電荷転送フォトダイオード、この高速電荷転送フォトダイオードを有するロックインピクセル、及びこのロックインピクセルを1次元及び2次元配列した固体撮像装置に関する。

【背景技術】

【0002】

1994年に発表された「強度変調された照射野の検出及び復調のための装置(特許文献1参照。)」等の画素内に光で発生した電子の検出を時間領域で変調する機能をもったセンサ要素は、「ロックインピクセル」とも呼ばれる。

【0003】

40

この様なロックインピクセルからなるセンサ要素を、最近のCMOSイメージセンサの用いられている埋め込みフォトダイオード構造に適用して、ロックインイメージセンサを実現することができれば、量産性に優れるため、安価で高性能なセンサが得られると期待される。

【0004】

例えば、CMOS製造技術を用いて共通のIC上に形成されたピクセル光検知ディテクタ及び専用の電子回路及び対応する処理回路の2次元アレイを含んだ3次元画像化システムが提案されている(特許文献1参照。)。特許文献1の一つの実施例においては、各ディテクタは、システムによって放射され、物体の点から反射され、そしてフォーカスされたピクセルディテクタによって検出されたパルスについての飛行時間(TOF)に比例す

50

るクロックパルス数を積算する対応する高速カウンタを有している。TOFデータは、特定のピクセルから、放射された光パルスを反射する物体上の点までの距離についての直接のデジタル的な尺度を与える。特許文献1の第2実施例では、カウンタ及び高速クロック回路は設けられず、代わりに電荷蓄積器及び電子シャッタ(SI)が各ピクセルディテクタに設けられる。各ピクセルディテクタは電荷を蓄積し、その総量が往復のTOFの直接的な尺度を与える。

【特許文献1】特表平10-508736号公報

【特許文献2】特表2003-510561号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0005】

埋め込みフォトダイオードでは、完全空乏化したときのフリンジング電界を利用するとともに、表面がp型層でおおわれ、電子の走行チャネルも埋め込まれ、電子がシリコン(Si)とシリコン酸化膜(SiO₂)の界面に接触することをなくすることによって、界面のトラップによる電子の捕獲を防ぐことができるため、うまく活用すれば高速な電荷転送が可能になると期待される。これにより、TOF法による距離画像センサ等多くの新しいイメージセンサの応用が拓けると期待される。

【0006】

しかし、従来、一般的に利用されている埋め込みフォトダイオードの構造(形状)では、高速な電荷転送ができず、特に微小な光の遅れ時間を検出しなければならないTOF法により距離画像センサには利用しにくいという不都合がある。それは、従来の埋め込みフォトダイオードでは部分的には、高電界が発生できても、転送路の一部に電界の弱い領域ができてしまうため、そこで転送速度が制限され、転送時間が長くなるためである。

20

【0007】

本発明は、以上を鑑みて発案されたものであり、電荷転送方向の電界分布をできるだけ広い範囲にわたって一定で大きな値となるような形状した高速電荷転送フォトダイオード、この高速電荷転送フォトダイオードを有するロックインピクセル、及びこのロックインピクセルをセンサ要素(画素)として用いた固体撮像装置(ロックインイメージセンサ)を提供することを目的とする。

【課題を解決するための手段】

30

【0008】

上記目的を達成するために、本発明の第1の態様は、前記電荷生成領域として機能する第1導電型半導体層と、この半導体層の上部の一部に選択的に埋め込まれ、電荷生成領域で生成された電荷の電荷転送領域として機能する第2導電型表面埋込領域とを備えるフォトダイオードであることを要旨とする。そして、このフォトダイオードは、半導体層の表面に平行な面内において定義された表面埋込領域の特定方向を電荷の電荷転送方向とし、この電荷転送方向に対し垂直方向に測った表面埋込領域の幅の変化、及び電荷転送方向に沿った表面埋込領域の不純物密度分布の少なくとも一方が、電荷転送方向の電界分布を一定にするように設定されている。

【0009】

40

本発明の第2の態様は、対象物が反射したパルス光を光信号として受光し、電荷生成領域で信号電荷に変換し、該信号電荷を電荷転送領域に注入する高速電荷転送フォトダイオードと、電荷転送領域に接続し、この電荷転送領域と同一の半導体領域からなる電荷収集領域と、電荷収集領域と同一の半導体領域からなる第1及び第2転送チャネルの電位をこの第1及び第2転送チャネルの上部にそれぞれ形成された絶縁膜を介して静電的に制御し、電荷生成領域において生成した信号電荷を電荷収集領域に収集後、第1及び第2転送チャネルを介して交互に転送する第1及び第2転送ゲート電極と、第1及び第2転送ゲート電極により転送された信号電荷を、順次それぞれ蓄積する第1及び第2浮遊拡散領域とを備えることを要旨とする。そして、このロックインピクセルの高速電荷転送フォトダイオードが、前記電荷生成領域として機能する第1導電型半導体層と、この半導体層の上部の

50

一部に選択的に埋め込まれ、電荷生成領域で生成された電荷の電荷転送領域として機能する第2導電型表面埋込領域とを備える。更に、このロックインピクセルは、半導体層の表面に平行な面内において定義された表面埋込領域の特定方向を電荷の電荷転送方向とし、この電荷転送方向に対し垂直方向に測った表面埋込領域の幅の変化、及び電荷転送方向に沿った表面埋込領域の不純物密度分布の少なくとも一方が、電荷転送方向の電界分布を一定にするように設定されており、第1及び第2転送ゲート電極に、パルス光と同期して、順次制御パルス信号を与えて動作させることにより、第1及び第2浮遊拡散領域に蓄積された電荷の配分比から対象物までの距離を測定する。

【0010】

本発明の第3の態様は、対象物が反射したパルス光を光信号として受光し、電荷生成領域で信号電荷に変換し、該信号電荷を電荷転送領域に注入する高速電荷転送フォトダイオードと、電荷転送領域に接続し、この電荷転送領域と同一の半導体領域からなる電荷収集領域と、電荷収集領域と同一の半導体領域からなる第1及び第2転送チャネルの電位をこの第1及び第2転送チャネルの上部にそれぞれ形成された絶縁膜を介して静電的に制御し、電荷生成領域において生成した信号電荷を電荷収集領域に収集後、第1及び第2転送チャネルを介して交互に転送する第1及び第2転送ゲート電極と、第1及び第2転送ゲート電極により転送された信号電荷を、順次それぞれ蓄積する第1及び第2浮遊拡散領域とを備えるロックインピクセルを1次元方向に配列した固体撮像装置であることを要旨とする。そして、この固体撮像装置のロックインピクセルに含まれる高速電荷転送フォトダイオードが、前記電荷生成領域として機能する第1導電型半導体層と、この半導体層の上部の一部に選択的に埋め込まれ、電荷生成領域で生成された電荷の電荷転送領域として機能する第2導電型表面埋込領域とを備える。そして、この固体撮像装置は、半導体層の表面に平行な面内において定義された表面埋込領域の特定方向を電荷の電荷転送方向とし、この電荷転送方向に対し垂直方向に測った表面埋込領域の幅の変化、及び電荷転送方向に沿った表面埋込領域の不純物密度分布の少なくとも一方が、電荷転送方向の電界分布を一定にするように設定され、パルス光と同期して、すべてのロックインピクセルの第1及び第2転送ゲート電極に順次制御パルス信号を与え、それぞれのロックインピクセルにおいて、第1及び第2浮遊拡散領域に蓄積された電荷の配分比から対象物までの距離を測定する。

【0011】

本発明の第4の態様は、対象物が反射したパルス光を光信号として受光し、電荷生成領域で信号電荷に変換し、該信号電荷を電荷転送領域に注入する高速電荷転送フォトダイオードと、電荷転送領域に接続し、この電荷転送領域と同一の半導体領域からなる電荷収集領域と、電荷収集領域と同一の半導体領域からなる第1及び第2転送チャネルの電位をこの第1及び第2転送チャネルの上部にそれぞれ形成された絶縁膜を介して静電的に制御し、電荷生成領域において生成した信号電荷を電荷収集領域に収集後、第1及び第2転送チャネルを介して交互に転送する第1及び第2転送ゲート電極と、第1及び第2転送ゲート電極により転送された信号電荷を、順次それぞれ蓄積する第1及び第2浮遊拡散領域とを備えるロックインピクセルを2次元マトリクス状に配列した固体撮像装置であることを要旨とする。そして、この固体撮像装置のロックインピクセルに含まれる高速電荷転送フォトダイオードが、前記電荷生成領域として機能する第1導電型半導体層と、この半導体層の一部に選択的に埋め込まれ、電荷生成領域で生成された電荷の電荷転送領域として機能する第2導電型表面埋込領域とを備える。そして、この固体撮像装置は、半導体層の表面に平行な面内において定義された表面埋込領域の特定方向を電荷の電荷転送方向とし、この電荷転送方向に対し垂直方向に測った表面埋込領域の幅の変化、及び電荷転送方向に沿った表面埋込領域の不純物密度分布の少なくとも一方が、電荷転送方向の電界分布を一定にするように設定され、パルス光と同期して、すべてのロックインピクセルの第1及び第2転送ゲート電極に順次制御パルス信号を与え、それぞれのロックインピクセルにおいて、第1及び第2浮遊拡散領域に蓄積された電荷の配分比から対象物までの距離を測定し、全ロックインピクセルを2次元アクセスし、測定された距離に対応する2次元画像を得る。

10

20

30

40

50

【発明の効果】

【0012】

本発明によれば、電荷転送方向の電界分布をできるだけ広い範囲にわたって一定で大きな値となるような形状した高速電荷転送フォトダイオード、この高速電荷転送フォトダイオードを有するロックインピクセル、及びこのロックインピクセルをセンサ要素（画素）として用いた固体撮像装置（ロックインイメージセンサ）を提供できる。

【発明を実施するための最良の形態】

【0013】

次に、図面を参照して、本発明の第1及び第2の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

10

【0014】

又、以下に示す第1及び第2の実施の形態は、本発明の技術的思想を具体化するための装置や方法を例示するものであって、TOF距離画像センサについて例示的に説明するが、本発明の高速電荷転送フォトダイオードは、TOF距離画像センサ以外に、染色した生体細胞からの蛍光や蛍光寿命を測定するバイオイメージング用固体撮像装置、或いは、各種の計測を行う時間相関イメージセンサ等の種々の固体撮像装置に適用可能である。又、本発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでなく、本発明の技術的思想は、特許請求の範囲に記載された技術的範囲内において、種々の変更を加えることができる。

20

【0015】

（第1の実施の形態）

本発明の第1の実施の形態に係る固体撮像装置（2次元ロックインイメージセンサ）は、図1に示すように、画素アレイ部（ $X_{11} \sim X_{1m}$ ； $X_{21} \sim X_{2m}$ ； \dots ； $X_{n1} \sim X_{nm}$ ）と周辺回路部（94, 95, 96, $NC1 \sim NCm$ ）とを同一の半導体チップ上に集積化している。画素アレイ部には、2次元マトリクス状に多数の高速電荷転送フォトダイオードを備えた単位画素（ロックインピクセル） X_{ij} （ $i = 1 \sim m$ ； $j = 1 \sim n$ ； m, n はそれぞれ整数である。）が配列されており、例えば、おおよそ形状の撮像領域を構成している。そして、この画素アレイ部の上辺部にはタイミング制御回路94が、下辺部には水平シフトレジスタ96が。それぞれ画素行 $X_{11} \sim X_{1m}$ ； $X_{21} \sim X_{2m}$ ； \dots ； $X_{n1} \sim X_{nm}$ 方向に沿って設けられ、画素アレイ部の左辺部には画素列 $X_{11} \sim X_{n1}$ ； $X_{12} \sim X_{n2}$ ； \dots ； $X_{1j} \sim X_{nj}$ ； \dots ； $X_{1m} \sim X_{nm}$ 方向に沿って垂直シフトレジスタ及び垂直走査回路95が設けられている。

30

【0016】

図1の単位画素（ロックインピクセル） X_{nj} に内部構造を例示したように、それぞれの単位画素（ロックインピクセル） X_{ij} は、高速電荷転送フォトダイオード（PD）、電荷電圧変換回路、積分器、電圧制御パルス遅延回路を備えるTOF画素回路81及び電圧読み出し用バッファアンプ82からなる。これらのタイミング制御回路94及び水平シフトレジスタ96及び垂直シフトレジスタ及び垂直走査回路95によって画素アレイ部内の単位画素 X_{ij} が順次走査され、画素信号の読み出しや電子シャッター動作が実行される。即ち、本発明の第1の実施の形態に係る固体撮像装置では、画素アレイ部を各画素行 $X_{11} \sim X_{1m}$ ； $X_{21} \sim X_{2m}$ ； \dots ； $X_{n1} \sim X_{nm}$ 単位で垂直方向に走査することにより、各画素行 $X_{11} \sim X_{1m}$ ； $X_{21} \sim X_{2m}$ ； \dots ； $X_{n1} \sim X_{nm}$ の画素信号を各画素列 $X_{11} \sim X_{n1}$ ； $X_{12} \sim X_{n2}$ ； \dots ； $X_{1j} \sim X_{nj}$ ； \dots ； $X_{1m} \sim X_{nm}$ 毎に設けられた垂直信号線によって画素信号を読み出す構成となっている。

40

【0017】

各单位画素 $X_{11} \sim X_{1m}$ ； $X_{21} \sim X_{2m}$ ； \dots ； $X_{n1} \sim X_{nm}$ からの信号読みだしにつ

50

いては、おおむね通常のCMOSイメージセンサと同様である。但し、各単位画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ のそれぞれ的高速電荷転送フォトダイオードからの電荷転送させるための制御信号TX1(1)、TX2(2)は、タイミング制御回路94から全画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ に同時に与えられ、しかも高い周波数の信号であるので、その期間には、スイッチングノイズが発生する。したがって画素部からの信号読みだしは、ノイズ処理回路NC₁~NC_mによる処理が終了した後に読みだし期間を設けて行う。

【0018】

第1の実施の形態に係る固体撮像装置(TOF距離画像センサ)のそれぞれの画素(ロックインピクセル) $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ 内のTOF画素回路81の物理的構造を説明するための平面図の一例を、図2及び図3(a)に示す。第1の実施の形態に係るロックインピクセルは、図2及び図3(a)に示すように、対象物が反射したパルス光を光信号として受光し、電荷生成領域で信号電荷に変換し、該信号電荷を電荷転送領域に注入する高速電荷転送フォトダイオード2と、電荷転送領域に接続し、この電荷転送領域と同一の半導体領域からなる電荷収集領域27と、電荷収集領域27と同一の半導体領域からなる第1及び第2転送チャンネルの電位をこの第1及び第2転送チャンネルの上部にそれぞれ形成された絶縁膜を介して静電的に制御し、電荷生成領域において生成した信号電荷を電荷収集領域27に収集後、第1及び第2転送チャンネルを介して交互に転送する第1転送ゲート電極11a及び第2転送ゲート電極11bと、第1転送ゲート電極11a及び第2転送ゲート電極11bにより転送された信号電荷を、順次それぞれ蓄積する第1浮遊拡散領域23a及び第2浮遊拡散領域23bとを備える。

【0019】

第1の実施の形態に係るロックインピクセルにおいては、n型表面埋込領域(第2導電型表面埋込領域)21aが電荷転送領域として機能するが、n型表面埋込領域(第2導電型表面埋込領域)21aの直下だけでなく、遮光膜41の開口部(アパ-チャ)42の直下に位置する第1導電型半導体層20が、第1の実施の形態に係る高速電荷転送フォトダイオード2の電荷生成領域として機能しているので、図2において、開口部(アパ-チャ)42の直下の領域が高速電荷転送フォトダイオード2として定義される。高速電荷転送フォトダイオード2においては、電荷生成領域で生成されたキャリア(電子)は、電荷生成領域の直上の表面埋込領域21aの一部に注入される。

【0020】

第1の実施の形態に係るロックインピクセルにおいては、図2の中央に示す遮光膜41の開口部(アパ-チャ)42の直下に、転送方向(X方向)に向かってn型表面埋込領域21aの幅を徐々に拡大している。図2において遮光膜41の開口部(アパ-チャ)42の下側に電荷転送領域であるn型表面埋込領域21と同一の半導体領域からなる電荷収集領域27が形成され、この電荷収集領域27の下側の両側に、高速電荷転送フォトダイオード2が生成した信号電荷を電荷収集領域27に収集後、交互に転送する第1転送ゲート電極11a及び第2転送ゲート電極11bが斜め方向に分岐して配置されている。n型表面埋込領域21aの幅を狭くすると電位井戸が浅くなる。そこで、第1の実施の形態に係る高速電荷転送フォトダイオード2では、図2に示すように転送方向(X方向)に向かってn型表面埋込領域21aの幅を、階段状に徐々に広くすると、転送方向(X方向)に向かって電子を加速する方向に電界が発生するので、これを利用して、電荷転送方向の電界分布をできるだけ広い範囲にわたって一定で大きな値となるようにしている。

【0021】

図1の光源91から繰り返し制御パルス信号として照射された光は、対象物92で反射され、図2の遮光膜41の開口部(アパ-チャ)42を介して高速電荷転送フォトダイオード2に入射する。即ち、高速電荷転送フォトダイオード2は、遮光膜41の開口部(アパ-チャ)42を介して入射したパルス光を光信号として受光し、この光信号を信号電荷に変換する。

【0022】

10

20

30

40

50

更に、図2に示すように、第1転送ゲート電極11aにより転送された信号電荷を蓄積する第1浮遊拡散領域23aが右下側に、第2転送ゲート電極11bにより転送された信号電荷を蓄積する第2浮遊拡散領域23bが左下側に配置されている。図2の右下側には、更に、第1浮遊拡散領域23aに隣接し、第1リセットゲート電極(図示省略)と、この第1リセットゲート電極を介して、第1浮遊拡散領域23aに対向する第1リセットソース領域(図示省略)が斜め右下方向に沿って配置されている。一方、図2の左下側には第2浮遊拡散領域23bに隣接し、第2リセットゲート電極(図示省略)と、この第2リセットゲート電極を介して、第2浮遊拡散領域23bに対向する第2リセットソース領域(図示省略)が斜め左下方向に沿って配置されている。第1浮遊拡散領域23a、第1リセットゲート電極及び第1リセットソース領域とで第1のリセットトランジスタとなるMOSトランジスタが形成され、第2浮遊拡散領域23b、第2リセットゲート電極及び第2リセットソース領域とで第2のリセットトランジスタとなるMOSトランジスタが形成されている。それぞれの第1リセットゲート電極及び第2リセットゲート電極に対し、制御信号Rをすべてハイ(H)レベルにして、第1浮遊拡散領域23a及び第2浮遊拡散領域23bに蓄積された電荷を第1リセットソース領域及び第2リセットソース領域にそれぞれ吐き出し、第1浮遊拡散領域23a及び第2浮遊拡散領域23bをリセットする。

【0023】

図2に示されるように、第1の実施の形態に係るロックインピクセルにおいては、高速電荷転送フォトダイオード2が生成した信号電荷を、電荷収集領域27に収集後、互いに異なる分岐方向(右斜め下方向及び左斜め下方向)に転送されるように、平面パターン上、第1転送ゲート電極11aと第2転送ゲート電極11bのそれぞれが、図2の2つの転送方向(右斜め下方向及び左斜め下方向)のそれぞれの垂直方向を長手方向(ゲート幅方向)として配置されている。

【0024】

更に、図2に示されるように、平面パターン上、電荷収集領域27の下方に、排出ゲート電極12が図2の縦方向(上下方向)の中心線上に、水平方向を長手方向(ゲート幅方向)として配置されている。排出ゲート電極12は、背景光が電荷生成領域で生成した背景光電荷を、電荷収集領域27に収集後、図2の下方方向に排出する。排出ゲート電極12により排出された背景光電荷は、図2の下方方向に設けられた排出ドレイン領域24に受け入れられる。

【0025】

図3(a)は図2に示したロックインピクセルのIII-III方向から見た断面構造であり、図2の中央の遮光膜41の開口部(アパ-チャ)42の直下に示した高速電荷転送フォトダイオード2は、p型半導体基板(第1導電型半導体層)20をアノード領域(第1主電極領域)とし、このアノード領域(第1主電極領域)となるp型半導体基板(第1導電型半導体層)20の上部に設けられたカソード領域(第2主電極領域)となるn型表面埋込領域(第2導電型表面埋込領域)21aと備えている。なお、本明細書の第1及び第2の実施の形態の説明では、第1導電型をp型、第2導電型をn型として例示的に説明するが、第1導電型をn型、第2導電型をp型としても、電気的な極性を反対にすれば同様な効果が得られる。その場合、n型の第1主電極領域がカソード領域となり、p型の第2主電極領域がアノード領域となることは説明の必要のないことであろう。このn型表面埋込領域(第2導電型表面埋込領域)21aの上部には、p型ピニング層(第1導電型ピニング層)22が配置されている。

【0026】

高速電荷転送フォトダイオード2を構成するp型半導体基板(第1導電型半導体層)20は、電荷生成領域として機能するので、不純物密度 $6 \times 10^{11} \text{ cm}^{-3}$ 程度以上、 $2 \times 10^{15} \text{ cm}^{-3}$ 程度以下が好ましい。尚、p型半導体基板20の代わりに、不純物密度 $4 \times 10^{17} \text{ cm}^{-3}$ 程度以上、 $1 \times 10^{21} \text{ cm}^{-3}$ 程度以下のシリコン基板の上に、不純物密度 $6 \times 10^{11} \text{ cm}^{-3}$ 程度以上、 $2 \times 10^{15} \text{ cm}^{-3}$ 程度以下のシリコンエピタキシャル成長層を形成した構造を採用し、シリコンエピタキシャル成長層を電荷生成領域となる第1導電

10

20

30

40

50

型半導体領域として用いても良い。工業的な意味からは、不純物密度 $8 \times 10^{17} \text{ cm}^{-3}$ 程度以上、 $1 \times 10^{20} \text{ cm}^{-3}$ 程度以下のシリコン基板の上に、不純物密度 $6 \times 10^{13} \text{ cm}^{-3}$ 程度以上、 $1.5 \times 10^{15} \text{ cm}^{-3}$ 程度以下のシリコンエピタキシャル成長層を形成して第1導電型半導体領域とすれば、市場での入手も容易で好ましい。n型表面埋込領域(第2導電型表面埋込領域)21aは、不純物密度 $2 \times 10^{15} \text{ cm}^{-3} \sim 6 \times 10^{17} \text{ cm}^{-3}$ 程度の比較的低濃度のn型半導体領域である。より好ましくは、n型表面埋込領域(第2導電型表面埋込領域)21aは、不純物密度 $5 \times 10^{16} \text{ cm}^{-3}$ 程度以上、 $5 \times 10^{17} \text{ cm}^{-3}$ 程度以下、代表的には、例えば $4 \times 10^{16} \text{ cm}^{-3}$ 程度の不純物密度の値が採用可能であり、その厚さは $0.1 \sim 3 \mu\text{m}$ 程度、好ましくは $0.2 \sim 0.5 \mu\text{m}$ 程度とすることが可能である。p型ピニング層(第1導電型ピニング層)22は、不純物密度 $3 \times 10^{17} \text{ cm}^{-3} \sim 1.5 \times 10^{20} \text{ cm}^{-3}$ 程度の比較的高濃度で、その厚さは $20 \text{ nm} \sim 1.0 \mu\text{m}$ 程度、好ましくは $50 \text{ nm} \sim 300 \text{ nm}$ 程度とすれば良い。

【0027】

図3(a)に示したゲート絶縁膜32は、図3(a)では図示を省略しているが、図2において遮光膜41の開口部(アパ-チャ)42の下側の左右の第1転送ゲート電極11a及び第2転送ゲート電極11bの下まで延伸している。図3(a)では、ゲート絶縁膜32は、遮光膜41の開口部(アパ-チャ)42の直下から図3(a)の右方向(図2の下方向に相当する。)の排出ゲート電極12の下まで延伸している状態を示している。図3(a)に示すように、ゲート絶縁膜32の下には、遮光膜41の開口部(アパ-チャ)42の直下から排出ゲート電極12の左側端部の直下まで左右に延伸するように表面埋込領域21aが配置されている。即ち、アパ-チャ42の直下(電荷生成領域の直上)の表面埋込領域21aの右側の電荷収集領域27の更に右側に隣接した第1導電型半導体層20の一部で、排出ゲート電極12の直下に位置する部分が排出チャンネルとして機能している。そして、排出ゲート電極12は、排出チャンネルの電位を、この排出チャンネルの上部にそれぞれ形成されたゲート絶縁膜32を介して静電的に制御し、背景光電荷を、排出チャンネルを介して、第2導電型(n型)の排出ドレイン領域24に転送する。排出ドレイン領域24は、表面埋込領域21aより高不純物密度の半導体領域である。

【0028】

図3(a)では図示を省略しているが、図2の平面図から理解できるように、ゲート絶縁膜32の下には、アパ-チャ42の直下から第1転送ゲート電極11a及び第2転送ゲート電極11bの端部の直下まで表面埋込領域21aが延伸している。即ち、図2において、アパ-チャ42の直下(電荷生成領域の直上)の表面埋込領域21aの右下側に隣接した第1導電型半導体層20の一部で、第1転送ゲート電極11aの直下に位置する部分が第1転送チャンネルとして機能している。一方、アパ-チャ42の直下(電荷生成領域の直上)の表面埋込領域21aの左下側に隣接した第1導電型半導体層20の他の一部で、第2転送ゲート電極11bの直下に位置する部分が第2転送チャンネルとして機能している。そして、第1転送ゲート電極11a及び第2転送ゲート電極11bは、第1及び第2転送チャンネルの電位を、この第1及び第2転送チャンネルの上部にそれぞれ形成されたゲート絶縁膜32を介して静電的に制御し、信号電荷を、第1及び第2転送チャンネルを介して交互に、第2導電型(n型)の第1浮遊拡散領域23a及び第2浮遊拡散領域23bにそれぞれ転送する。第1浮遊拡散領域23a及び第2浮遊拡散領域23bは、それぞれ、表面埋込領域21aより高不純物密度の半導体領域である。

【0029】

第1浮遊拡散領域23aには、図2に示すように、図1に示した電圧読み出し用バッファアンプ82を構成する信号読み出しトランジスタ(増幅トランジスタ)MA1のゲート電極が接続され、第2浮遊拡散領域23bには、電圧読み出し用バッファアンプ82の信号読み出しトランジスタ(増幅トランジスタ)MA2のゲート電極が接続されている。信号読み出しトランジスタ(増幅トランジスタ)MA1のソース電極は電源VDDに接続され、ドレイン電極は画素選択用のスイッチングトランジスタMS1のソース電極に接続されている。画素選択用のスイッチングトランジスタMS1のドレイン電極は、垂直信号線

10

20

30

40

50

B_{i1} に接続され、ゲート電極には水平ラインの選択用制御信号 S が垂直シフトレジスタ及び垂直走査回路 95 から与えられる。信号読み出しトランジスタ（増幅トランジスタ） MA_2 のソース電極は電源 V_{DD} に接続され、ドレイン電極は画素選択用のスイッチングトランジスタ MS_2 のソース電極に接続されている。画素選択用のスイッチングトランジスタ MS_2 のドレイン電極は、垂直信号線 B_{i2} に接続され、ゲート電極には水平ラインの選択用制御信号 S が垂直シフトレジスタ及び垂直走査回路 95 から与えられる。選択用制御信号 S をハイ（H）レベルにすることにより、スイッチングトランジスタ MS_1 、 MS_2 が導通し、信号読み出しトランジスタ（増幅トランジスタ） MA_1 、 MA_2 で増幅された第1浮遊拡散領域 23a、第2浮遊拡散領域 23b の電位に対応する電流が垂直信号線 B_{i1} 、 B_{i2} に流れる。

10

【0030】

図3(a)では、ゲート絶縁膜 32 と p ウェル 25 との間のフィールド絶縁膜 31 として、微細化された集積回路の素子分離に用いられるシャロウ・トレンチ・アイソレーション（STI）構造の埋込絶縁膜（埋込酸化膜）を用いた例を示しているが、フィールド絶縁膜 31 としては、素子分離に用いられる LOCOS（Local oxidation of silicon）法と称される選択酸化法により形成されたフィールド酸化膜等他の絶縁膜が利用可能である。

【0031】

フィールド絶縁膜 31 及びゲート絶縁膜 32 を熱酸化膜で形成する場合は、熱酸化膜の厚さは、150 nm 程度以上、1000 nm 程度以下、好ましくは 200 nm 程度以上、400 nm 程度以下とすれば良い。ゲート絶縁膜 32 を熱酸化膜以外の誘電体膜とする場合は、熱酸化膜の比誘電率 ϵ_r （1 MHz で $\epsilon_r = 3.8$ ）で換算した等価な厚さとすれば良い。例えば、比誘電率 $\epsilon_r = 4.4$ である CVD 酸化膜膜を用いるのであれば上記厚さを $4.4 / 3.8 = 1.16$ 倍した厚さを、比誘電率 $\epsilon_r = 7$ であるシリコン窒化物（ Si_3N_4 ）膜を用いるのであれば上記厚さを $7 / 3.8 = 1.84$ 倍した厚さを採用すれば良い。但し、標準的な CMOS 技術で形成される酸化膜（ SiO_2 膜）を用いるのが好ましく、CMOS 技術におけるフィールド酸化膜を用いるのが製造工程の簡略化に適している。

20

【0032】

ゲート絶縁膜 32 上に形成した第1転送ゲート電極 11a 及び第2転送ゲート電極 11b には、図6のような制御パルス信号を与える。例えば制御パルス信号 $TX_1 = 1V$ を第1転送ゲート電極 11a に、制御パルス信号 $TX_2 = -2V$ を第2転送ゲート電極 11b に与えたとき、電荷収集領域 27 中の電子に対する電位障壁が下がり、光により発生した電子は、右下側の第1浮遊拡散領域 23a に転送される。逆に、制御パルス信号 $TX_1 = -2V$ を第1転送ゲート電極 11a に、制御パルス信号 $TX_2 = 1V$ を第2転送ゲート電極 11b に与えると、光により発生した電子は、左下側の第2浮遊拡散領域 23b に転送される。

30

【0033】

図3(b)は、図3(a)に示した第1の実施の形態に係る高速電荷転送フォトダイオード 2 の断面構造に対応する空乏化電位 V_p のポテンシャル図を示す。図2において、y 方向に沿って測られる n 型表面埋込領域（第2導電型表面埋込領域）21a の幅を狭くすると図3(b)に示される空乏化電位 V_p の電位井戸の深さが浅くなり、最終的に一定のポテンシャルでしめされる電荷収集領域 27 に接続される。このため、図3(b)に示すように、電荷の転送方向（X方向）に沿って n 型表面埋込領域（第2導電型表面埋込領域）21a の幅（Y方向の幅）を、階段状に徐々に広げることによって、第1の実施の形態に係る高速電荷転送フォトダイオード 2 では、X方向に対する空乏化電位 V_p が右側方向の電荷収集領域 27 に行くに従い、徐々に大きくなる。これによって、第1の実施の形態に係る高速電荷転送フォトダイオード 2 では、電荷収集領域 27 に向かう X 方向への大きな電界が広い範囲で形成される。

40

【0034】

50

第1の実施の形態に係る高速電荷転送フォトダイオード2のX方向に沿った転送路のすべての領域で、その電界を一定にするには、次のようにすれば良い。図4には、高速電荷転送フォトダイオード2のn型表面埋込領域(第2導電型表面埋込領域)21aの幅と電位井戸との関係を求めた結果を示す。図4において、空乏化電位 V_p とn型表面埋込領域(第2導電型表面埋込領域)21aの幅 $W = W(X)$ との関係を、

$$V_p = f(W) \quad \dots\dots (1)$$

とおく。転送方向(X方向)への電界を一定にしたい場合、

$$X = k V_p \quad \dots\dots (2)$$

の関係が成り立つようにすれば良い。ここでkは定数である。又、電界Eは、

$$E = - (dV_p / dX) \quad \dots\dots (3)$$

であるので、もし、(2)式が成り立っていれば、

$$E = - 1 / k \quad \dots\dots (4)$$

となる。つまり、図3(b)に示すように空乏化電位 V_p をX方向(電荷の転送方向)に沿って変化させるには、n型表面埋込領域(第2導電型表面埋込領域)21aの平面形状を、Y方向(電荷の転送方向と直交する方向)に測った幅 $W = W(X)$ が図2の平面図に示したようにX方向に沿って徐々に広がるX方向に依存する形状とすれば良い。

【0035】

図5に、転送方向の $x = 0 \mu\text{m}$ から電荷収集領域27の端部となる $x = 6 \mu\text{m}$ にわたり、一定の比率 $L = 1.4 \mu\text{m}, 3.0 \mu\text{m}, 4.0 \mu\text{m}$ で、n型表面埋込領域(第2導電型表面埋込領域)21aの幅 $W = W(X)$ をそれぞれ変化させた高速電荷転送フォトダイオード2の平面パターンの形状を示す。図6は、図5に示した平面形状の場合について転送方向に沿ったn型表面埋込領域(第2導電型表面埋込領域)21aの中心軸上の電界分布と転送方向に沿った電子の発生位置との関係を示し、図7は、転送方向に沿った電子の発生位置と電子の転送に要する時間との関係を示している。図7から、転送方向の $x = 0 \mu\text{m}$ から $x = 6 \mu\text{m}$ にわたり、1ns以下の転送時間となり、十分高速であることが分かる。しかし、一定のチャンネル幅の増加の比率 $L = 1.4 \mu\text{m}, 3.0 \mu\text{m}, 4.0 \mu\text{m}$ でn型表面埋込領域(第2導電型表面埋込領域)21aの幅 $W = W(X)$ を変化させると図6に示すように、一部に電界の弱い領域が発生することが分かる。

【0036】

このため、図8では、図5のようにチャンネル幅の増加の比率 $L =$ 一定ではなく、チャンネル幅の増加の比率 $L = L(X)$ を、X座標と共に変化させた場合のフォトダイオードの形状を示す。図8のチャンネル幅の増加の比率 $L = L(X)$ は、図4に示した空乏化電位 V_p とn型表面埋込領域(第2導電型表面埋込領域)21aの幅 $W = W(X)$ との関係を考慮して変化させている。よって、図8に示した平面形状の場合は、一定の空乏化電位 V_p の増加率 $V = 0.4 \text{V}, 0.9 \text{V}, 0.9 \text{V}$ として、内部電界を一定にするようにしている。

【0037】

図9は、図8に示した平面形状の場合について、電荷収集領域27に向かう転送方向に沿ったn型表面埋込領域(第2導電型表面埋込領域)21aの中心軸上の電界分布と転送方向に沿った電子の発生位置との関係を示し、図10は、転送方向に沿った電子の発生位置と電子の転送に要する時間との関係を示している。図8に示した平面形状の場合は、内部電界が一定で、全体に高い電界が保持されているとともに、転送時間も、図5の形状に

10

20

30

40

50

対応する図 7 に比べて短くなっていることが分かる。図 5、図 8 いずれの場合も、階段のステップ幅 $L/2 = L(X)/2$ を小さくした方が転送時間が全体的に短くなる傾向にあるが、極端な違いはない。

【 0 0 3 8 】

尚、図 2、図 5 及び図 8 では、y 方向に沿って電荷収集領域 2 7 に向かって測られる n 型表面埋込領域（第 2 導電型表面埋込領域）2 1 a の幅 $W = W(X)$ を階段状に離散的に変化させているが、リソグラフィ技術で用いられるマスクパターンとして許されれば、連続的に変化させても良い又。リソグラフィ技術におけるパターンの転写プロセスにおける光学的な効果等のプロセス上の問題に依存して、マスクパターンが階段状であっても現実の仕上がりは、パターンのエッジがぼけるので、連続的なパターンにすることも可能である。特に、図 8 に示すように、(1) 式及び(2) 式を満足する曲線に沿って、n 型表面埋込領域（第 2 導電型表面埋込領域）2 1 a の幅 $W = W(X)$ を連続的に変化させることが好ましい。

10

【 0 0 3 9 】

図 2 に示す第 1 の実施の形態に係るロックインピクセルにおける電荷転送は電荷収集領域 2 7 に向かって電界で加速されることにより高速に行われて、電荷収集領域 2 7 に収集される。例えば、図 1 1 に示すような光パルスが照射されたとき、制御パルス信号 $TX 1 = 1 V$ の期間に照射された光パルスによる電荷は、電荷収集領域 2 7 から右斜め下側の第 1 浮遊拡散領域 2 3 a に転送され、制御パルス信号 $TX 2 = 1 V$ の期間に照射された光パルスによる電荷は、電荷収集領域 2 7 から左斜め下側の第 2 浮遊拡散領域 2 3 b に転送される。

20

【 0 0 4 0 】

図 1 1 に示すタイミングで、図 2 に示した第 1 転送ゲート電極 1 1 a 及び第 2 転送ゲート電極 1 1 b を交互に開くと、第 1 浮遊拡散領域 2 3 a 及び第 2 浮遊拡散領域 2 3 b にそれぞれ蓄積される電荷 Q_1, Q_2 は、それぞれ、

$$Q_1 = I_p (T_o - T_d) \quad \dots\dots (5)$$

$$Q_2 = I_p T_d \quad \dots\dots (6)$$

となる。ここで、 I_p はフォトダイオードで発生する光電流、 T_d は受信光の遅れ時間、 T_o は光のパルスの幅である。これより、光パルスの遅れ時間が、

30

$$T_d = T_o (Q_2 / (Q_1 + Q_2)) \quad \dots\dots (7)$$

により求められる。図 1 に示した対象物 9 2 までの距離 L は、 c を光速として、

$$L = (c / 2) T_d = (c T_o / 2) (Q_2 / (Q_1 + Q_2)) \quad \dots\dots (8)$$

により求められる。実際には、光パルスを繰り返し投影し、十分な量の蓄積電子を得て、SNR を高くし、距離分解能を向上させることが好ましい。

【 0 0 4 1 】

40

本発明の第 1 の実施の形態では、この様な信号電荷 Q_1, Q_2 の転送の構造に加えて、アクティブな照明との同期による背景光の影響の低減機能を備えている。即ち、背景光の影響をなくすため、図 2 の平面図の電荷収集領域 2 7 の下方向に、アクティブな照明との同期動作を行う排出ゲート電極 1 2 を設け、排出ゲート電極 1 2 を介して、背景光電荷は、電荷収集領域 2 7 から吐き出口となる排出ドレイン領域 2 4 に排出される。排出ゲート電極 1 2 には、制御パルス信号 $TX D$ を与え、図 1 1 のタイミング図に示したように、排出ゲート電極 1 2 に加える制御パルス信号 $TX D$ の時間幅を、第 1 転送ゲート電極 1 1 a 及び第 2 転送ゲート電極 1 1 b に加える制御パルス信号 $TX 1, TX 2$ の時間幅よりも長くしている。即ち、光パルスが投影されていない期間、制御パルス信号 $TX D$ の電位を高くして、背景光で発生した背景光電荷を排出ドレイン領域 2 4 に吐き出す。制御パルス信号

50

TX1が第1転送ゲート電極11aに、制御パルス信号TX2が第2転送ゲート電極11bに与えられて、左右に信号電荷の振り分けを行っているときには、排出ゲート電極12に負の電圧(例えばTXD = -2V)を与えて、電位障壁を形成し、排出ドレイン領域24に電荷収集領域27から電荷が転送されないようにしておく。一方、背景光電荷を吐き出すときには、排出ゲート電極12に高い電位(例えば1V)を与えて、排出ドレイン領域24に背景光電荷の転送をしやすくする。

【0042】

以上説明したように、第1の実施の形態に係るロックインピクセルによれば、排出ゲート電極12に所定の電圧を印加して、排出ドレイン領域24に背景光電荷の転送を行い、背景光の影響を抑制できる。背景光が信号に含まれると、光にはショットノイズというのがあるため、背景光電荷があると、そのショットノイズによって、距離計測精度が低下するが、第1の実施の形態に係るロックインピクセルによれば、背景光電荷を有効に排除できるので、高い距離計測精度(距離分解能)と最大測距範囲が達成できる。

10

【0043】

更に、第1浮遊拡散領域23a及び第2浮遊拡散領域23bに電荷収集領域27から背景光電荷が蓄積されるのが防止でき、第1浮遊拡散領域23a及び第2浮遊拡散領域23bの容量を最大に生かして信号電荷を蓄積できるので、広いダイナミックレンジを実現できる。更に、ダイナミックレンジを、信号との最大値と、ノイズレベルで表すならば、背景光電荷に起因したノイズが減るので、ダイナミックレンジが増大する。

【0044】

< 固体撮像装置の動作 >

図11のタイミング図を用いて、図1に概略構成を示した本発明の第1の実施の形態に係る固体撮像装置(2次元ロックインイメージセンサ)の動作を説明する:

(a) 図1に示したすべての画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ の、それぞれの第1リセットゲート電極及び第2リセットゲート電極に対し、制御信号Rをすべてハイ(H)レベルにして、第1浮遊拡散領域23a及び第2浮遊拡散領域23bに蓄積された電荷を第1リセットソース領域及び第2リセットソース領域にそれぞれ吐き出し、第1浮遊拡散領域23a及び第2浮遊拡散領域23bをリセットする。

20

【0045】

(b) その後、光源91からパルス光を出射し、対象物92で反射されたパルス光は、それぞれの画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ のアパチャ42を介して、それぞれ的高速電荷転送フォトダイオード2に入射する。これに同期して、すべての画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ のそれぞれの第1転送ゲート電極11a及び第2転送ゲート電極11bに繰り返しパルスTX1, TX2を、図11に示すようなタイミングでいっせいに与えて一定期間動作させる。

30

【0046】

(c) その後、光源91からのパルス光の出射を止め、第1浮遊拡散領域23a及び第2浮遊拡散領域23bの電圧を電圧読み出し用バッファアンプ82を用いて外部に読み出す。この読み出しの期間の間、背景光信号により生成された電荷が第1浮遊拡散領域23a及び第2浮遊拡散領域23bの取り込まれないようにするために、第1転送ゲート電極11a及び第2転送ゲート電極11bには負電圧を、排出ゲート電極12には正の高い電圧を与えておく。

40

【0047】

(d) 読み出しは、1水平ライン毎に、対応するカラムのノイズ処理回路 $NC_1 \sim NC_m$ に読み出し、それぞれのノイズ処理回路 $NC_1 \sim NC_m$ において、ノイズキャンセル回路83及びノイズキャンセル回路84で、ノイズキャンセルを行った後、水平走査を行う。1水平ラインの選択は、制御信号Sを画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ 内の電圧読み出し用バッファアンプ82の画素選択用のスイッチングトランジスタMS1, MS2に与えることで行い、垂直信号に対応する水平ラインの信号が現れる。それぞれの画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ 内の電圧読み出し用バッファ

50

アンブ 8 2 が発生する固定パターンノイズと $1/f$ ノイズの低減のため、信号レベルと第 1 浮遊拡散領域 2 3 a 及び第 2 浮遊拡散領域 2 3 b をリセットしたときのレベルの差を取る回路がノイズキャンセル回路 8 3 及びノイズキャンセル回路 8 4 であり、信号レベルとリセット後のレベルをそれぞれ S , R でサンプルし、差を求める回路になっている。ノイズキャンセル回路自体は本発明の本質とあまり関わりがないので省略する。

【 0 0 4 8 】

以上説明したように、第 1 の実施の形態に係る固体撮像装置によれば、高速に電荷転送できる効果に加え、それぞれの画素において、排出ゲート電極 1 2 に所定の電圧を印加して、排出ドレイン領域 2 4 に背景光電荷の転送を行い、背景光の影響を抑制できるので、背景光電荷に起因したショットノイズを抑制でき、これにより、高い距離計測精度（距離分解能）と最大測距範囲が達成できる。

10

【 0 0 4 9 】

更に、第 1 の実施の形態に係る固体撮像装置によれば、それぞれの画素において、第 1 浮遊拡散領域 2 3 a 及び第 2 浮遊拡散領域 2 3 b への背景光電荷の蓄積が防止でき、第 1 浮遊拡散領域 2 3 a 及び第 2 浮遊拡散領域 2 3 b の容量を最大に生かして信号電荷を蓄積できるので、広いダイナミックレンジを実現できる。更に、ダイナミックレンジを、信号との最大値と、ノイズレベルで表すならば、背景光電荷に起因したノイズが減るので、ダイナミックレンジが増大する。

【 0 0 5 0 】

< 第 1 の実施の形態の変形例 >

20

図 2 に示したように、第 1 の実施の形態に係るロックインピクセルにおいては、平面パターン上、第 1 転送ゲート電極 1 1 a と第 2 転送ゲート電極 1 1 b がそれぞれ右斜め下方向及び左斜め下方向に配置された 2 つの転送ゲート電極を有する構造を例示的に示しているが、ロックインピクセルの構造は、図 2 に示すような平面構造に限定されるものではない。

【 0 0 5 1 】

本発明の第 1 の実施の形態の変形例に係る固体撮像装置（2次元ロックインイメージセンサ）は、図 1 2 に示すように、画素アレイ部（ $X_{11} \sim X_{1m}$; $X_{21} \sim X_{2m}$; \dots ; $X_{n1} \sim X_{nm}$ ）と周辺回路部（9 4 , 9 5 , 9 6 , $NC_1 \sim NC_m$ ）とを同一の半導体チップ上に集積化しており、画素アレイ部には、2次元マトリクス状に多数の高速電荷転送フォトダイオード 2 を備えた単位画素（ロックインピクセル） X_{ij} （ $i = 1 \sim m$; $j = 1 \sim n$; m, n はそれぞれ整数である。）が配列されている点では、図 1 に示した第 1 の実施の形態に係る固体撮像装置と同様である。しかしながら、図 1 3 に示すように、ロックインピクセルの構造が異なる。

30

【 0 0 5 2 】

即ち、図 1 3 に示す第 1 の実施の形態の変形例に係るロックインピクセルは、転送ゲート電極を 1 個有する構造である点で、図 2 に示した第 1 の実施の形態に係るロックインピクセルとは構造が異なる。図 1 3 では、転送ゲート電極 1 1 c により転送された信号電荷を蓄積する浮遊拡散領域 2 3 c が右下側にのみ配置された非対称のトポロジーであり、平面パターン上、排出ゲート電極 1 2 b が図 1 3 の縦方向（上下方向）の中心線上に、水平方向を長手方向（ゲート幅方向）として配置されている。排出ゲート電極 1 2 b は、背景光が電荷生成領域で生成した背景光電荷を、電荷収集領域 2 7 に収集後、図 1 3 の下方向に排出する。排出ゲート電極 1 2 b により排出された背景光電荷は、図 1 3 の下方向に設けられた排出ドレイン領域 2 4 に受け入れられる。

40

【 0 0 5 3 】

しかしながら、第 1 の実施の形態の変形例に係るロックインピクセルは、図 1 4 に示すように、排出ゲート電極 1 2 c と転送ゲート電極 1 1 d とが、図 1 4 の縦方向（上下方向）の中心線に関して対称に配置されるトポロジーでも構わない。

【 0 0 5 4 】

図 1 3 の右下側には、更に、浮遊拡散領域 2 3 c に隣接し、リセットゲート電極（図示

50

省略)と、このリセットゲート電極を介して、浮遊拡散領域23cに対向するリセットソース領域(図示省略)が斜め右下方方向に沿って配置されている。浮遊拡散領域23c、リセットゲート電極及びリセットソース領域とでのリセットトランジスタとなるMOSトランジスタが形成されている。リセットゲート電極に対し、制御信号Rをすべてハイ(H)レベルにして、浮遊拡散領域23cに蓄積された電荷をリセットソース領域に吐き出し、浮遊拡散領域23cをリセットする。図13に示されるように、第1の実施の形態の変形例に係るロックインピクセルにおいては、高速電荷転送フォトダイオード2が生成した信号電荷が電荷収集領域27の右斜め下方方向に転送されるように、平面パターン上、転送ゲート電極11cが、図13の右斜め下方方向において、その転送方向の垂直方向を長手方向(ゲート幅方向)として配置されている。浮遊拡散領域23cには、図13に示すように、図12に示した電圧読み出し用バッファアンプ82を構成する信号読み出しトランジスタ(増幅トランジスタ)MAのゲート電極が接続されている。信号読み出しトランジスタ(増幅トランジスタ)MAのソース電極は電源VDDに接続され、ドレイン電極は画素選択用のスイッチングトランジスタMSのソース電極に接続されている。画素選択用のスイッチングトランジスタMSのドレイン電極は、垂直信号線Biに接続され、ゲート電極には水平ラインの選択用制御信号Sが垂直シフトレジスタ及び垂直走査回路95から与えられる(図12参照。)。選択用制御信号Sをハイ(H)レベルにすることにより、スイッチングトランジスタMSが導通し、信号読み出しトランジスタ(増幅トランジスタ)MAで増幅された浮遊拡散領域23cの電位に対応する電流が垂直信号線Biに流れる。

10

【0055】

20

図14では、浮遊拡散領域23dに隣接し、リセットゲート電極(図示省略)と、このリセットゲート電極を介して、浮遊拡散領域23dに対向するリセットソース領域(図示省略)が配置されている。浮遊拡散領域23d、リセットゲート電極及びリセットソース領域とでのリセットトランジスタとなるMOSトランジスタが形成されている。リセットゲート電極に対し、制御信号Rをすべてハイ(H)レベルにして、浮遊拡散領域23dに蓄積された電荷をリセットソース領域に吐き出し、浮遊拡散領域23dをリセットする。図14に示されるように、第1の実施の形態の変形例に係るロックインピクセルにおいては、高速電荷転送フォトダイオード2が生成した信号電荷が電荷収集領域27を介して垂直方向に転送されるように、平面パターン上、転送ゲート電極11dが、水平方向を長手方向(ゲート幅方向)として電荷収集領域27の下側に配置されている。浮遊拡散領域23dには、図14に示すように、図12に示した電圧読み出し用バッファアンプ82を構成する信号読み出しトランジスタ(増幅トランジスタ)MAのゲート電極が接続されている。信号読み出しトランジスタ(増幅トランジスタ)MAのソース電極は電源VDDに接続され、ドレイン電極は画素選択用のスイッチングトランジスタMSのソース電極に接続されている。画素選択用のスイッチングトランジスタMSのドレイン電極は、垂直信号線Biに接続され、ゲート電極には水平ラインの選択用制御信号Sが垂直シフトレジスタ及び垂直走査回路95から与えられる(図12参照。)。選択用制御信号Sをハイ(H)レベルにすることにより、スイッチングトランジスタMSが導通し、信号読み出しトランジスタ(増幅トランジスタ)MAで増幅された浮遊拡散領域23dの電位に対応する電流が垂直信号線Biに流れる。

30

40

【0056】

ゲート絶縁膜32上に形成した転送ゲート電極11c, 11dには、図15のような制御パルス信号を与える。例えば制御パルス信号 $TX1 = 1V$ を転送ゲート電極11c, 11dに与えたとき、光により発生した電子は、右下側の浮遊拡散領域23cに転送される。この場合、排出ゲート電極12b, 12cは、背景光が電荷生成領域で生成した背景光電荷を図13及び図14の電荷収集領域27の下方方向に排出するように機能するので、背景光の影響を抑えることが可能である。

【0057】

図13又は図14に示すように、1つの転送ゲート電極11c, 11dと1つの排出ゲート電極12b, 12cをもつ場合は、図15のタイミング図に示すように、2つのフレ

50

ームで、光パルスの遅れ時間に依存した電荷（図15のA）と、遅れ時間に無関係な電荷（図15のB）に相当する信号を交互に読み出して、距離Lの計測を行う。遅れ時間に依存した電荷を検出する場合の電荷 Q_A は、

$$Q_A = I_p T_d \quad \dots\dots (9)$$

となり、遅れ時間に依存しない電荷 Q_B は、

$$Q_B = I_p T_0 \quad \dots\dots (10)$$

となるので、これらより、

$$T_d = T_0 (Q_A / Q_B) \quad \dots\dots (11)$$

となり、両者の電荷の比により、光パルスの遅れ時間が求められ、距離Lの計測が行える。

【0058】

第1の実施の形態の変形例に係るロックインピクセルにおいても、第1の実施の形態の変形例に係るロックインピクセルと同様に、高速に電荷転送できる効果に加え、排出ゲート電極12b, 12cに所定の電圧を印加して、排出ドレイン領域24b, 24cに背景光電荷の転送を行い、アクティブな照明との同期により背景光の影響を抑制できるので、背景光電荷に起因したショットノイズを抑制でき、これにより、高い距離計測精度（距離分解能）と最大測距範囲が達成できる。更に、第1の実施の形態の変形例に係るロックインピクセルによれば、浮遊拡散領域23c, 23dへの背景光電荷の蓄積が防止でき、浮遊拡散領域23c, 23dの容量を最大に生かして信号電荷を蓄積できるので、広いダイナミックレンジを実現できる。更に、ダイナミックレンジを、信号との最大値と、ノイズレベルで表すならば、背景光電荷に起因したノイズが減るので、ダイナミックレンジが増大する。

【0059】

（第2の実施の形態）

本発明の第2の実施の形態に係る固体撮像装置（2次元ロックインイメージセンサ）の全体構成は、図1にしたブロック図と同一であるため、重複した説明を省略するが、第2の実施の形態に係る固体撮像装置のそれぞれの画素（ロックインピクセル） $X_{11} \sim X_{1m}$; $X_{21} \sim X_{2m}$; $\dots\dots$; $X_{n1} \sim X_{nm}$ 内のTOF画素回路81として機能するロックインピクセルの構造は、図16及び図17(a)に示すように、第1の実施の形態に係るロックインピクセルの構造とは高速電荷転送フォトダイオード2の構造が異なる。

【0060】

図16の中央に示す遮光膜41のアパチャ42の直下に、高速電荷転送フォトダイオード2が形成され、平面パターンとして、図16において遮光膜41のアパチャ42の下側に電荷収集領域27が設けられ、この電荷収集領域27の下側の両側に、高速電荷転送フォトダイオード2が生成した信号電荷を交互に電荷収集領域27から転送する第1転送ゲート電極11a及び第2転送ゲート電極11bが斜め方向に分岐して配置されている点では、第1の実施の形態に係るロックインピクセルと同様である。しかしながら、第2の実施の形態に係るロックインピクセルの高速電荷転送フォトダイオード2では、図16及び図17に示すように転送方向（X方向）沿って電荷収集領域27に向かってn型表面埋込領域（第2導電型表面埋込領域）の不純物密度 $N_d = N_d(X)$ を、階段状に徐々に高くして転送方向（X方向）に向かって電子を加速する方向に電界を発生させている。この加速電界を発生する構造を利用して、電荷転送方向の電界分布をできるだけ広い範囲にわたって一定で大きな値となるようにして高速電荷転送フォトダイオード2を構成している点で第1の実施の形態に係るロックインピクセルとは異なる。

10

20

30

40

50

【 0 0 6 1 】

第 2 の実施の形態に係る高速電荷転送フォトダイオード 2 では、空乏化電位 V_p と n 型表面埋込領域（第 2 導電型表面埋込領域）の不純物密度 $N_d = N_d(X)$ との関係を、

$$V_p = f(N_d) \quad \dots \dots (12)$$

とすれば、(2) 式と同様に、

$$X = k V_p = k f(N_d) \quad \dots \dots (13)$$

10

の関係が成り立つように n 型表面埋込領域（第 2 導電型表面埋込領域）の不純物密度 $N_d = N_d(X)$ をコントロールすれば、電荷収集領域 27 に向かう転送方向（X 方向）への電界を一定にできる。ここで k は (2) 式と同様に定数である。

【 0 0 6 2 】

第 1 の実施の形態に係るロックインピクセルと同様であるが、図 16 に示すように、第 1 転送ゲート電極 11a により転送された信号電荷を蓄積する第 1 浮遊拡散領域 23a が電荷収集領域 27 の右下側に、第 2 転送ゲート電極 11b により転送された信号電荷を蓄積する第 2 浮遊拡散領域 23b が電荷収集領域 27 の左下側に配置されている。図 16 の右下側には、更に、第 1 浮遊拡散領域 23a に隣接し、第 1 リセットゲート電極（図示省略）と、この第 1 リセットゲート電極を介して、第 1 浮遊拡散領域 23a に対向する第 1
20
リセットソース領域（図示省略）が斜め右下方向に沿って配置されている。一方、図 16 の左下側には第 2 浮遊拡散領域 23b に隣接し、第 2 リセットゲート電極（図示省略）と、この第 2 リセットゲート電極を介して、第 2 浮遊拡散領域 23b に対向する第 2 リセットソース領域（図示省略）が斜め左下方向に沿って配置されている。第 1 浮遊拡散領域 23a、第 1 リセットゲート電極及び第 1 リセットソース領域とで第 1 のリセットトランジスタとなる MOS トランジスタが形成され、第 2 浮遊拡散領域 23b、第 2 リセットゲート電極及び第 2 リセットソース領域とで第 2 のリセットトランジスタとなる MOS トランジスタが形成されている。それぞれの第 1 リセットゲート電極及び第 2 リセットゲート電極に対し、制御信号 R をすべてハイ（H）レベルにして、第 1 浮遊拡散領域 23a 及び第 2 浮遊拡散領域 23b に蓄積された電荷を第 1 リセットソース領域及び第 2 リセットソ
30
ース領域にそれぞれ吐き出し、第 1 浮遊拡散領域 23a 及び第 2 浮遊拡散領域 23b をリセットする。

【 0 0 6 3 】

第 1 の実施の形態に係るロックインピクセルと同様であるが、図 16 に示されるように、平面パターン上、電荷収集領域 27 の下方において、排出ゲート電極 12 が図 16 の縦方向（上下方向）の中心線上に、水平方向を長手方向（ゲート幅方向）として配置されている。排出ゲート電極 12 は、背景光が電荷生成領域で生成した背景光電荷を電荷収集領域 27 に収集後、図 16 の下方向に電荷収集領域 27 から排出する。排出ゲート電極 12 により電荷収集領域 27 から排出された背景光電荷は、図 16 の下方向に設けられた排出
40
ドレイン領域 24 に受け入れられる。

【 0 0 6 4 】

図 17 (a) は図 16 に示したロックインピクセルの XVII - XVII 方向から見た断面構造であり、図 16 の中央の遮光膜 41 のアパ - チャ 42 の直下に示した高速電荷転送フォトダイオード 2 は、p 型半導体基板（第 1 導電型半導体層）20 をアノード領域（第 1 主電極領域）とし、このアノード領域（第 1 主電極領域）となる p 型半導体基板（第 1 導電型半導体層）20 の上部に設けられたカソード領域（第 2 主電極領域）となる第 1 の n 型表面埋込領域（第 2 導電型表面埋込領域）211、第 2 の n 型表面埋込領域（第 2 導電型表面埋込領域）212 及び第 3 の n 型表面埋込領域（第 2 導電型表面埋込領域）213 と備えている。

【 0 0 6 5 】

50

第1の実施の形態に係るロックインピクセルと同様に、第1の実施の形態に係るロックインピクセルにおいては、第1のn型表面埋込領域211、第2のn型表面埋込領域212及び第3のn型表面埋込領域213が電荷転送領域として機能するが、第1のn型表面埋込領域211、第2のn型表面埋込領域212及び第3のn型表面埋込領域213の直下だけでなく、遮光膜41の開口部(アパ-チャ)42の直下に位置する第1導電型半導体層20が、第2の実施の形態に係る高速電荷転送フォトダイオード2の電荷生成領域として機能するので、図16及び17(a)において、開口部(アパ-チャ)42の直下の領域が高速電荷転送フォトダイオード2として定義される。高速電荷転送フォトダイオード2においては、電荷生成領域で生成されたキャリア(電子)は、電荷生成領域の直上の第1のn型表面埋込領域211、第2のn型表面埋込領域212及び第3のn型表面埋込領域213にそれぞれ注入される。

10

【0066】

上記のように高速電荷転送フォトダイオード2の領域が定義されるので、第2の実施の形態に係るロックインピクセルにおいては、図17(b)に示した遮光膜41のアパ-チャ42の右側の縁を境界として、第1のn型表面埋込領域211、第2のn型表面埋込領域212及び第3のn型表面埋込領域213の重畳部分の右側を、第1のn型表面埋込領域211、第2のn型表面埋込領域212及び第3のn型表面埋込領域213の重畳部分と同一の重畳した半導体領域からなる電荷収集領域27を形成している。即ち、図17(b)のアパ-チャ42の右側の縁を境界とする、第1のn型表面埋込領域211、第2のn型表面埋込領域212及び第3のn型表面埋込領域213の重畳部分の左側が高速電荷転送フォトダイオード2の電荷転送領域となる。

20

【0067】

ここで、(13)式の関係が成り立つように、第2のn型表面埋込領域212の不純物密度 $N_d = n_2$ は第1のn型表面埋込領域211の不純物密度 $N_d = n_1$ よりも高く、第3のn型表面埋込領域213の不純物密度 $N_d = n_3$ は第2のn型表面埋込領域212の不純物密度 $N_d = n_2$ よりも高い。図16及び図17に示すように転送方向(X方向)に向かってn型表面埋込領域の不純物密度 N_d を、 n_1 、 n_2 、 n_3 と階段状に徐々に高くする構造は、複数回のイオン注入により、コントロールすることが可能である。或いは、イオンの阻止能の異なるバッファ膜を介して、1回のイオン注入で、複数回のイオン注入と等価なドーズ量の制御をしても良い。この第1のn型表面埋込領域211、第2のn型表面埋込領域212及び第3のn型表面埋込領域213の上部には、p型ピニング層(第1導電型ピニング層)22が配置されている。高速電荷転送フォトダイオード2を構成するp型半導体基板(第1導電型半導体層)20は、電荷生成領域として機能するので、不純物密度 $N_d = 6 \times 10^{11} \text{ cm}^{-3}$ 程度以上、 $2 \times 10^{15} \text{ cm}^{-3}$ 程度以下が好ましい。尚、p型半導体基板20の代わりに、不純物密度 $N_d = 4 \times 10^{17} \text{ cm}^{-3}$ 程度以上、 $1 \times 10^{21} \text{ cm}^{-3}$ 程度以下のシリコン基板の上に、不純物密度 $N_d = 6 \times 10^{11} \text{ cm}^{-3}$ 程度以上、 $2 \times 10^{15} \text{ cm}^{-3}$ 程度以下のシリコンエピタキシャル成長層を形成した構造を採用し、シリコンエピタキシャル成長層を電荷生成領域となる第1導電型半導体領域として用いても良い。第1のn型表面埋込領域211は、不純物密度 $N_d = 2 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度、第2のn型表面埋込領域212は、不純物密度 $N_d = 4 \times 10^{15} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度、第3のn型表面埋込領域213は、不純物密度 $N_d = 8 \times 10^{15} \text{ cm}^{-3} \sim 6 \times 10^{17} \text{ cm}^{-3}$ 程度の比較的低濃度のn型半導体領域であり、互いに(13)式の関係が成り立つようにそれぞれ選定される。より好ましくは、第1のn型表面埋込領域211は、不純物密度 $N_d = 5 \times 10^{15} \text{ cm}^{-3} \sim 1 \times 10^{17} \text{ cm}^{-3}$ 程度、第2のn型表面埋込領域212は、不純物密度 $N_d = 1 \times 10^{16} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度、第3のn型表面埋込領域213は、不純物密度 $N_d = 2 \times 10^{16} \text{ cm}^{-3} \sim 6 \times 10^{17} \text{ cm}^{-3}$ 程度の比較的低濃度のn型半導体領域として(13)式の関係が成り立つようにすれば良い。代表的には、例えば、第1のn型表面埋込領域211は、不純物密度 $N_d = 4 \times 10^{16} \text{ cm}^{-3}$ 程度、第2のn型表面埋込領域212は、不純物密度 $N_d = 8 \times 10^{16} \text{ cm}^{-3}$ 程度、第3のn型表面埋込領域213は、不純物密度 $N_d = 1.6 \times 10^{17} \text{ cm}^{-3}$ 程度の

30

40

50

値が採用して(13)式の関係が成り立つようにすることが可能であり、その厚さは0.1~3 μm 程度、好ましくは0.2~0.5 μm 程度とすることが可能である。第1のn型表面埋込領域211、第2のn型表面埋込領域212及び第3のn型表面埋込領域213の不純物密度Ndは、複数回のイオン注入により、コントロールすることが可能であるが、実際にはイオンのドーズ量だけでなく、図17(a)に示すように、第2のn型表面埋込領域212のイオン注入の加速電圧を第1のn型表面埋込領域211よりも高く、第3のn型表面埋込領域213のイオン注入の加速電圧を第2のn型表面埋込領域212よりも高くして、イオンの投影射程を変化させるのが実用上好ましい。p型ピニング層(第1導電型ピニング層)22は、不純物密度 $Nd3 \times 10^{17} \text{ cm}^{-3} \sim 1.5 \times 10^{20} \text{ cm}^{-3}$ 程度の比較的高濃度で、その厚さは20nm~1.0 μm 程度、好ましくは50nm~300nm程度とすれば良い。

10

【0068】

図17(a)に示したゲート絶縁膜32は、図17(a)では図示を省略しているが、図16において遮光膜41のアパ-チャ42の下側の左右の第1転送ゲート電極11a及び第2転送ゲート電極11bの下まで延伸している。図17(a)では、ゲート絶縁膜32は、遮光膜41のアパ-チャ42の直下から図17(a)の右方向(図16の下方向に相当する。)の排出ゲート電極12の下まで延伸している状態を示している。図17(a)に示すように、ゲート絶縁膜32の下には、遮光膜41のアパ-チャ42の直下から排出ゲート電極12の左側端部の直下まで左右に延伸するように第1のn型表面埋込領域211、第2のn型表面埋込領域212及び第3のn型表面埋込領域213が配置されている。即ち、第3のn型表面埋込領域213の右側部分で定義される電荷収集領域27の右側に隣接した第1導電型半導体層20の一部で、排出ゲート電極12の直下に位置する部分が排出チャンネルとして機能している。そして、排出ゲート電極12は、排出チャンネルの電位を、この排出チャンネルの上部にそれぞれ形成されたゲート絶縁膜32を介して静電的に制御し、背景光電荷を、排出チャンネルを介して、電荷収集領域27から第2導電型(n型)の排出ドレイン領域24に転送する。排出ドレイン領域24は、第1のn型表面埋込領域211、第2のn型表面埋込領域212及び第3のn型表面埋込領域213より高不純物密度Ndの半導体領域である。

20

【0069】

図17(a)では図示を省略しているが、図16の平面図から理解できるように、ゲート絶縁膜32の下には、アパ-チャ42の直下から第1転送ゲート電極11a及び第2転送ゲート電極11bの端部の直下まで第1のn型表面埋込領域211、第2のn型表面埋込領域212及び第3のn型表面埋込領域213が延伸している。即ち、図16において、電荷収集領域27となる第3のn型表面埋込領域213の右下側に隣接した第1導電型半導体層20の一部で、第1転送ゲート電極11aの直下に位置する部分が第1転送チャンネルとして機能している。一方、アパ-チャ42の直下(電荷生成領域の直上)の電荷収集領域27となる第3のn型表面埋込領域213の左下側に隣接した第1導電型半導体層20の他の一部で、第2転送ゲート電極11bの直下に位置する部分が第2転送チャンネルとして機能している。そして、第1転送ゲート電極11a及び第2転送ゲート電極11bは、第1及び第2転送チャンネルの電位を、この第1及び第2転送チャンネルの上部にそれぞれ形成されたゲート絶縁膜32を介して静電的に制御し、信号電荷を、第1及び第2転送チャンネルを介して交互に、電荷収集領域27から第2導電型(n型)の第1浮遊拡散領域23a及び第2浮遊拡散領域23bにそれぞれ転送する。第1浮遊拡散領域23a及び第2浮遊拡散領域23bは、それぞれ、第1のn型表面埋込領域211、第2のn型表面埋込領域212及び第3のn型表面埋込領域213より高不純物密度Ndの半導体領域である。

30

40

【0070】

第1浮遊拡散領域23aには、図16に示すように、図1に示した電圧読み出し用バッファアンプ82を構成する信号読み出しトランジスタ(増幅トランジスタ)MA1のゲート電極が接続され、第2浮遊拡散領域23bには、電圧読み出し用バッファアンプ82の

50

信号読み出しトランジスタ（増幅トランジスタ）MA2のゲート電極が接続されている。信号読み出しトランジスタ（増幅トランジスタ）MA1のソース電極は電源VDDに接続され、ドレイン電極は画素選択用のスイッチングトランジスタMS1のソース電極に接続されている。画素選択用のスイッチングトランジスタMS1のドレイン電極は、垂直信号線B_{i1}に接続され、ゲート電極には水平ラインの選択用制御信号Sが垂直シフトレジスタ及び垂直走査回路95から与えられる。信号読み出しトランジスタ（増幅トランジスタ）MA2のソース電極は電源VDDに接続され、ドレイン電極は画素選択用のスイッチングトランジスタMS2のソース電極に接続されている。画素選択用のスイッチングトランジスタMS2のドレイン電極は、垂直信号線B_{i2}に接続され、ゲート電極には水平ラインの選択用制御信号Sが垂直シフトレジスタ及び垂直走査回路95から与えられる。選択用制御信号Sをハイ（H）レベルにすることにより、スイッチングトランジスタMS1、MS2が導通し、信号読み出しトランジスタ（増幅トランジスタ）MA1、MA2で増幅された第1浮遊拡散領域23a、第2浮遊拡散領域23bの電位に対応する電流が垂直信号線B_{i1}、B_{i2}に流れる。

10

【0071】

図17(a)では、ゲート絶縁膜32とpウェル25との間のフィールド絶縁膜31として、微細化された集積回路の素子分離に用いられるシャロウ・トレンチ・アイソレーション（STI）構造の埋込絶縁膜（埋込酸化膜）を用いた例を示しているが、フィールド絶縁膜31としては、素子分離に用いられるLOCOS法と称される選択酸化法により形成されたフィールド酸化膜等の絶縁膜が利用可能である。

20

【0072】

フィールド絶縁膜31及びゲート絶縁膜32を熱酸化膜で形成する場合は、熱酸化膜の厚さは、150nm程度以上、1000nm程度以下、好ましくは200nm程度以上、400nm程度以下とすれば良い。ゲート絶縁膜32を熱酸化膜以外の誘電体膜とする場合は、熱酸化膜の比誘電率 ϵ_r （1MHzで $\epsilon_r = 3.8$ ）で換算した等価な厚さとすれば良い。例えば、比誘電率 $\epsilon_r = 4.4$ であるCVD酸化膜膜を用いるのであれば上記厚さを $4.4 / 3.8 = 1.16$ 倍した厚さを、比誘電率 $\epsilon_r = 7$ であるシリコン窒化物（Si₃N₄）膜を用いるのであれば上記厚さを $7 / 3.8 = 1.84$ 倍した厚さを採用すれば良い。但し、標準的なCMOS技術で形成される酸化膜（SiO₂膜）を用いるのが好ましく、CMOS技術におけるフィールド酸化膜を用いるのが製造工程の簡略化に適している。

30

【0073】

ゲート絶縁膜32上に形成した第1転送ゲート電極11a及び第2転送ゲート電極11bには、第1の実施の形態に係る固体撮像装置で説明したような図6のような制御パルス信号を与える。例えば制御パルス信号TX1 = 1Vを第1転送ゲート電極11aに、制御パルス信号TX2 = -2Vを第2転送ゲート電極11bに与えたとき、第1のn型表面埋込領域211、第2のn型表面埋込領域212及び第3のn型表面埋込領域213中の電子に対する電位障壁が下がり、光により発生した電子は、右下側の第1浮遊拡散領域23aに転送される。逆に、制御パルス信号TX1 = -2Vを第1転送ゲート電極11aに、制御パルス信号TX2 = 1Vを第2転送ゲート電極11bに与えると、光により発生した電子は、左下側の第2浮遊拡散領域23bに転送される。

40

【0074】

図17(b)は、図17(a)に示した第2の実施の形態に係る高速電荷転送フォトダイオード2の断面構造に対応する空乏化電位V_pのポテンシャル図を示す。図17(b)に示すように、電荷の転送方向(X方向)に沿って電荷収集領域27に向かうにしたがい、n型表面埋込領域の不純物密度N_d = N_d(X)を、階段状に徐々に高くすることによって、(13)式の関係が近似的に成り立つようにしている。第2の実施の形態に係る高速電荷転送フォトダイオード2では、X方向に対する空乏化電位V_pが右側の電荷収集領域27方向に行くに従い、徐々に大きくなる。これによって、第2の実施の形態に係る高速電荷転送フォトダイオード2では、電荷収集領域27へ向かうX方向への大きな電界が

50

広い範囲で形成される。

【0075】

尚、図16及び図17では、第1のn型表面埋込領域211、第2のn型表面埋込領域212及び第3のn型表面埋込領域213の3つのn型表面埋込領域を設けて、電荷収集領域27に向かう転送方向(X方向)に沿ってn型表面埋込領域の不純物密度 $N_d = N_d(X)$ を、階段状に徐々に高くする場合を例示的に示したが、3つのn型表面埋込領域に限定されるものではない。(13)式の関係がほぼ近似的に成り立つようにして転送方向(X方向)に向かって電子を加速する方向に電界を発生させることができるのであれば、n型表面埋込領域の個数は4つ以上でも構わない。

【0076】

工程が複雑になる問題があるが、転送方向(X方向)に沿ってn型表面埋込領域の個数を増やすことにより、互いに隣接するn型表面埋込領域の不純物密度の増加率 N_d をできるだけ小さくして、電荷転送方向の電界分布をできるだけ広い範囲にわたって一定で大きな値となるようにして高速電荷転送フォトダイオード2を構成するのが好ましい。即ち、図16及び図17では、n型表面埋込領域の不純物密度 $N_d = N_d(X)$ を階段状に離散的に変化させているが、理想的には、(12)式及び(13)式を満足する曲線に沿って、n型表面埋込領域の不純物密度 $N_d = N_d(X)$ を連続的に変化させることが好ましい。不純物密度 $N_d = N_d(X)$ を連続的に変化させるには、イオンの阻止能が連続的に変化するように、厚みが連続的に変化したバッファ膜を介して、イオン注入をすることも有効である。

【0077】

図16に示す第2の実施の形態に係るロックインピクセルにおける電荷転送は、第1の実施の形態に係るロックインピクセルと同様に、電荷収集領域27に向かって電界で加速されることにより高速に行われ、例えば、第1の実施の形態に係る固体撮像装置で説明した図11に示すような光パルスが照射されたとき、制御パルス信号 $TX1 = 1V$ の期間に照射された光パルスによる電荷は、電荷収集領域27から右斜め下側の第1浮遊拡散領域23aに転送され、制御パルス信号 $TX2 = 1V$ の期間に照射された光パルスによる電荷は、電荷収集領域27から左斜め下側の第2浮遊拡散領域23bに転送され、式(8)により、図1に示した対象物92までの距離 L が求められる。本発明の第2の実施の形態では、第1の実施の形態に係る固体撮像装置と同様に、信号電荷 Q_1, Q_2 の転送の構造に加えて、アクティブな照明との同期による背景光の影響の低減機能を備えている。即ち、背景光の影響をなくすため、図16の平面図の電荷収集領域27の下方向に、アクティブな照明との同期動作を行う排出ゲート電極12を設け、排出ゲート電極12を介して、背景光電荷は、吐き出口となる排出ドレイン領域24に排出される。排出ゲート電極12には、制御パルス信号 TXD を与え、図11のタイミング図に示したように、排出ゲート電極12に加える制御パルス信号 TXD の時間幅を、第1転送ゲート電極11a及び第2転送ゲート電極11bに加える制御パルス信号 $TX1, TX2$ の時間幅よりも長くしている。即ち、光パルスが投影されていない期間、制御パルス信号 TXD の電位を高くして、背景光で発生した背景光電荷を電荷収集領域27から排出ドレイン領域24に吐き出す。制御パルス信号 $TX1$ が第1転送ゲート電極11aに、制御パルス信号 $TX2$ が第2転送ゲート電極11bに与えられて、左右に信号電荷の振り分けを行っているときには、排出ゲート電極12に負の電圧(例えば $TXD = -2V$)を与えて、電位障壁を形成し、排出ドレイン領域24に電荷収集領域27から電荷が転送されないようにしておく。一方、背景光電荷を吐き出すときには、排出ゲート電極12に高い電位(例えば $1V$)を与えて、電荷収集領域27から排出ドレイン領域24に背景光電荷の転送をしやすくする。

【0078】

他は、第1の実施の形態に係るロックインピクセルと実質的に同様であるので、重複した説明を省略するが、第1の実施の形態に係るロックインピクセルと同様に、第2の実施の形態に係るロックインピクセルによっても、背景光の影響を有効に低減でき、これにより高い距離計測精度(距離分解能)、広い最大測距範囲及び広いダイナミックレンジを達

10

20

30

40

50

成できる。

【0079】

又、第2の実施の形態に係るロックインピクセルを画素として構成した場合の2次元アレイによる固体撮像装置においても、第1の実施の形態に係る固体撮像装置と同様に、高速に電荷転送できる効果に加え、背景光の影響を有効に低減でき、これにより高い距離計測精度（距離分解能）、広い最大測距範囲及び広いダイナミックレンジが達成できる。

【0080】

（その他の実施の形態）

上記のように、本発明は第1及び第2の実施の形態によって記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

【0081】

例えば、図2に示した第1の実施の形態において、電荷収集領域27の下側の両側に、高速電荷転送フォトダイオード2が生成した信号電荷を電荷収集領域27に収集後、交互に転送する第1転送ゲート電極11a及び第2転送ゲート電極11bが斜め方向に分岐して配置し、更に、第1転送ゲート電極11aにより転送された信号電荷を蓄積する第1浮遊拡散領域23aが右下側に、第2転送ゲート電極11bにより転送された信号電荷を蓄積する第2浮遊拡散領域23bが左下側に配置した構造を例示した。しかし、図2に示した平面構造において、第1浮遊拡散領域23aに転送された電荷を更に転送する第3転送ゲート電極及び第2浮遊拡散領域23bに転送された電荷を更に転送する第4転送ゲート電極をそれぞれ、斜め右方向及び斜め左に分岐して配置し、第3転送ゲート電極により転送された信号電荷を蓄積する第3浮遊拡散領域をその右下側に、第4転送ゲート電極により転送された信号電荷を蓄積する第4浮遊拡散領域をその左下側に配置して2段に転送する構造でもよい。図13、図14及び図16等に示した構造でも同様にタンデムに2段で転送する構造を採用可能である。

【0082】

更に、既に述べた第1及び第2の実施の形態とを組み合わせ、n型表面埋込領域21aの幅 $W = W(X)$ を徐々に広くすると同時に、n型表面埋込領域の不純物密度 $N_d = N_d(X)$ を徐々に高くして、両者の相乗効果により、転送方向（X方向）に向かって電子を加速する方向に電界を発生させ、これを利用して、電荷転送方向の電界分布をできるだけ広い範囲にわたって一定で大きな値となるようにしても良い。

【0083】

更に、既に述べた第1及び第2の実施の形態の説明では、アクティブな照明との同期による背景光の影響の低減機能を備えた固体撮像装置について例示的に説明したが、目的とする固体撮像装置の仕様等の要請によっては、排出ゲート電極12、12b、12cを省略して、アクティブな照明との同期による背景光の影響の低減機能を有さないようにすることも可能である。

【0084】

更に、既に述べた第1及び第2の実施の形態の説明では、TOF距離画像センサについて例示的に説明したが、本発明の高速電荷転送フォトダイオード2は、TOF距離画像センサ以外に、染色した生体細胞からの蛍光や蛍光寿命を測定するバイオイメージング用固体撮像装置や各種の計測を行う時間相関イメージセンサ等の種々の固体撮像装置に適用可能である。蛍光の測定は、特開2008-103647号に記載されているのと同様に、対象物で反射した励起光パルスと、この励起光パルスを受けて対象物から発生した蛍光とを本発明の固体撮像装置で測定し、励起光パルスの立ち下がり後の一定期間において信号電荷を選択的にn型表面埋込領域から浮遊拡散領域へ転送し、励起光照射時においてはn型表面埋込領域から電荷を排出ドレイン領域に排出するようにすれば良い。或いは、特開2008-103647号に記載されているのと同様に、対象物で反射した励起光パルスと、この励起光パルスを受けて対象物から発生した蛍光とを本発明の固体撮像装置で測定し、励起光パルスの立ち下がり後の第1の期間内において信号電荷の一部をn型表面埋込

10

20

30

40

50

領域から浮遊拡散領域へ転送し、浮遊拡散領域に蓄積した信号電荷を第1の蓄積電荷量として読み出し、第1の期間後の第2の期間において信号電荷の他の一部をn型表面埋込領域から浮遊拡散領域へ転送し、浮遊拡散領域に蓄積した信号電荷を第2の蓄積電荷量として読み出し、第1及び第2の蓄積電荷量の比から、蛍光の寿命を測定するようにすれば良い。

【0085】

更に、既に述べた第1及び第2の実施の形態の説明では、第1導電型をp型、第2導電型をn型として説明したが、第1導電型をn型、第2導電型をp型としても、電気的な極性を反対にすれば同様な効果が得られることは容易に理解できるであろう。

【0086】

その他の実施の形態に係る固体撮像装置(2次元ロックインイメージセンサ)として、図18に示すように、画素アレイ部($X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$)と周辺回路部(94, 95, 96, $NC_1 \sim NC_m$)とを同一の半導体チップ上に集積化し、画素アレイ部には、2次元マトリクス状に多数の高速電荷転送フォトダイオード2を備えた単位画素(ロックインピクセル) X_{ij} が配列した構成も採用可能である。図18に示す固体撮像装置は、基本的には図1に示した第1の実施の形態に係る固体撮像装置と同様であるが、図19に示すように、ロックインピクセルの構造が異なる。即ち、図19に示すように、中央に示す遮光膜41の矩形のアパチャ42の下側の辺に電荷蓄積ゲート13を設けて、アパチャ42の直下の電荷生成領域で生成されたキャリア(電子)を一旦、n型表面埋込領域21aとは分離したn型の浮遊拡散領域である電荷収集領域27に蓄積した後、第1転送ゲート電極11a及び第2転送ゲート電極11bに制御パルス信号を与えて、電荷収集領域27に蓄積したキャリア(電子)を右下側の第1浮遊拡散領域23a及び左下側の第2浮遊拡散領域23bに交互に転送するようにしても良い。電荷蓄積ゲート13には図18に示すように、タイミング制御回路から電荷蓄積信号 TX_3 が印加される。

【0087】

又、既に述べた第1及び第2の実施の形態の説明においては、2次元固体撮像装置(エリアセンサ)としてのTOF型距離画像センサを例示的に説明したが、本発明のロックインピクセルは2次元固体撮像装置の画素のみに用いられるように限定して解釈するべきではない。例えば、図1に示した2次元マトリクスにおいて、 $j = m = 1$ とした1次元固体撮像装置(ラインセンサ)の画素として複数のロックインピクセルを1次元に配列しても良いことは、上記開示の内容から、容易に理解できるはずである。

【0088】

この様に、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【図面の簡単な説明】

【0089】

【図1】本発明の第1の実施の形態に係る固体撮像装置(2次元ロックインイメージセンサ)の半導体チップ上のレイアウトを説明する模式的平面図である。

【図2】本発明の第1の実施の形態に係る固体撮像装置の画素(ロックインピクセル)の構成を説明する概略的な平面図である。

【図3】図3(a)は、図2のIII-III方向から見た模式的な断面図で、図3(b)は、図3(a)に対応するポテンシャル図である。

【図4】本発明の第1の実施の形態に係る高速電荷転送フォトダイオードのn型表面埋込領域の空乏化電位 V_p とn型表面埋込領域の幅 $W = W(X)$ との関係を示す図である。

【図5】本発明の第1の実施の形態に係る高速電荷転送フォトダイオードにおいて、転送方向の $x = 0 \mu\text{m}$ から $x = 6 \mu\text{m}$ にわたり、一定の比率 $L = 1.4 \mu\text{m}, 3.0 \mu\text{m}, 4.0 \mu\text{m}$ で、n型表面埋込領域の幅 $W = W(X)$ をそれぞれ変化させた平面パターンの形状を説明する模式図である。

10

20

30

40

50

【図 6】図 5 に示した n 型表面埋込領域の平面形状の場合において、転送方向に沿った n 型表面埋込領域の中心軸上の電界分布と転送方向に沿った電子の発生位置との関係を示す図である。

【図 7】図 5 に示した n 型表面埋込領域の平面形状の場合において、転送方向に沿った電子の発生位置と電子の転送に要する時間との関係を示す図である。

【図 8】本発明の第 1 の実施の形態に係る高速電荷転送フォトダイオードにおいて、チャンネル幅の増加の比率 $L = L(X)$ を、X 座標と共に変化させた場合の n 型表面埋込領域の平面パターンの形状を説明する模式図である。

【図 9】図 8 に示した n 型表面埋込領域の平面形状の場合において、転送方向に沿った n 型表面埋込領域の中心軸上の電界分布と転送方向に沿った電子の発生位置との関係を示す図である。

10

【図 10】図 8 に示した n 型表面埋込領域の平面形状の場合において、転送方向に沿った電子の発生位置と電子の転送に要する時間との関係を示す図である。

【図 11】第 1 の実施の形態に係るロックインピクセルの受光ゲート電極に入射するパルス光と、第 1 転送ゲート電極、第 2 転送ゲート電極及び排出ゲート電極に印加する制御パルス信号との動作タイミングの関係を説明するタイミングチャートである。

【図 12】本発明の第 1 の実施の形態の変形例に係る固体撮像装置（2 次元ロックインイメージセンサ）の半導体チップ上のレイアウトを説明する模式的平面図である。

【図 13】本発明の第 1 の実施の形態の変形例に係る固体撮像装置の画素の一部となるロックインピクセルの構成を説明する概略的な平面図である。

20

【図 14】本発明の第 1 の実施の形態の変形例に係る固体撮像装置の画素の一部となるロックインピクセルの他の構成を説明する概略的な平面図である。

【図 15】本発明の第 1 の実施の形態の変形例に係るロックインピクセルの受光ゲート電極に入射するパルス光と、第 1 転送ゲート電極、第 2 転送ゲート電極及び排出ゲート電極に印加する制御パルス信号との動作タイミングの関係を説明するタイミングチャートである。

【図 16】本発明の第 2 の実施の形態に係る固体撮像装置の画素（ロックインピクセル）の構成を説明する概略的な平面図である。

【図 17】図 17 (a) は、図 16 の XVII - XVII 方向から見た模式的な断面図で、図 17 (b) は、図 17 (a) に対応するポテンシャル図である。

30

【図 18】本発明の他の実施の形態に係る固体撮像装置（2 次元ロックインイメージセンサ）の半導体チップ上のレイアウトを説明する模式的平面図である。

【図 19】図 18 に示した他の実施の形態に係る固体撮像装置の画素（ロックインピクセル）の構成を説明する概略的な平面図である。

【符号の説明】

【0090】

$X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$... 画素（ロックインピクセル）

2 ... 高速電荷転送フォトダイオード

1 1 a ... 第 1 転送ゲート電極

1 1 b ... 第 2 転送ゲート電極

40

1 1 c , 1 1 d ... 転送ゲート電極

1 2 , 1 2 b , 1 2 c ... 排出ゲート電極

1 3 ... 電荷蓄積ゲート

2 0 ... 第 1 導電型半導体層

2 1 a ... n 型表面埋込領域

2 2 ... p 型ピニング層（第 1 導電型ピニング層）

2 3 a ... 第 1 浮遊拡散領域

2 3 b ... 第 2 浮遊拡散領域

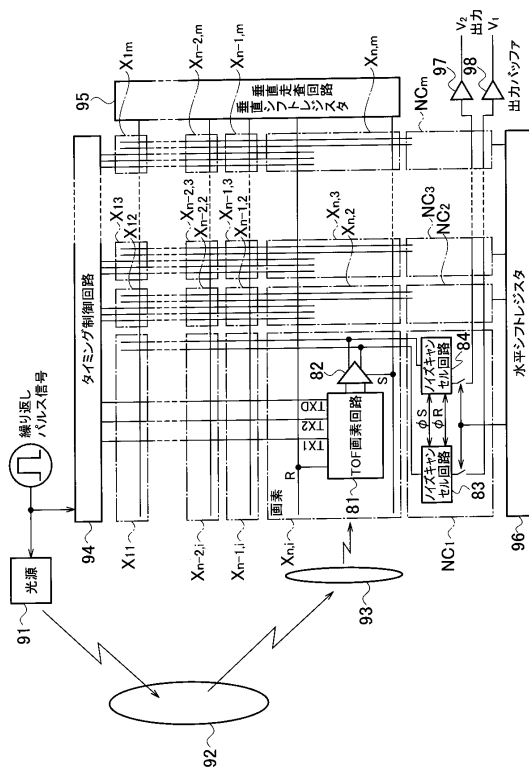
2 3 c , 2 3 d ... 浮遊拡散領域

2 4 , 2 4 b , 2 4 c ... 排出ドレイン領域

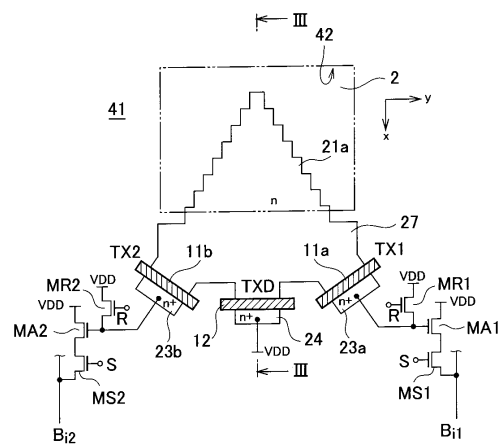
50

- 2 5 ... p ウェル
- 2 7 ... 電荷収集領域
- 3 1 ... フィールド絶縁膜
- 3 2 ... ゲート絶縁膜
- 4 1 ... 遮光膜
- 8 1 ... T O F 画素回路
- 8 2 ... 電圧読み出し用バッファアンプ
- 8 3 ... ノイズキャンセル回路
- 8 4 ... ノイズキャンセル回路
- 9 1 ... 光源
- 9 2 ... 対象物
- 9 4 ... タイミング制御回路
- 9 5 ... 垂直走査回路
- 9 6 ... 水平シフトレジスタ
- 2 1 1 ... 第 1 の n 型表面埋込領域
- 2 1 2 ... 第 2 の n 型表面埋込領域
- 2 1 3 ... 第 3 の n 型表面埋込領域

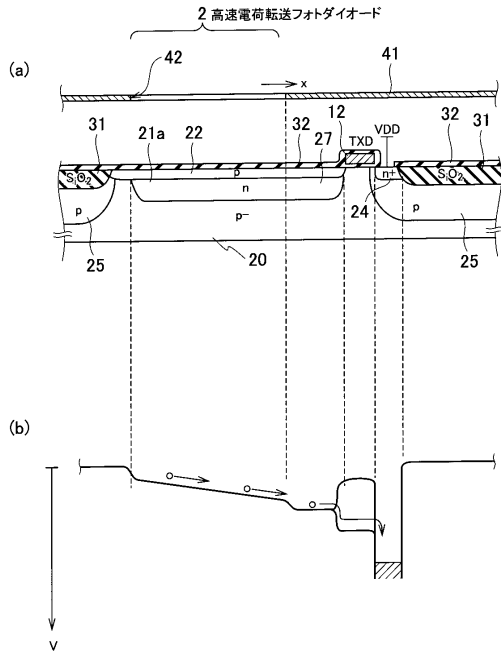
【 図 1 】



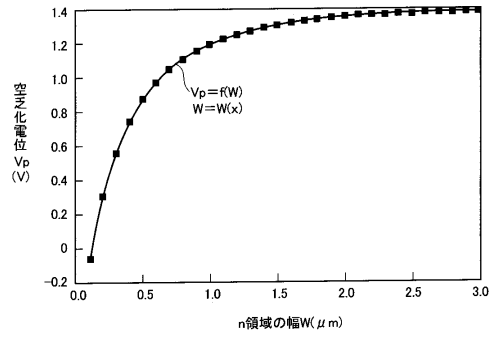
【 図 2 】



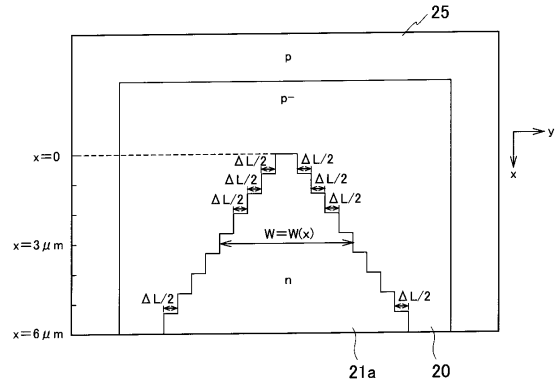
【図3】



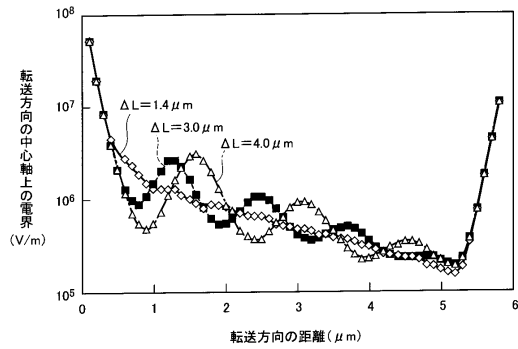
【図4】



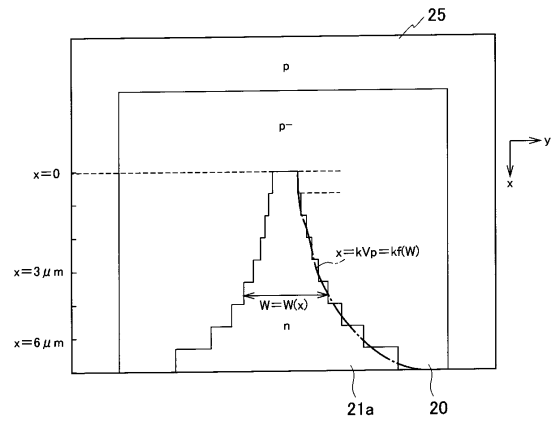
【図5】



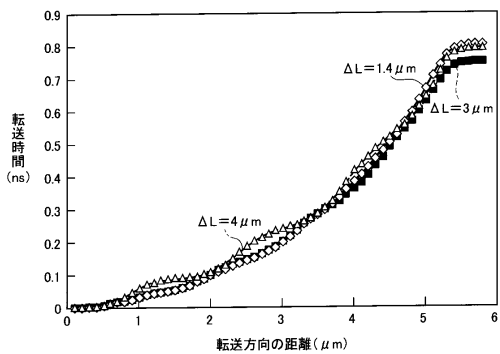
【図6】



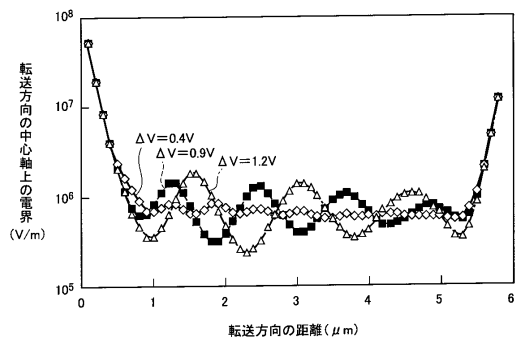
【図8】



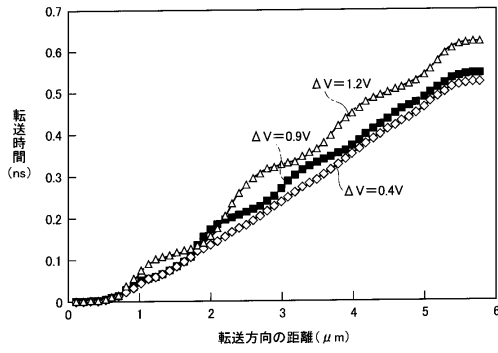
【図7】



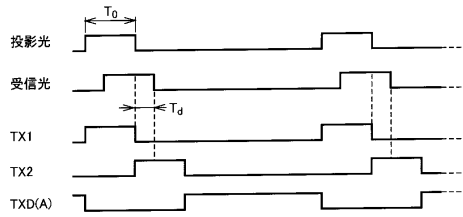
【図9】



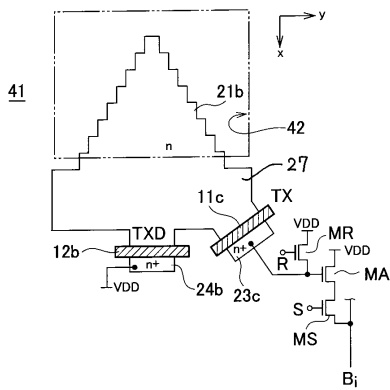
【図10】



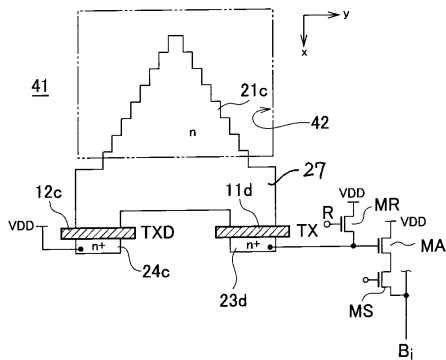
【図11】



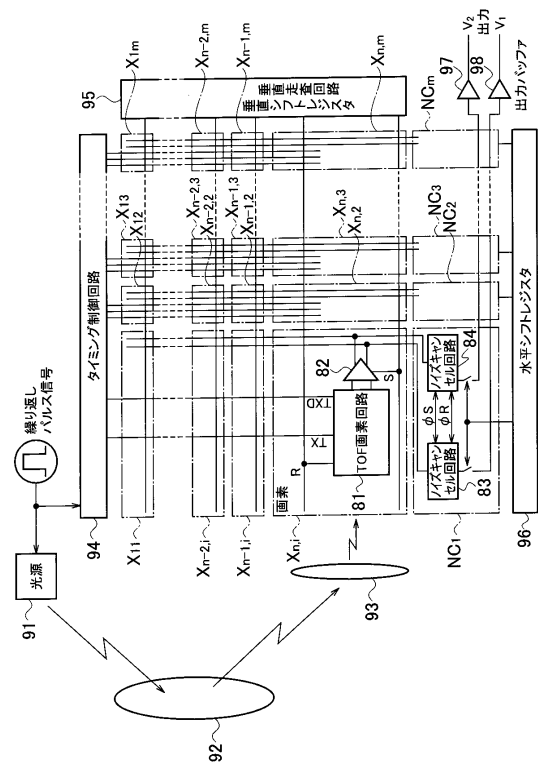
【図13】



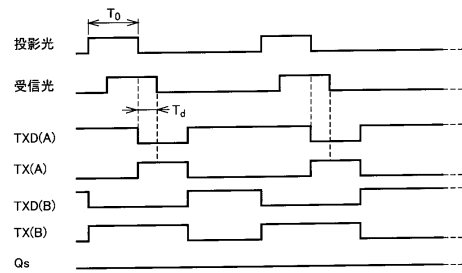
【図14】



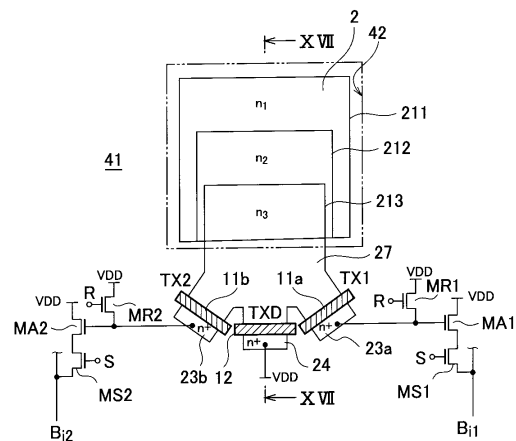
【図12】



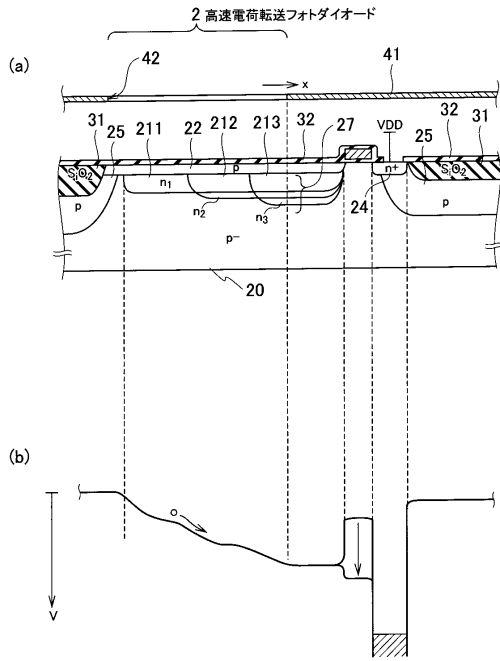
【図15】



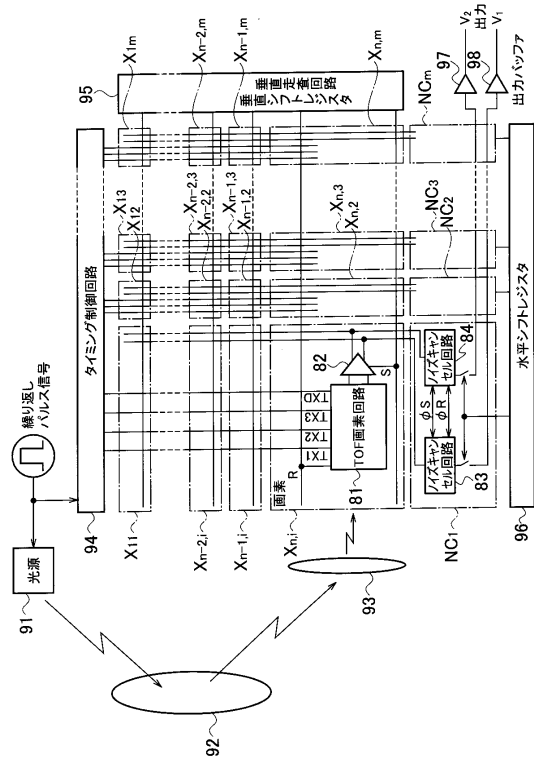
【図16】



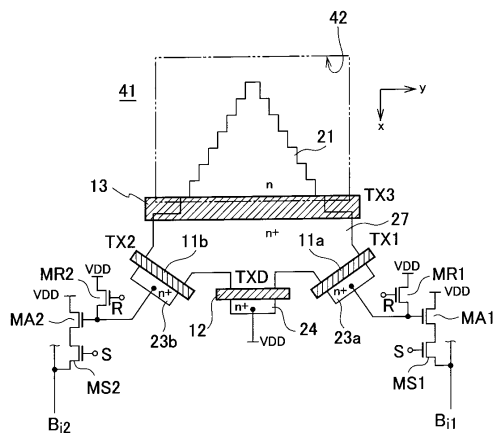
【図17】



【図18】



【図19】



フロントページの続き

- (56)参考文献 特開平05 - 283670 (JP, A)
特開昭61 - 248554 (JP, A)
特開平05 - 283666 (JP, A)
特開平05 - 347401 (JP, A)
特開2000 - 236081 (JP, A)
特開2002 - 231926 (JP, A)
特開2009 - 021316 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 27/146、31/10
H04N 5/369、5/374、5/378