

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4117700号
(P4117700)

(45) 発行日 平成20年7月16日(2008.7.16)

(24) 登録日 平成20年5月2日(2008.5.2)

(51) Int. Cl.	F I
GO 1 R 31/00 (2006.01)	GO 1 R 31/00
GO 1 R 31/26 (2006.01)	GO 1 R 31/26 H
HO 2 M 9/04 (2006.01)	HO 2 M 9/04 B

請求項の数 3 (全 10 頁)

(21) 出願番号	特願2001-140289 (P2001-140289)	(73) 特許権者	390014306 防衛省技術研究本部長 東京都新宿区市谷本村町5番1号
(22) 出願日	平成13年5月10日(2001.5.10)	(73) 特許権者	000154358 富士電機アドバンステクノロジー株式会社 東京都日野市富士町1番地
(65) 公開番号	特開2002-340958 (P2002-340958A)	(74) 代理人	100088339 弁理士 篠部 正治
(43) 公開日	平成14年11月27日(2002.11.27)	(72) 発明者	井口 良夫 東京都板橋区東坂下1-6-10-806
審査請求日	平成17年7月5日(2005.7.5)	(72) 発明者	園田 利明 東京都目黒区中目黒2-2-30 A-108

最終頁に続く

(54) 【発明の名称】 急峻波電圧発生装置

(57) 【特許請求の範囲】

【請求項1】

直流電源によって充電される充電用コンデンサに火花ギャップが直列接続されてなるインパルス発生回路と、このインパルス発生回路に放電抵抗を介して波頭調整用コンデンサが並列接続され、急峻波電圧の出力端が放電ギャップを介して前記波頭調整用コンデンサの両端に接続されてなるピーキング回路とにより構成され、始動パルスが前記火花ギャップに注入されるとともに、第1のトリガパルスが前記始動パルスより所定時間遅れて前記放電ギャップに注入されるように構成され、始動パルスの注入でもって前記火花ギャップを短絡させることにより充電用コンデンサに充電されていた電荷を波頭調整用コンデンサに蓄積させ、次に第1のトリガパルスの注入でもって前記放電ギャップを短絡させることにより波頭調整用コンデンサに蓄積されていた電荷を負荷側に放出しピーキング回路の出力端に急峻波電圧を発生させる急峻波電圧発生装置において、前記第1のトリガパルスを発生させる第1のトリガ電源が、前記直流電源でもって充電される第1のトリガ用コンデンサと、この第1のトリガ用コンデンサに直列接続される第1のトリガギャップと、この第1のトリガギャップと第1のトリガ用コンデンサとの直列回路に並列接続されるとともに第1のインダクタおよび第1のキャパシタでもって構成された第1の遅延回路とで構成され、第1のトリガギャップに前記始動パルスが注入され第1のトリガギャップを短絡させることにより第1のトリガ用コンデンサに充電されていた電荷を第1の遅延回路に入力させ前記第1のトリガパルスを始動パルスより前記所定時間だけ遅らせて出力させることを特徴とする急峻波電圧発生装置。

【請求項 2】

直流電源によって充電される充電用コンデンサに火花ギャップが直列接続されてなるインパルス発生回路と、このインパルス発生回路に短絡ギャップが並列接続されるとともにこの短絡ギャップに放電抵抗を介して波頭調整用コンデンサが並列接続され、急峻波電圧の出力端が放電ギャップを介して前記波頭調整用コンデンサの両端に接続されてなるピーキング回路とにより構成され、始動パルスが前記火花ギャップに注入されるとともに、第1のトリガパルスが前記始動パルスより所定時間遅れて前記放電ギャップに注入されるように構成され、第2のトリガパルスが前記放電ギャップの短絡時刻付近で短絡ギャップに注入されるように構成され、始動パルスの注入でもって前記火花ギャップを短絡させることによって充電用コンデンサに充電されていた電荷を波頭調整用コンデンサに蓄積させ、次に第1のトリガパルスの注入でもって前記放電ギャップを短絡させることによって波頭調整用コンデンサに蓄積されていた電荷を負荷側に放出しピーキング回路の出力端に急峻波電圧を発生させ、さらに、第2のトリガパルスの注入でもって前記短絡ギャップを短絡させる急峻波電圧発生装置において、前記第2のトリガパルスを発生させる第2のトリガ電源が、前記直流電源でもって充電される第2のトリガ用コンデンサと、この第2のトリガ用コンデンサに直列接続される第2のトリガギャップと、この第2のトリガギャップと第2のトリガ用コンデンサとの直列回路に並列接続されるとともに第2のインダクタおよび第2のキャパシタでもって構成された第2の遅延回路とで構成され、第2のトリガギャップに前記始動パルスが注入され第2のトリガギャップを短絡させることによって第2のトリガ用コンデンサに充電されていた電荷を第2の遅延回路に入力させ前記第2のトリガパルスを前記放電ギャップの短絡時刻付近で出力させることを特徴とする急峻波電圧発生装置。

10

20

【請求項 3】

請求項 2 に記載の急峻波電圧発生装置において、前記第1のトリガパルスを発生させる第1のトリガ電源が、前記直流電源でもって充電される第1のトリガ用コンデンサと、この第1のトリガ用コンデンサに直列接続される第1のトリガギャップと、この第1のトリガギャップと第1のトリガ用コンデンサとの直列回路に並列接続されるとともに第1のインダクタおよび第1のキャパシタでもって構成された第1の遅延回路とで構成され、第1のトリガギャップに前記始動パルスが注入され第1のトリガギャップを短絡させることによって第1のトリガ用コンデンサに充電されていた電荷を第1の遅延回路に入力させ前記第1のトリガパルスを始動パルスより所定時間だけ遅らせて出力させることを特徴とする急峻波電圧発生装置。

30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、10 ns よりも短い時間で急峻に立ち上がる波形の電圧発生装置に関し、特に、誤動作し難いとともに低コストな装置に関する。

【0002】

【従来の技術】

急峻な波形の電磁波ノイズが電子機器に侵入し、その電子機器が誤動作することが最近大きな問題になっている。IC や LSI などの集積半導体素子は、電子機器の縮小化や価格の低減など多大な効果をもたらした。しかし、一方では個々の素子の寸法が縮小化されたことから、外来の電磁波ノイズによる誤動作や局所的な絶縁損傷が生じやすくなってきた。そのために、電子機器の耐ノイズ性を向上させる努力が懸命に払われている。このような電子機器の耐ノイズ性を評価するために人工的な電磁波発生装置が必要になってきている。すなわち、電磁波発生装置に電子機器をセットし、急峻に立ち上がるパルス性の電磁波によって電子機器の誤動作や素子の損傷が認められないか否かが試験される。急峻波電圧発生装置は前記のような電磁波発生装置に組み込まれ、空中線などの負荷に急峻波電圧を印加することによって電磁場を形成させている。

40

【0003】

50

図 2 は、従来の急峻波電圧発生装置の構成を示す回路図である。インパルス発生回路 2 の構成は、直列接続された複数の充電用コンデンサ C_G のそれぞれに直列に火花ギャップ 3 が介装され、この充電用コンデンサ C_G のそれぞれに並列に直流電源 1 が接続されている。インパルス発生回路 2 の出力端 2 A には、ピーキング回路 5 が接続されている。このピーキング回路 5 は、出力端 2 A に並列に短絡ギャップ 10 が接続され、この短絡ギャップ 10 に並列に放電抵抗 R_C を介して波頭調整用コンデンサ C_p が接続されている。ピーキング回路 5 の出力端 5 A は放電ギャップ 6 を介して波頭調整用コンデンサ C_p に並列接続されている。

【 0 0 0 4 】

図 2 において、トリガ信号源 7 が始動パルス 3 A を発生させるための電源であり、トリガ電源 8 , 9 がそれぞれ第 1 のトリガパルス 6 A , 第 2 のトリガパルス 6 B を発生させるための電源である。始動パルス 3 A は複数の火花ギャップ 3 にそれぞれ注入され火花ギャップ 3 を短絡させるためのパルスである。また、第 1 のトリガパルス 6 A は放電ギャップ 6 に注入され放電ギャップ 6 を短絡させるためのパルスであり、第 2 のトリガパルス 6 B は短絡ギャップ 10 に注入され短絡ギャップ 10 を短絡させるためのパルスである。トリガ電源 8 , 9 は同じ回路構成を備え、遅延回路 17 の出力がゲート駆動回路 19 に入力され、このゲート駆動回路 19 の出力が半導体スイッチ 22 のゲートに入力されている。半導体スイッチ 22 と、直流電源 20 によって直流充電された始動用コンデンサ 21 との直列回路がパルストランス 23 の低圧巻線に並列接続され、パルストランス 23 の高圧巻線からそれぞれ第 1 のトリガパルス 6 A , 第 2 のトリガパルス 6 B が出力されるようになっている。トリガ信号源 7 からの始動パルス 3 A を遅延回路 17 が受け、遅延回路 17 が始動パルス 3 A を遅らせた後、ゲート駆動回路 19 に出力する。ゲート駆動回路 19 の出力信号でもって半導体スイッチ 22 が短絡状態になるので、始動用コンデンサ 21 に充電されていた電荷がパルストランス 23 の低圧巻線に流れ込む。それによって、それぞれのパルストランス 23 の高圧巻線に高圧の第 1 のトリガパルス 6 A , 第 2 のトリガパルス 6 B が誘起される。

【 0 0 0 5 】

図 2 の急峻波電圧発生装置の動作としては、ピーキング回路 5 の出力端 5 A に図示されていない負荷が接続された状態で、各充電用コンデンサ C_G が直流電源 1 によって充電される。次に、火花ギャップ 3 に始動パルス 3 A が注入され火花ギャップ 3 を短絡させる。火花ギャップ 3 の短絡によって充電用コンデンサ C_G に蓄えられていた電荷がピーキング回路 5 の方へ流れ出し、放電抵抗 R_C を介して一旦波頭調整用コンデンサ C_p に蓄積される。波頭調整用コンデンサ C_p にある程度の電荷が蓄えられたときに、放電ギャップ 6 に第 1 のトリガパルス 6 A が注入され、放電ギャップ 6 の短絡によって立ち上がり時間の短い急峻波電圧が出力端 5 A に発生する。立ち上がりの時間が $1 \mu s$ 以上の電圧を発生させる場合にはインパルス発生回路 2 だけで充分であるが、立ち上がりの時間が $100 ns$ 以下の急峻な電圧を発生させる場合には、ピーキング回路 5 が必要になって来る。なお、短絡ギャップ 10 は、必ずしも必要ではないが、放電ギャップ 6 の短絡時刻の付近で短絡ギャップ 10 に第 2 のトリガパルス 6 B を注入させることにより、短絡ギャップ 10 が絶縁破壊しインパルス発生回路 2 の出力端 2 A が短絡される。それによって、後述されるように出力端 5 A に発生する電圧波形の持続幅を短くすることができる。

【 0 0 0 6 】

図 3 は、図 2 の急峻波電圧発生装置から発生する電圧波形を計算した結果を示すタイムチャートであり、図 4 は図 3 の要部拡大タイムチャートである。すなわち、横軸 t は火花ギャップ 3 を短絡させた時からの時間であり、縦軸 V は電圧である。回路定数としては、放電抵抗 R_C を 1000 、充電用コンデンサ C_G のトータルの直列容量を $35 nF$ 、波頭調整用コンデンサ C_p を $1.5 nF$ とした。放電ギャップ 6 を短絡させる時間 t_p は $6 \mu s$ 、短絡ギャップ 10 を短絡させる時間 t_c は $6.2 \mu s$ にそれぞれ設定された。図 3 において、波形 11 (一点鎖線) がインパルス発生回路 2 の出力端 2 A に発生する電圧 V_0 、波形 12 (点線) が図 2 における波頭調整用コンデンサ C_p にかかる電圧 V_1 、波形 1

10

20

30

40

50

3 (実線) がピーキング回路 5 の出力端 5 A に発生する電圧 V_2 である。火花ギャップ 3 を短絡されると、波形 1 1 は直ぐに立ち上がり直列に接続された充電用コンデンサ C_c のトータルの充電電圧に等しくなる。一方、波形 1 2 は放電抵抗 R_c が 1000 と大きいので、ある時定数でもって緩やかに上昇する。時間 t_p において放電ギャップ 6 が短絡されると、波形 1 1 は僅かに変歪するがほぼ充電用コンデンサ C_c の充電電圧のまま保持される。その時間 t_p において波形 1 3 が急峻に立ち上がり、直ぐに減衰し始める。時間 t_c において短絡ギャップ 1 0 が短絡されると波形 1 1 は急に零まで裁断されるが、波形 1 3 は波頭調整用コンデンサ C_p と負荷のインピーダンスと放電抵抗 R_c とによって決まる時定数でもって減衰するようになり、急峻でかつ持続時間の短い電圧波形が得られる。なお、波形 1 3 は時間 t_c において僅かに変曲している。これは、時間 t_c において短絡ギャップ 1 0 が短絡されるのでインパルス発生回路 2 の出力端 2 A が短絡し、波形 1 3 の減衰時定数が変わるためである。

10

【0007】

すなわち、図 4 において、波形 1 3 (実線) は時間 t_c が $6.2 \mu s$ に設定された場合であるが、短絡ギャップ 1 0 が短絡されない場合は波形 2 9 (一点鎖線) のように持続時間が長くなるだけである。したがって、図 2 の短絡ギャップ 1 0 をあえて設けなくても、波形 2 9 のような急峻波電圧を発生させることができる。しかし、短絡ギャップ 1 0 を短絡させることによって、波形 2 9 の持続時間を調整することができる。短絡ギャップ 1 0 を短絡させる時間 t_c は時間 t_p の前であってもよく、また時間 t_p であってもよく、さらに、時間 t_p の後であってもよい。波形 1 3 (実線) は時間 t_c が $6.2 \mu s$ の場合であり、時間 t_p より $0.2 \mu s$ 後である。時間 t_c が $6.2 \mu s$ 以降はインパルス発生回路 2 が短絡されるので急峻波電圧の時定数が小さくなり、それによって、波形 1 3 の持続時間が短くなっている。一方、波形 1 6 (点線) は時間 t_c が $5.8 \mu s$ または $6.0 \mu s$ の場合のものである。その場合のインパルス発生回路 2 の出力端 2 A に発生する電圧 V_0 は、図 3 のようにそれぞれ波形 1 4 (t_c が $5.8 \mu s$)、波形 1 5 (t_c が $6.0 \mu s$) となるが、ピーキング回路 5 の出力端 5 A に発生する電圧 V_2 の波形 1 6 は図 4 のように波形 1 3 とは殆ど変わらない。したがって、短絡ギャップ 1 0 を短絡させる時間 t_c は、放電ギャップ 6 を短絡させる時間 t_p の付近であれば、時間 t_p の前後付近ならいずれの時間であってもよい。しかも、波形 1 3 や波形 1 6 の持続幅は、インパルス発生回路 2 の回路定数には全く依存せず、放電抵抗 R_c や波頭調整用コンデンサ C_p 、負荷側の回路定数だけによって決まる。なお、放電抵抗 R_c の抵抗値を負荷側のインピーダンスより遙に大きくしておけば、波形 1 3 や波形 1 6 の持続幅は波頭調整用コンデンサ C_p のキャパシタンスと負荷側のインピーダンスだけによってほぼ決まる。

20

30

【0008】

【発明が解決しようとする課題】

しかしながら、前述したような従来の装置は、誤動作し易いとともにコスト高であるという問題があった。

すなわち、従来の急峻波発生装置のトリガ電源が半導体からなる遅延回路やゲート駆動回路、半導体スイッチでもって構成されている。そのために、外来ノイズに影響され誤動作し易かった。また、トリガ電源の始動用コンデンサを充電するための直流電源も必要としコスト高であった。

40

【0009】

この発明の目的は、誤動作し難くするとともに低コスト化することにある。

【0010】

【課題を解決するための手段】

上記目的を達成するために、この発明によれば、直流電源によって充電される充電用コンデンサに火花ギャップが直列接続されてなるインパルス発生回路と、このインパルス発生回路に放電抵抗を介して波頭調整用コンデンサが並列接続され、急峻波電圧の出力端が放電ギャップを介して前記波頭調整用コンデンサの両端に接続されてなるピーキング回路とにより構成され、始動パルスが前記火花ギャップに注入されるとともに、第 1 のトリガパ

50

ルスが前記始動パルスより所定時間遅れて前記放電ギャップに注入されるように構成され、始動パルスの注入でもって前記火花ギャップを短絡させることにより充電用コンデンサに充電されていた電荷を波頭調整用コンデンサに蓄積させ、次に第1のトリガパルスの注入でもって前記放電ギャップを短絡させることによって波頭調整用コンデンサに蓄積されていた電荷を負荷側に放出しピーキング回路の出力端に急峻波電圧を発生させる急峻波電圧発生装置において、前記第1のトリガパルスを発生させる第1のトリガ電源が、前記直流電源でもって充電される第1のトリガ用コンデンサと、この第1のトリガ用コンデンサに直列接続される第1のトリガギャップと、この第1のトリガギャップと第1のトリガ用コンデンサとの直列回路に並列接続されるとともに第1のインダクタおよび第1のキャパシタでもって構成された第1の遅延回路とで構成され、第1のトリガギャップに前記始動パルスが注入され第1のトリガギャップを短絡させることによって第1のトリガ用コンデンサに充電されていた電荷を第1の遅延回路に入力させ前記第1のトリガパルスを始動パルスより前記所定時間だけ遅らせて出力させるようにするとよい。それによって、第1のトリガ電源に半導体を一切使用する必要がなくなり、第1のトリガ電源が誤動作し難くなる。また、第1のトリガ電源にもう一つの直流電源を使用する必要もなくなり低コストになる。

10

【0011】

また、上記目的を達成するために、この発明によれば、直流電源によって充電される充電用コンデンサに火花ギャップが直列接続されてなるインパルス発生回路と、このインパルス発生回路に短絡ギャップが並列接続されるとともにこの短絡ギャップに放電抵抗を介して波頭調整用コンデンサが並列接続され、急峻波電圧の出力端が放電ギャップを介して前記波頭調整用コンデンサの両端に接続されてなるピーキング回路とにより構成され、始動パルスが前記火花ギャップに注入されるとともに、第1のトリガパルスが前記始動パルスより所定時間遅れて前記放電ギャップに注入されるように構成され、第2のトリガパルスが前記放電ギャップの短絡時刻付近で短絡ギャップに注入されるように構成され、始動パルスの注入でもって前記火花ギャップを短絡させることにより充電用コンデンサに充電されていた電荷を波頭調整用コンデンサに蓄積させ、次に第1のトリガパルスの注入でもって前記放電ギャップを短絡させることによって波頭調整用コンデンサに蓄積されていた電荷を負荷側に放出しピーキング回路の出力端に急峻波電圧を発生させ、さらに、第2のトリガパルスの注入でもって前記短絡ギャップを短絡させる急峻波電圧発生装置において、前記第2のトリガパルスを発生させる第2のトリガ電源が、前記直流電源でもって充電される第2のトリガ用コンデンサと、この第2のトリガ用コンデンサに直列接続される第2のトリガギャップと、この第2のトリガギャップと第2のトリガ用コンデンサとの直列回路に並列接続されるとともに第2のインダクタおよび第2のキャパシタでもって構成された第2の遅延回路とで構成され、第2のトリガギャップに前記始動パルスが注入され第2のトリガギャップを短絡させることによって第2のトリガ用コンデンサに充電されていた電荷を第2の遅延回路に入力させ前記第2のトリガパルスを前記放電ギャップの短絡時刻付近で出力させるようにするとよい。それによって、第2のトリガ電源に半導体を一切使用する必要がなくなり、第2のトリガ電源が誤動作し難くなる。また、第2のトリガ電源に直流電源を使用する必要もなくなり低コストになる。

20

30

40

【0012】

また、かかる構成において、前記第1のトリガパルスを発生させる第1のトリガ電源が、前記直流電源でもって充電される第1のトリガ用コンデンサと、この第1のトリガ用コンデンサに直列接続される第1のトリガギャップと、この第1のトリガギャップと第1のトリガ用コンデンサとの直列回路に並列接続されるとともに第1のインダクタおよび第1のキャパシタでもって構成された第1の遅延回路とで構成され、第1のトリガギャップに前記始動パルスが注入され第1のトリガギャップを短絡させることによって第1のトリガ用コンデンサに充電されていた電荷を第1の遅延回路に入力させ前記第1のトリガパルスを始動パルスより所定時間だけ遅らせて出力させるようにするとよい。それによって、第1のトリガ電源および第2のトリガ電源に半導体を一切使用する必要がなくなり、両方のト

50

リガ電源とも誤動作し難くなる。また、両者のトリガ電源はいずれも直流電源を使用する必要もなくなり低コストになる。

【0013】

【発明の実施の形態】

以下、この発明を実施例に基づいて説明する。図1は、この発明の実施例にかかる急峻波電圧発生装置の構成を示す回路図である。第1のトリガパルス6Aを発生させる第1のトリガ電源27Aが、直流電源1から抵抗 R_1 、 R_2 を介して充電される第1のトリガ用コンデンサ25Aと、この第1のトリガ用コンデンサ25Aに直列接続される第1のトリガギャップ24Aと、この第1のトリガギャップ24Aと第1のトリガ用コンデンサ25Aとの直列回路に並列接続されるとともに第1のインダクタ L_A および第1のキャパシタ C_A でもって形成される第1の遅延回路18Aと、この第1の遅延回路18Aの出力側にコンデンサ C_0 を介して接続されたパルストランス28とで構成されている。第1のトリガギャップ24Aに始動パルス3Aが注入され第1のトリガギャップ24Aを短絡させることによって第1のトリガ用コンデンサ25Aに充電されていた電荷が第1の遅延回路18Aに入力される。第1の遅延回路18Aは、入力された信号を所定時間遅らせて出力する。パルストランス28は、第1の遅延回路18Aの出力信号を低圧巻線に受け昇圧させた後、高圧巻線から第1のトリガパルス6Aを放電ギャップ6へ出力する。一方、第2のトリガパルス6Bを発生させる第2のトリガ電源27Bも第1のトリガ電源27Aと同様な回路構成である。すなわち、第2のトリガ電源27Bが、直流電源1から抵抗 R_1 、 R_2 を介して充電された第2のトリガ用コンデンサ25Bと、この第2のトリガ用コンデンサ25Bに直列接続された第2のトリガギャップ24Bと、この第2のトリガギャップ24Bと第2のトリガ用コンデンサ25Bとの直列回路に並列接続されるとともに第2のインダクタ L_B および第2のキャパシタ C_B でもって形成された第2の遅延回路18Bとで構成されている。第2のトリガギャップ24Bに始動パルス3Aが注入され第2のトリガギャップ24Bを短絡させることによって第2のトリガ用コンデンサ25Bに充電されていた電荷が第2の遅延回路18Bに入力される。第2の遅延回路18Bは、入力された信号を遅らせて第2のトリガパルス6Bを短絡ギャップ10へ出力する。図1のその他は、図2の従来構成と同一であり、同じ部分には同一符号を付することによって詳細な説明は省略する。

【0014】

図1において、第1のトリガ電源27A内のコンデンサ C_0 は第1のトリガコンデンサ25Aが直流充電されるときにその充電電流がパルストランス28の低圧巻線に流れ込まないようにするためのものである。また、パルストランス28は第1のトリガ電源27Aの内部回路を高電圧から保護するためのものである。すなわち、インパルス発生回路2の充電用コンデンサ C_0 が複数段直列に接続されている場合(図1は4段の場合)に急峻波電圧を発生させると、放電ギャップ6の両者の電極が直流電源1の出力電圧の約複数倍(充電用コンデンサ C_0 の段数倍)という高い電圧になる。この高電圧から第1のトリガ電源27Aの内部回路を保護するためにパルストランス28が介装されている。したがって、パルストランス28は、インパルス発生回路2の充電用コンデンサ C_0 が1段の場合は無くても構わない。一方、短絡ギャップ10の一方の電極(図1の下側の電極)には高い電圧が発生しないので、この下側の電極に向けて第2のトリガパルス6Bを注入する構成とすれば第2のトリガ電源27Bにはパルストランスは不用である。しかし、第2のトリガ電源27Bの内部回路の保護用として、第2のトリガ電源27Bの出力側にパルストランスを介装しても構わない。

【0015】

図1におけるように、第1のトリガ電源27A、第2のトリガ電源27Bに半導体を一切使用する必要がなくなり、誤動作し難くなる。それによって、急峻波電圧による試験を確実にかつ効率よく実施することができるようになった。また、第1のトリガ電源27Aおよび第2のトリガ電源27Bにそれぞれ専用の直流電源を設ける必要がなくなり装置が低コストになり、経済性も向上した。

10

20

30

40

50

【 0 0 1 6 】

なお、図 1 の実施例はピーキング回路 5 に短絡ギャップ 1 0 が介装されている場合であるが、短絡ギャップ 1 0 が介装されていない急峻波電圧発生装置の場合は、第 1 のトリガ電源 2 7 A だけになる。また、図 1 の実施例は第 1 のトリガ電源 2 7 A , 第 2 のトリガ電源 2 7 B として両方とも半導体を使用しないものが用いられているが、必ずしもこれに限る必要はない。例えば、両方のトリガ電源が互いに異なる位置に設置され、一方のトリガ電源がノイズの影響を受けなければその方のトリガ電源は図 2 のような半導体を用いた従来のトリガ電源 8 , 9 を用いても構わない。

【 0 0 1 7 】

【 発明の効果 】

この発明は前述のように、第 1 のトリガパルスが発生させる第 1 のトリガ電源が、直流電源でもって充電される第 1 のトリガ用コンデンサと、この第 1 のトリガ用コンデンサに直列接続される第 1 のトリガギャップと、この第 1 のトリガギャップと第 1 のトリガ用コンデンサとの直列回路に並列接続されるとともに第 1 のインダクタおよび第 1 のキャパシタでもって構成された第 1 の遅延回路とで構成され、第 1 のトリガギャップに始動パルスが注入され第 1 のトリガギャップを短絡させることによって第 1 のトリガ用コンデンサに充電されていた電荷を第 1 の遅延回路に入力させ前記第 1 のトリガパルスを始動パルスより所定時間だけ遅らせて出力させるようにすることによって、第 1 のトリガ電源が誤動作し難くなり、急峻波電圧による試験を確実にかつ効率よく実施することができるようになった。また、低コストになり、経済性も向上した。

【 0 0 1 8 】

また、第 2 のトリガパルスが発生させる第 2 のトリガ電源が、直流電源でもって充電される第 2 のトリガ用コンデンサと、この第 2 のトリガ用コンデンサに直列接続される第 2 のトリガギャップと、この第 2 のトリガギャップと第 2 のトリガ用コンデンサとの直列回路に並列接続されるとともに第 2 のインダクタおよび第 2 のキャパシタでもって構成された第 2 の遅延回路とで構成され、第 2 のトリガギャップに始動パルスが注入され第 2 のトリガギャップを短絡させることによって第 2 のトリガ用コンデンサに充電されていた電荷を第 2 の遅延回路に入力させ第 2 のトリガパルスを放電ギャップの短絡時刻付近で出力させるようにすることによって、第 2 のトリガ電源が誤動作し難くなり、急峻波電圧による試験を確実にかつ効率よく実施することができるようになった。また、低コストになり、経済性も向上した。

【 0 0 1 9 】

また、かかる構成において、第 1 のトリガパルスが発生させる第 1 のトリガ電源が、直流電源でもって充電される第 1 のトリガ用コンデンサと、この第 1 のトリガ用コンデンサに直列接続される第 1 のトリガギャップと、この第 1 のトリガギャップと第 1 のトリガ用コンデンサとの直列回路に並列接続されるとともに第 1 のインダクタおよび第 1 のキャパシタでもって構成された第 1 の遅延回路とで構成され、第 1 のトリガギャップに始動パルスが注入され第 1 のトリガギャップを短絡させることによって第 1 のトリガ用コンデンサに充電されていた電荷を第 1 の遅延回路に入力させ第 1 のトリガパルスを始動パルスより所定時間だけ遅らせて出力させるようにすることによって、第 1 のトリガ電源と第 2 のトリガ電源がともに誤動作し難くなり、急峻波電圧による試験を確実にかつ効率よく実施することができるようになった。また、低コストになり、経済性も向上した。

【 図面の簡単な説明 】

【 図 1 】 この発明の実施例にかかる急峻波電圧発生装置の構成を示す回路図

【 図 2 】 従来の急峻波電圧発生装置の構成を示す回路図

【 図 3 】 図 2 の急峻波電圧発生装置から発生する電圧波形を計算した結果を示すタイムチャート

【 図 4 】 図 3 の要部拡大タイムチャート

【 符号の説明 】

1 : 直流電源、 2 : インパルス発生回路、 3 : 火花ギャップ、 3 A : 始動パルス、 5 : ピ

10

20

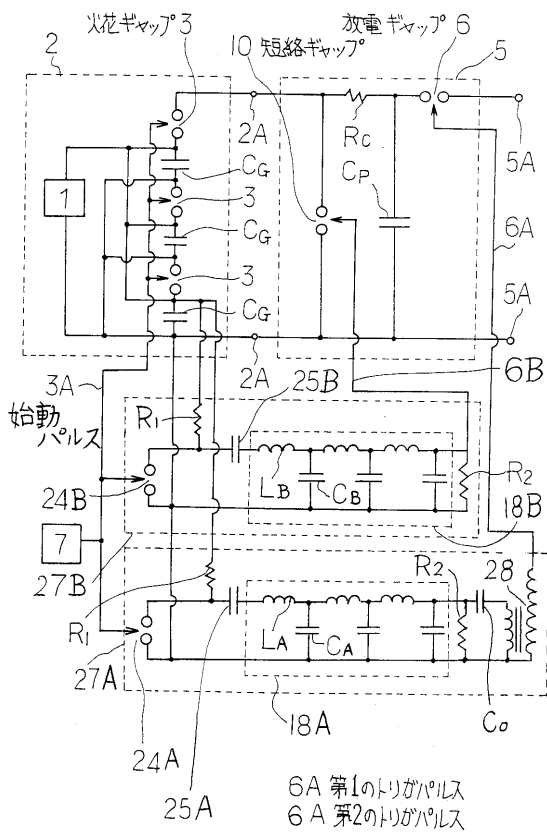
30

40

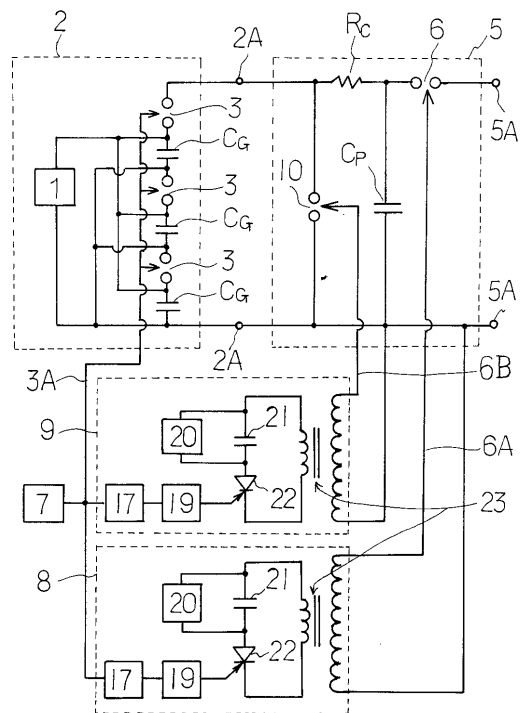
50

ーキング回路、6：放電ギャップ、6A：第1のトリガパルス、6B：第2のトリガパルス、8，9：トリガ電源、10：短絡ギャップ、17：遅延回路、18A：第1の遅延回路、18B：第2の遅延回路、24A：第1のトリガギャップ、24B：第2のトリガギャップ、25A：第1のトリガ用コンデンサ、25B：第2のトリガ用コンデンサ、27A：第1のトリガ電源、27B：第2のトリガ電源、 C_G ：充電用コンデンサ、 C_P ：波頭調整用コンデンサ、 R_C ：放電抵抗、 L_A ：第1のインダクタ、 C_A ：第1のコンデンサ、 L_B ：第2のインダクタ、 C_B ：第2のコンデンサ

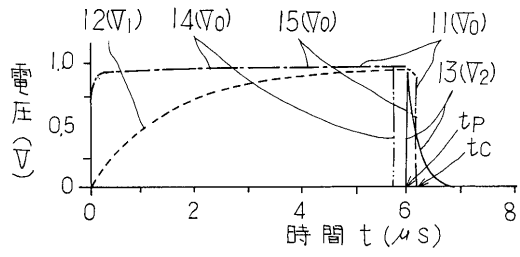
【図1】



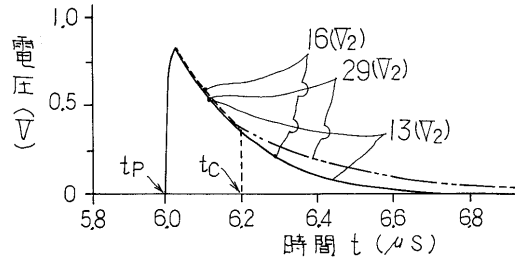
【図2】



【 図 3 】



【 図 4 】



フロントページの続き

(72)発明者 四蔵 達之
神奈川県横須賀市長坂2丁目2番1号 株式
会社富士電機総合研究所内

(72)発明者 佐久間 政喜
神奈川県横須賀市長坂2丁目2番1号 株式
会社富士電機総合研究所内

審査官 藤原 伸二

(56)参考文献 特開平03-194480(JP,A)
実開昭61-128829(JP,U)
特開2000-152666(JP,A)
特開昭57-135690(JP,A)

(58)調査した分野(Int.Cl., DB名)

G01R 31/00

G01R 31/26

H02M 9/04