

| (51)Int.Cl. ⁷ | 識別記号 | F I | テ-マコード (参考) |
|--------------------------|------|------------|-------------|
| G01R 31/00 | | G01R 31/00 | 2G003 |
| 31/26 | | 31/26 | H 2G036 |
| H02M 9/04 | | H02M 9/04 | B 5H790 |

審査請求 未請求 請求項の数3 O L (全7頁)

| | | | |
|----------|-----------------------------------|---------|---|
| (21)出願番号 | 特願2001 - 140289(P 2001 - 140289) | (71)出願人 | 390014306 防衛庁技術研究本部長 東京都新宿区市谷本村町5番1号 |
| (22)出願日 | 平成13年5月10日(2001.5.10) | (71)出願人 | 000154358 株式会社富士電機総合研究所 神奈川県横須賀市長坂2丁目2番1号 |
| | | (72)発明者 | 井口 良夫 東京都板橋区東坂下1-6-10-806 |
| | | (72)発明者 | 園田 利明 東京都目黒区中目黒2-2-30 A-108 |
| | | (74)代理人 | 100088339 弁理士 篠部 正治 |

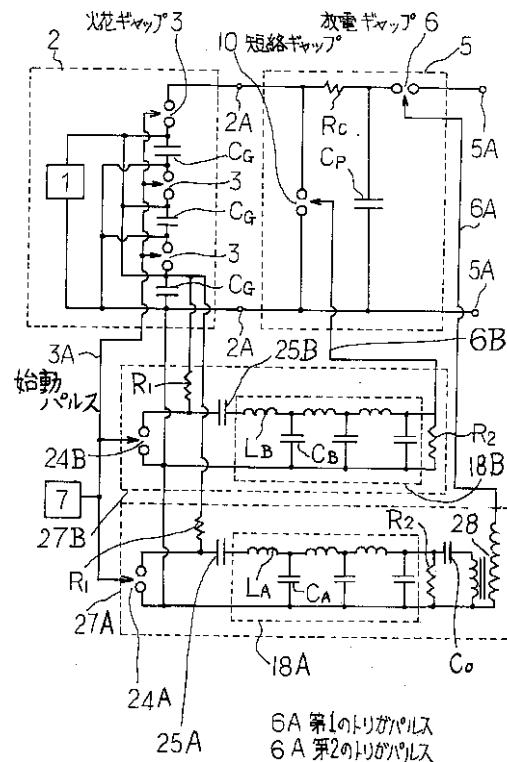
最終頁に続く

(54)【発明の名称】急峻波電圧発生装置

(57)【要約】

【課題】誤動作し難くするとともに低コストにする。

【解決手段】第1のトリガパルス6Aを発生させる第1のトリガ電源27Aが、直流電源1でもって充電される第1のトリガ用コンデンサ25Aと、この第1のトリガ用コンデンサ25Aに直列接続される第1のトリガギャップ24Aと、この第1のトリガギャップ24Aと第1のトリガ用コンデンサ25Aとの直列回路に並列接続されるとともに第1のインダクタL_A および第1のキャパシタC_A でもって構成された第1の遅延回路18Aとで構成され、第1のトリガギャップ24Aに始動パルス3Aが注入され第1のトリガギャップ24Aを短絡させることによって第1のトリガ用コンデンサ25Aに充電されていた電荷を第1の遅延回路18Aに入力させ第1のトリガパルス6Aを始動パルス3Aより所定時間だけ遅らせて出力させる。



【特許請求の範囲】

【請求項 1】直流電源によって充電される充電用コンデンサに火花ギャップが直列接続されてなるインパルス発生回路と、このインパルス発生回路に放電抵抗を介して波頭調整用コンデンサが並列接続され、急峻波電圧の出力端が放電ギャップを介して前記波頭調整用コンデンサの両端に接続されてなるピーキング回路とにより構成され、始動パルスが前記火花ギャップに注入されるとともに、第 1 のトリガパルスが前記始動パルスより所定時間遅れて前記放電ギャップに注入されるように構成され、始動パルスの注入でもって前記火花ギャップを短絡させることにより充電用コンデンサに充電されていた電荷を波頭調整用コンデンサに蓄積させ、次に第 1 のトリガパルスの注入でもって前記放電ギャップを短絡させることにより波頭調整用コンデンサに蓄積されていた電荷を負荷側に放出しピーキング回路の出力端に急峻波電圧を発生させる急峻波電圧発生装置において、前記第 1 のトリガパルスを発生させる第 1 のトリガ電源が、前記直流電源でもって充電される第 1 のトリガ用コンデンサと、この第 1 のトリガ用コンデンサに直列接続される第 1 のトリガギャップと、この第 1 のトリガギャップと第 1 のトリガ用コンデンサとの直列回路に並列接続されるとともに第 1 のインダクタおよび第 1 のキャパシタでもって構成された第 1 の遅延回路とで構成され、第 1 のトリガギャップに前記始動パルスが注入され第 1 のトリガギャップを短絡させることにより第 1 のトリガ用コンデンサに充電されていた電荷を第 1 の遅延回路に入力させ前記第 1 のトリガパルスを始動パルスより前記所定時間だけ遅らせて出力させることを特徴とする急峻波電圧発生装置。

【請求項 2】直流電源によって充電される充電用コンデンサに火花ギャップが直列接続されてなるインパルス発生回路と、このインパルス発生回路に短絡ギャップが並列接続されるとともにこの短絡ギャップに放電抵抗を介して波頭調整用コンデンサが並列接続され、急峻波電圧の出力端が放電ギャップを介して前記波頭調整用コンデンサの両端に接続されてなるピーキング回路とにより構成され、始動パルスが前記火花ギャップに注入されるとともに、第 1 のトリガパルスが前記始動パルスより所定時間遅れて前記放電ギャップに注入されるように構成され、第 2 のトリガパルスが前記放電ギャップの短絡時刻付近で短絡ギャップに注入されるように構成され、始動パルスの注入でもって前記火花ギャップを短絡させることにより充電用コンデンサに充電されていた電荷を波頭調整用コンデンサに蓄積させ、次に第 1 のトリガパルスの注入でもって前記放電ギャップを短絡させることにより波頭調整用コンデンサに蓄積されていた電荷を負荷側に放出しピーキング回路の出力端に急峻波電圧を発生させ、さらに、第 2 のトリガパルスの注入でもって前記短絡ギャップを短絡させる急峻波電圧発生装置におい

て、前記第 2 のトリガパルスを発生させる第 2 のトリガ電源が、前記直流電源でもって充電される第 2 のトリガ用コンデンサと、この第 2 のトリガ用コンデンサに直列接続される第 2 のトリガギャップと、この第 2 のトリガギャップと第 2 のトリガ用コンデンサとの直列回路に並列接続されるとともに第 2 のインダクタおよび第 2 のキャパシタでもって構成された第 2 の遅延回路とで構成され、第 2 のトリガギャップに前記始動パルスが注入され第 2 のトリガギャップを短絡させることにより第 2 のトリガ用コンデンサに充電されていた電荷を第 2 の遅延回路に入力させ前記第 2 のトリガパルスを前記放電ギャップの短絡時刻付近で出力させることを特徴とする急峻波電圧発生装置。

【請求項 3】請求項 2 に記載の急峻波電圧発生装置において、前記第 1 のトリガパルスを発生させる第 1 のトリガ電源が、前記直流電源でもって充電される第 1 のトリガ用コンデンサと、この第 1 のトリガ用コンデンサに直列接続される第 1 のトリガギャップと、この第 1 のトリガギャップと第 1 のトリガ用コンデンサとの直列回路に並列接続されるとともに第 1 のインダクタおよび第 1 のキャパシタでもって構成された第 1 の遅延回路とで構成され、第 1 のトリガギャップに前記始動パルスが注入され第 1 のトリガギャップを短絡させることにより第 1 のトリガ用コンデンサに充電されていた電荷を第 1 の遅延回路に入力させ前記第 1 のトリガパルスを始動パルスより所定時間だけ遅らせて出力させることを特徴とする急峻波電圧発生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、10 ns よりも短い時間で急峻に立ち上がる波形の電圧発生装置に関し、特に、誤動作し難いとともに低コストな装置に関する。

【0002】

【従来の技術】急峻な波形の電磁波ノイズが電子機器に侵入し、その電子機器が誤動作することが最近大きな問題になっている。IC や LSI などの集積半導体素子は、電子機器の縮小化や価格の低減など多大な効果をもたらした。しかし、一方では個々の素子の寸法が縮小化されたことから、外来の電磁波ノイズによる誤動作や局部的な絶縁損傷が生じやすくなってきた。そのために、電子機器の耐ノイズ性を向上させる努力が懸命に払われている。このような電子機器の耐ノイズ性を評価するために人工的な電磁波発生装置が必要になってきている。すなわち、電磁波発生装置に電子機器をセットし、急峻に立ち上がるパルス性の電磁波によって電子機器の誤動作や素子の損傷が認められないか否かが試験される。急峻波電圧発生装置は前記のような電磁波発生装置に組み込まれ、空中線などの負荷に急峻波電圧を印加することによって電磁場を形成させている。

【0003】図2は、従来の急峻波電圧発生装置の構成を示す回路図である。インパルス発生回路2の構成は、直列接続された複数の充電用コンデンサ C_c のそれぞれに直列に火花ギャップ3が介装され、この充電用コンデンサ C_c のそれぞれに並列に直流電源1が接続されている。インパルス発生回路2の出力端2Aには、ピーキング回路5が接続されている。このピーキング回路5は、出力端2Aに並列に短絡ギャップ10が接続され、この短絡ギャップ10に並列に放電抵抗 R_d を介して波頭調整用コンデンサ C_a が接続されている。ピーキング回路5の出力端5Aは放電ギャップ6を介して波頭調整用コンデンサ C_a に並列接続されている。

【0004】図2において、トリガ信号源7が始動パルス3Aを発生させるための電源であり、トリガ電源8, 9がそれぞれ第1のトリガパルス6A, 第2のトリガパルス6Bを発生させるための電源である。始動パルス3Aは複数の火花ギャップ3にそれぞれ注入され火花ギャップ3を短絡させるためのパルスである。また、第1のトリガパルス6Aは放電ギャップ6に注入され放電ギャップ6を短絡させるためのパルスであり、第2のトリガパルス6Bは短絡ギャップ10に注入され短絡ギャップ10を短絡させるためのパルスである。トリガ電源8, 9は同じ回路構成を備え、遅延回路17の出力がゲート駆動回路19に入力され、このゲート駆動回路19の出力が半導体スイッチ22のゲートに入力されている。半導体スイッチ22と、直流電源20によって直流充電された始動用コンデンサ21との直列回路がパルストランス23の低圧巻線に並列接続され、パルストランス23の高圧巻線からそれぞれ第1のトリガパルス6A, 第2のトリガパルス6Bが出力されるようになっている。トリガ信号源7からの始動パルス3Aを遅延回路17が受け、遅延回路17が始動パルス3Aを遅らせた後、ゲート駆動回路19に出力する。ゲート駆動回路19の出力信号でもって半導体スイッチ22が短絡状態になるので、始動用コンデンサ21に充電されていた電荷がパルストランス23の低圧巻線に流れ込む。それによって、それぞれのパルストランス23の高圧巻線に高圧の第1のトリガパルス6A, 第2のトリガパルス6Bが誘起される。

【0005】図2の急峻波電圧発生装置の動作としては、ピーキング回路5の出力端5Aに図示されていない負荷が接続された状態で、各充電用コンデンサ C_c が直流電源1によって充電される。次に、火花ギャップ3に始動パルス3Aが注入され火花ギャップ3を短絡させる。火花ギャップ3の短絡によって充電用コンデンサ C_c に蓄えられていた電荷がピーキング回路5の方へ流れ出し、放電抵抗 R_d を介して一旦波頭調整用コンデンサ C_a に蓄積される。波頭調整用コンデンサ C_a にある程度の電荷が蓄えられたときに、放電ギャップ6に第1のトリガパルス6Aが注入され、放電ギャップ6の短絡に

よって立ち上がり時間の短い急峻波電圧が出力端5Aに発生する。立ち上がりの時間が $1\mu\text{s}$ 以上の電圧を発生させる場合にはインパルス発生回路2だけで充分であるが、立ち上がりの時間が 100ns 以下の急峻な電圧を発生させる場合には、ピーキング回路5が必要になって来る。なお、短絡ギャップ10は、必ずしも必要ではないが、放電ギャップ6の短絡時刻の付近で短絡ギャップ10に第2のトリガパルス6Bを注入させることにより、短絡ギャップ10が絶縁破壊しインパルス発生回路2の出力端2Aが短絡される。それによって、後述されるように出力端5Aに発生する電圧波形の持続幅を短くすることができる。

【0006】図3は、図2の急峻波電圧発生装置から発生する電圧波形を計算した結果を示すタイムチャートであり、図4は図3の要部拡大タイムチャートである。すなわち、横軸 t は火花ギャップ3を短絡させた時からの時間であり、縦軸 V は電圧である。回路定数としては、放電抵抗 R_d を 1000 、充電用コンデンサ C_c のトータルの直列容量を 35nF 、波頭調整用コンデンサ C_a を 1.5nF とした。放電ギャップ6を短絡させる時間 t_0 は $6\mu\text{s}$ 、短絡ギャップ10を短絡させる時間 t_1 は $6.2\mu\text{s}$ にそれぞれ設定された。図3において、波形11(一点鎖線)がインパルス発生回路2の出力端2Aに発生する電圧 V_0 、波形12(点線)が図2における波頭調整用コンデンサ C_a にかかる電圧 V_1 、波形13(実線)がピーキング回路5の出力端5Aに発生する電圧 V_2 である。火花ギャップ3を短絡されると、波形11は直ぐに立ち上がり直列に接続された充電用コンデンサ C_c のトータルの充電電圧に等しくなる。一方、波形12は放電抵抗 R_d が 1000 と大きいので、ある時定数でもって緩やかに上昇する。時間 t_0 において放電ギャップ6が短絡されると、波形11は僅かに変歪するがほぼ充電用コンデンサ C_c の充電電圧のまま保持される。その時間 t_0 において波形13が急峻に立ち上がり、直ぐに減衰し始める。時間 t_1 において短絡ギャップ10が短絡されると波形11は急に零まで裁断されるが、波形13は波頭調整用コンデンサ C_a と負荷のインピーダンスと放電抵抗 R_d とによって決まる時定数でもって減衰するようになり、急峻でかつ持続時間の短い電圧波形が得られる。なお、波形13は時間 t_1 において僅かに変曲している。これは、時間 t_1 において短絡ギャップ10が短絡されるのでインパルス発生回路2の出力端2Aが短絡し、波形13の減衰時定数が変わるためである。

【0007】すなわち、図4において、波形13(実線)は時間 t_1 が $6.2\mu\text{s}$ に設定された場合であるが、短絡ギャップ10が短絡されない場合は波形29(一点鎖線)のように持続時間が長くなるだけである。したがって、図2の短絡ギャップ10をあえて設けなくても、波形29のような急峻波電圧を発生させることが

できる。しかし、短絡ギャップ 10 を短絡させることによって、波形 29 の持続時間を調整することができる。短絡ギャップ 10 を短絡させる時間 t は時間 t_p の前であってもよく、また時間 t_p であってもよく、さらに、時間 t_p の後であってもよい。波形 13 (実線) は時間 t_p が $6.2 \mu s$ の場合であり、時間 t_p より $0.2 \mu s$ 後である。時間 t が $6.2 \mu s$ 以降はインパルス発生回路 2 が短絡されるので急峻波電圧の時定数が小さくなり、それによって、波形 13 の持続時間が短くなっている。一方、波形 16 (点線) は時間 t_p が $5.8 \mu s$ または $6.0 \mu s$ の場合のものである。その場合のインパルス発生回路 2 の出力端 2A に発生する電圧 V_1 は、図 3 のようにそれぞれ波形 14 (t_p が $5.8 \mu s$)、波形 15 (t_p が $6.0 \mu s$) となるが、ピーキング回路 5 の出力端 5A に発生する電圧 V_2 の波形 16 は図 4 のように波形 13 とは殆ど変わらない。したがって、短絡ギャップ 10 を短絡させる時間 t は、放電ギャップ 6 を短絡させる時間 t_p の付近であれば、時間 t_p の前後付近ならいずれの時間であってもよい。しかも、波形 13 や波形 16 の持続幅は、インパルス発生回路 2 の回路定数には全く依存せず、放電抵抗 R 、や波頭調整用コンデンサ C_p 、負荷側の回路定数だけによって決まる。なお、放電抵抗 R の抵抗値を負荷側のインピーダンスより遙に大きくしておけば、波形 13 や波形 16 の持続幅は波頭調整用コンデンサ C_p のキャパシタンスと負荷側のインピーダンスだけによってほぼ決まる。

【0008】

【発明が解決しようとする課題】しかしながら、前述したような従来の装置は、誤動作し易いとともにコスト高であるという問題があった。すなわち、従来の急峻波発生装置のトリガ電源が半導体からなる遅延回路やゲート駆動回路、半導体スイッチでもって構成されている。そのため、外来ノイズに影響され誤動作し易かった。また、トリガ電源の始動用コンデンサを充電するための直流電源も必要としコスト高であった。

【0009】この発明の目的は、誤動作し難くするとともに低コスト化することにある。

【0010】

【課題を解決するための手段】上記目的を達成するために、この発明によれば、直流電源によって充電される充電用コンデンサに火花ギャップが直列接続されてなるインパルス発生回路と、このインパルス発生回路に放電抵抗を介して波頭調整用コンデンサが並列接続され、急峻波電圧の出力端が放電ギャップを介して前記波頭調整用コンデンサの両端に接続されてなるピーキング回路とにより構成され、始動パルスが前記火花ギャップに注入されるとともに、第 1 のトリガパルスが前記始動パルスより所定時間遅れて前記放電ギャップに注入されるように構成され、始動パルスの注入でもって前記火花ギャップを短絡させることにより充電用コンデンサに充電されて

いた電荷を波頭調整用コンデンサに蓄積させ、次に第 1 のトリガパルスの注入でもって前記放電ギャップを短絡させることによって波頭調整用コンデンサに蓄積されていた電荷を負荷側に放出しピーキング回路の出力端に急峻波電圧を発生させる急峻波電圧発生装置において、前記第 1 のトリガパルスを発生させる第 1 のトリガ電源が、前記直流電源でもって充電される第 1 のトリガ用コンデンサと、この第 1 のトリガ用コンデンサに直列接続される第 1 のトリガギャップと、この第 1 のトリガギャップと第 1 のトリガ用コンデンサとの直列回路に並列接続されるとともに第 1 のインダクタおよび第 1 のキャパシタでもって構成された第 1 の遅延回路とで構成され、第 1 のトリガギャップに前記始動パルスが注入され第 1 のトリガギャップを短絡させることによって第 1 のトリガ用コンデンサに充電されていた電荷を第 1 の遅延回路に入力させ前記第 1 のトリガパルスを始動パルスより前記所定時間だけ遅らせて出力させるようにするとよい。それによって、第 1 のトリガ電源に半導体を一切使用する必要がなくなり、第 1 のトリガ電源が誤動作し難くなる。また、第 1 のトリガ電源にもう一つの直流電源を使用する必要もなくなり低コストになる。

【0011】また、上記目的を達成するために、この発明によれば、直流電源によって充電される充電用コンデンサに火花ギャップが直列接続されてなるインパルス発生回路と、このインパルス発生回路に短絡ギャップが並列接続されるとともにこの短絡ギャップに放電抵抗を介して波頭調整用コンデンサが並列接続され、急峻波電圧の出力端が放電ギャップを介して前記波頭調整用コンデンサの両端に接続されてなるピーキング回路とにより構成され、始動パルスが前記火花ギャップに注入されるとともに、第 1 のトリガパルスが前記始動パルスより所定時間遅れて前記放電ギャップに注入されるように構成され、第 2 のトリガパルスが前記放電ギャップの短絡時刻付近で短絡ギャップに注入されるように構成され、始動パルスの注入でもって前記火花ギャップを短絡させることによって充電用コンデンサに充電されていた電荷を波頭調整用コンデンサに蓄積させ、次に第 1 のトリガパルスの注入でもって前記放電ギャップを短絡させることによって波頭調整用コンデンサに蓄積されていた電荷を負荷側に放出しピーキング回路の出力端に急峻波電圧を発生させ、さらに、第 2 のトリガパルスの注入でもって前記短絡ギャップを短絡させる急峻波電圧発生装置において、前記第 2 のトリガパルスを発生させる第 2 のトリガ電源が、前記直流電源でもって充電される第 2 のトリガ用コンデンサと、この第 2 のトリガ用コンデンサに直列接続される第 2 のトリガギャップと、この第 2 のトリガギャップと第 2 のトリガ用コンデンサとの直列回路に並列接続されるとともに第 2 のインダクタおよび第 2 のキャパシタでもって構成された第 2 の遅延回路とで構成され、第 2 のトリガギャップに前記始動パルスが注入され

第2のトリガギャップを短絡させることによって第2のトリガ用コンデンサに充電されていた電荷を第2の遅延回路に入力させ前記第2のトリガパルスの前記放電ギャップの短絡時刻付近で出力させるようにするとよい。それによって、第2のトリガ電源に半導体を一切使用する必要がなくなり、第2のトリガ電源が誤動作し難くなる。また、第2のトリガ電源に直流電源を使用する必要もなくなり低コストになる。

【0012】また、かかる構成において、前記第1のトリガパルスを発生させる第1のトリガ電源が、前記直流電源でもって充電される第1のトリガ用コンデンサと、この第1のトリガ用コンデンサに直列接続される第1のトリガギャップと、この第1のトリガギャップと第1のトリガ用コンデンサとの直列回路に並列接続されるとともに第1のインダクタおよび第1のキャパシタでもって構成された第1の遅延回路とで構成され、第1のトリガギャップに前記始動パルスが注入され第1のトリガギャップを短絡させることによって第1のトリガ用コンデンサに充電されていた電荷を第1の遅延回路に入力させ前記第1のトリガパルスを始動パルスより所定時間だけ遅らせて出力させるようにするとよい。それによって、第1のトリガ電源および第2のトリガ電源に半導体を一切使用する必要がなくなり、両方のトリガ電源とも誤動作し難くなる。また、両者のトリガ電源はいずれも直流電源を使用する必要もなくなり低コストになる。

【0013】

【発明の実施の形態】以下、この発明を実施例に基づいて説明する。図1は、この発明の実施例にかかる急峻波電圧発生装置の構成を示す回路図である。第1のトリガパルス6Aを発生させる第1のトリガ電源27Aが、直流電源1から抵抗 R_1 、 R_2 を介して充電される第1のトリガ用コンデンサ25Aと、この第1のトリガ用コンデンサ25Aに直列接続される第1のトリガギャップ24Aと、この第1のトリガギャップ24Aと第1のトリガ用コンデンサ25Aとの直列回路に並列接続されるとともに第1のインダクタ L_1 および第1のキャパシタ C_1 でもって形成される第1の遅延回路18Aと、この第1の遅延回路18Aの出力側にコンデンサ C_2 を介して接続されたパルストランス28とで構成されている。第1のトリガギャップ24Aに始動パルス3Aが注入され第1のトリガギャップ24Aを短絡させることによって第1のトリガ用コンデンサ25Aに充電されていた電荷が第1の遅延回路18Aに入力される。第1の遅延回路18Aは、入力された信号を所定時間遅らせて出力する。パルストランス28は、第1の遅延回路18Aの出力信号を低圧巻線に受け昇圧させた後、高圧巻線から第1のトリガパルス6Aを放電ギャップ6へ出力する。一方、第2のトリガパルス6Bを発生させる第2のトリガ電源27Bも第1のトリガ電源27Aと同様な回路構成である。すなわち、第2のトリガ電源27Bが、直流電

源1から抵抗 R_1 、 R_2 を介して充電された第2のトリガ用コンデンサ25Bと、この第2のトリガ用コンデンサ25Bに直列接続された第2のトリガギャップ24Bと、この第2のトリガギャップ24Bと第2のトリガ用コンデンサ25Bとの直列回路に並列接続されるとともに第2のインダクタ L_2 および第2のキャパシタ C_2 でもって形成された第2の遅延回路18Bとで構成されている。第2のトリガギャップ24Bに始動パルス3Aが注入され第2のトリガギャップ24Bを短絡させることによって第2のトリガ用コンデンサ25Bに充電されていた電荷が第2の遅延回路18Bに入力される。第2の遅延回路18Bは、入力された信号を遅らせて第2のトリガパルス6Bを短絡ギャップ10へ出力する。図1のその他は、図2の従来の構成と同一であり、同じ部分には同一符号を付することによって詳細な説明は省略する。

【0014】図1において、第1のトリガ電源27A内のコンデンサ C_1 は第1のトリガコンデンサ25Aが直流充電されるときにその充電電流がパルストランス28の低圧巻線に流れ込まないようにするためのものである。また、パルストランス28は第1のトリガ電源27Aの内部回路を高電圧から保護するためのものである。すなわち、インパルス発生回路2の充電用コンデンサ C_2 が複数段直列に接続されている場合(図1は4段の場合)に急峻波電圧を発生させると、放電ギャップ6の両者の電極が直流電源1の出力電圧の約複数倍(充電用コンデンサ C_2 の段数倍)という高い電圧になる。この高電圧から第1のトリガ電源27Aの内部回路を保護するためにパルストランス28が介装されている。したがって、パルストランス28は、インパルス発生回路2の充電用コンデンサ C_2 が1段の場合は無くても構わない。一方、短絡ギャップ10の一方の電極(図1の下側の電極)には高い電圧が発生しないので、この下側の電極に向けて第2のトリガパルス6Bを注入する構成とすれば第2のトリガ電源27Bにはパルストランスは不用である。しかし、第2のトリガ電源27Bの内部回路の保護用として、第2のトリガ電源27Bの出力側にパルストランスを介装しても構わない。

【0015】図1におけるように、第1のトリガ電源27A、第2のトリガ電源27Bに半導体を一切使用する必要がなくなり、誤動作し難くなる。それによって、急峻波電圧による試験を確実にかつ効率よく実施することができるようになった。また、第1のトリガ電源27Aおよび第2のトリガ電源27Bにそれぞれ専用の直流電源を設ける必要がなくなり装置が低コストになり、経済性も向上した。

【0016】なお、図1の実施例はピーキング回路5に短絡ギャップ10が介装されている場合であるが、短絡ギャップ10が介装されていない急峻波電圧発生装置の場合は、第1のトリガ電源27Aだけになる。また、図

1の実施例は第1のトリガ電源27A, 第2のトリガ電源27Bとして両方とも半導体を使用しないものが用いられているが、必ずしもこれに限る必要はない。例えば、両方のトリガ電源が互いに異なる位置に設置され、一方のトリガ電源がノイズの影響を受けなければその方のトリガ電源は図2のような半導体を用いた従来のトリガ電源8, 9を用いても構わない。

【0017】

【発明の効果】この発明は前述のように、第1のトリガパルスを発生させる第1のトリガ電源が、直流電源でもって充電される第1のトリガ用コンデンサと、この第1のトリガ用コンデンサに直列接続される第1のトリガギャップと、この第1のトリガギャップと第1のトリガ用コンデンサとの直列回路に並列接続されるとともに第1のインダクタおよび第1のキャパシタでもって構成された第1の遅延回路とで構成され、第1のトリガギャップに始動パルスが注入され第1のトリガギャップを短絡させることによって第1のトリガ用コンデンサに充電されていた電荷を第1の遅延回路に入力させ前記第1のトリガパルスを始動パルスより所定時間だけ遅らせて出力させるようにすることによって、第1のトリガ電源が誤動作し難くなり、急峻波電圧による試験を確実にかつ効率よく実施することができるようになった。また、低コストになり、経済性も向上した。

【0018】また、第2のトリガパルスを発生させる第2のトリガ電源が、直流電源でもって充電される第2のトリガ用コンデンサと、この第2のトリガ用コンデンサに直列接続される第2のトリガギャップと、この第2のトリガギャップと第2のトリガ用コンデンサとの直列回路に並列接続されるとともに第2のインダクタおよび第2のキャパシタでもって構成された第2の遅延回路とで構成され、第2のトリガギャップに始動パルスが注入され第2のトリガギャップを短絡させることによって第2のトリガ用コンデンサに充電されていた電荷を第2の遅延回路に入力させ第2のトリガパルスを放電ギャップの短絡時刻付近で出力させるようにすることによって、第2のトリガ電源が誤動作し難くなり、急峻波電圧による試験を確実にかつ効率よく実施することができるようになった。

なった。また、低コストになり、経済性も向上した。

【0019】また、かかる構成において、第1のトリガパルスを発生させる第1のトリガ電源が、直流電源でもって充電される第1のトリガ用コンデンサと、この第1のトリガ用コンデンサに直列接続される第1のトリガギャップと、この第1のトリガギャップと第1のトリガ用コンデンサとの直列回路に並列接続されるとともに第1のインダクタおよび第1のキャパシタでもって構成された第1の遅延回路とで構成され、第1のトリガギャップに始動パルスが注入され第1のトリガギャップを短絡させることによって第1のトリガ用コンデンサに充電されていた電荷を第1の遅延回路に入力させ第1のトリガパルスを始動パルスより所定時間だけ遅らせて出力させるようにすることによって、第1のトリガ電源と第2のトリガ電源がともに誤動作し難くなり、急峻波電圧による試験を確実にかつ効率よく実施することができるようになった。また、低コストになり、経済性も向上した。

【図面の簡単な説明】

【図1】この発明の実施例にかかる急峻波電圧発生装置の構成を示す回路図

【図2】従来の急峻波電圧発生装置の構成を示す回路図

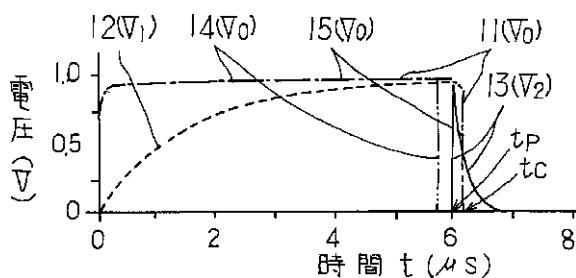
【図3】図2の急峻波電圧発生装置から発生する電圧波形を計算した結果を示すタイムチャート

【図4】図3の要部拡大タイムチャート

【符号の説明】

1：直流電源、2：インパルス発生回路、3：火花ギャップ、3A：始動パルス、5：ピーキング回路、6：放電ギャップ、6A：第1のトリガパルス、6B：第2のトリガパルス、8, 9：トリガ電源、10：短絡ギャップ、17：遅延回路、18A：第1の遅延回路、18B：第2の遅延回路、24A：第1のトリガギャップ、24B：第2のトリガギャップ、25A：第1のトリガ用コンデンサ、25B：第2のトリガ用コンデンサ、27A：第1のトリガ電源、27B：第2のトリガ電源、C_o：充電用コンデンサ、C_p：波頭調整用コンデンサ、R_o：放電抵抗、L_A：第1のインダクタ、C_A：第1のコンデンサ、L_B：第2のインダクタ、C_B：第2のコンデンサ

【図3】



【図4】

