

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

WO2008/016049

発行日 平成21年12月24日 (2009.12.24)

(43) 国際公開日 平成20年2月7日 (2008.2.7)

(51) Int.Cl.		F I	テーマコード (参考)			
<b>HO3M</b>	<b>1/14</b>	<b>(2006.01)</b>	HO3M	1/14	B	5C024
<b>HO3M</b>	<b>1/08</b>	<b>(2006.01)</b>	HO3M	1/08	A	5J022
<b>HO4N</b>	<b>5/335</b>	<b>(2006.01)</b>	HO4N	5/335	E	

審査請求 未請求 予備審査請求 有 (全 30 頁)

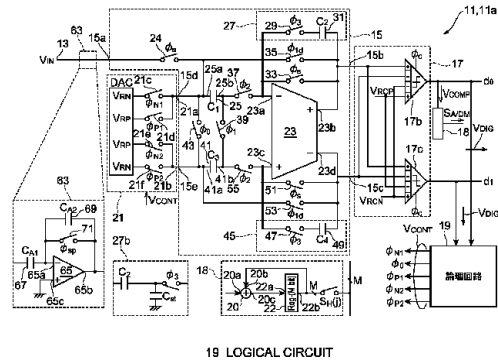
出願番号	特願2008-527759 (P2008-527759)	(71) 出願人	304023318 国立大学法人静岡大学 静岡県静岡市駿河区大谷836
(21) 国際出願番号	PCT/JP2007/064986	(74) 代理人	100088155 弁理士 長谷川 芳樹
(22) 国際出願日	平成19年7月31日 (2007.7.31)	(74) 代理人	100108257 弁理士 近藤 伊知良
(31) 優先権主張番号	特願2006-208664 (P2006-208664)	(74) 代理人	100124800 弁理士 諏澤 勇司
(32) 優先日	平成18年7月31日 (2006.7.31)	(72) 発明者	川人 祥二 静岡県浜松市中区城北3丁目5-1 国立 大学法人静岡大学電子工学研究所内
(33) 優先権主張国	日本国 (JP)	Fターム (参考)	5C024 AX01 CX05 GX03 GY31 HX02 HX23 HX31 HX35

最終頁に続く

(54) 【発明の名称】 A/D変換器および読み出し回路

(57) 【要約】

A/D変換器11は、期間T1に信号S1の複数回の標本化を行うと共に期間T2に信号S2の複数回の標本化を行う。A/D変換回路17は、期間T2において、ゲインステージ15の出力15bからの信号に応じたデジタル信号を提供し、該デジタル信号は値「1」、値「0」を取る。A/D変換回路17は値「1」の出現回数に対応する信号S<sub>A/D M</sub>を提供する回路18を含む。スイッチ24は、クロックφsにตอบสนองして動作し、また画素2aからの信号を標本化するために用いられる。容量回路27では、スイッチ29及びキャパシタ31が反転入力23aと非反転出力23bとの間に接続される。スイッチ29は、クロックφ3にตอบสนองして動作し、キャパシタ31への積分のために用いられる。



**【特許請求の範囲】****【請求項 1】**

イメージセンサのための A / D 変換器であって、

前記イメージセンサからの信号を受ける入力と出力とを有しており、ノイズに係る成分を含む第 1 の信号の複数回の標本化および標本値の積分を第 1 の期間に行うと共に、前記イメージセンサの画素からの光誘起信号成分およびノイズに係る成分を含む第 2 の信号の複数回の標本化および標本値の積分を第 1 の信号に対する積分とは逆極性となるように第 2 の期間に行うためのゲインステージと、

前記ゲインステージの前記出力からの信号に応じた第 1 および第 2 の値を取りうるデジタル信号を提供する A / D 変換回路と、

10

前記第 1 の値の出現回数に対応する信号を提供する回路と、

前記デジタル信号に応答して制御信号を生成する論理回路と、

前記第 1 の期間に前記ゲインステージに所定の電圧信号の提供を行うと共に、前記第 2 の期間に前記ゲインステージに前記制御信号に応じた電圧信号の提供を行う D / A 変換回路と

を備え、

前記ゲインステージは、

前記標本化のための第 1 のキャパシタと、

前記積分のための第 2 のキャパシタと、

前記第 1 のキャパシタに標本化された信号を前記第 2 のキャパシタへ積分するための演算増幅回路と

20

を含む、ことを特徴とする A / D 変換器。

**【請求項 2】**

前記第 1 のキャパシタは、前記 D / A 変換回路に接続された一端および前記演算増幅回路の反転入力に接続された他端を有しており、

前記ゲインステージは、

前記演算増幅回路の非反転出力と前記反転入力との間に接続された第 1 の容量回路と、

前記入力と前記第 1 のキャパシタの前記一端との間に接続されており前記イメージセンサからの信号を標本化するための第 1 のスイッチと、

前記反転入力と前記非反転出力との間に接続された第 1 の帰還スイッチと

30

を含み、

前記第 1 の容量回路は、前記第 2 のキャパシタおよび第 2 のスイッチを有し、前記第 2 のキャパシタおよび第 2 のスイッチは直列に接続されている、ことを特徴とする請求項 1 に記載された A / D 変換器。

**【請求項 3】**

前記ゲインステージは、前記ゲインステージの前記出力からの信号に応じたデジタル信号に対応して前記 D / A 変換回路から提供される電圧信号に用いて、前記第 1 および第 2 の期間の後の第 3 の期間に巡回 A / D 変換を行う、ことを特徴とする請求項 1 または請求項 2 に記載された A / D 変換器。

**【請求項 4】**

40

前記 A / D 変換回路は、前記巡回 A / D 変換のために、前記ゲインステージの前記出力からの信号に応じた三値のデジタル信号を前記第 3 の期間に提供し、

前記ゲインステージは、

前記第 1 のキャパシタの前記一端と前記非反転出力との間に接続された別の帰還スイッチと、

前記第 1 のキャパシタの前記他端と前記反転入力との間に接続された転送スイッチとを含む、ことを特徴とする請求項 3 に記載された A / D 変換器。

**【請求項 5】**

前記 A / D 変換回路は、前記ゲインステージの前記出力からの信号を第 1 および第 2 の参照信号と比較する比較器を含み、

50

前記比較器は、前記第 1 の参照信号を前記第 2 の期間に受け、

前記比較器は、前記第 2 の参照信号を前記第 3 の期間に受ける、ことを特徴とする請求項 3 または請求項 4 に記載された A / D 変換器。

【請求項 6】

前記第 2 の参照信号の値は、前記第 1 の参照信号の値より小さい、ことを特徴とする請求項 5 に記載された A / D 変換器。

【請求項 7】

前記第 1 のキャパシタは、前記標本化のために前記第 1 および第 2 の信号を受けらるるよう

に設けられており、  
前記ゲインステージは、前記 D / A 変換回路からの信号提供および前記第 1 のキャパシタへの標本化のいずれか一方に

10

応答して、前記演算増幅回路を用いて前記第 1 の信号を前記第 2 のキャパシタへ積分し、  
前記ゲインステージは、前記 D / A 変換回路からの信号提供および前記第 1 のキャパシタへの標本化のいずれか他方に

【請求項 8】

応答して、前記演算増幅回路を用いて前記第 2 の信号を前記第 2 のキャパシタへ積分する、ことを特徴とする請求項 1 ~ 請求項 6 のいずれか一項に記載された A / D 変換器。

【請求項 8】  
前記ゲインステージは、前記標本化のための第 3 のキャパシタおよび前記積分のための第 4 のキャパシタを更に含み、

20

前記第 1 および第 3 のキャパシタの一方は、前記標本化のために前記第 1 の信号を受けらるるよう

に設けられており、  
前記第 1 および第 3 のキャパシタの他方は、前記標本化のために前記第 2 の信号を受けらるるよう

に設けられており、  
前記演算増幅回路は、前記 D / A 変換回路からの信号に

【請求項 9】

応答して、前記第 1 および第 3 のキャパシタに標本化された値を前記第 2 および第 4 のキャパシタに積分する、ことを特徴とする請求項 1 ~ 請求項 6 のいずれか一項に記載された A / D 変換器。

【請求項 9】  
前記第 3 のキャパシタは、前記 D / A 変換回路に接続された一端および前記非反転入力に接続された他端を有して

30

おり、  
前記ゲインステージは、  
前記第 1 のキャパシタの前記一端と前記第 3 のキャパシタの前記一端との間に接続された第 3 のスイッチと、

前記第 4 のキャパシタおよび第 4 のスイッチを有し、前記演算増幅回路の非反転入力と前記演算増幅回路の反転出力との間に接続された第 2 の容量回路と、

前記非反転入力と前記反転出力との間に接続された第 2 の帰還スイッチと、

前記入力と前記第 3 のキャパシタの前記一端との間に接続されており前記イメージセンサからの信号を標本化するための第 5 のスイッチと

を更に含み、

前記第 4 のキャパシタおよび前記第 4 のスイッチは直列に接続されている、ことを特徴とする請求項 8 に記載された A / D 変換器。

40

【請求項 10】

前記ゲインステージは、

前記 D / A 変換回路に接続された一端および前記非反転入力に接続された他端を有する第 3 のキャパシタと、

前記第 1 のキャパシタの前記一端と前記第 3 のキャパシタの前記一端との間に接続された第 3 のスイッチと、

第 4 のキャパシタおよび第 4 のスイッチを有し、前記演算増幅回路の非反転入力と前記演算増幅回路の反転出力との間に接続された第 2 の容量回路と、

前記非反転入力と前記反転出力との間に接続された第 2 の帰還スイッチと

を更に含み、

50

前記第 4 のキャパシタおよび前記第 4 のスイッチは直列に接続されている、ことを特徴とする請求項 2 ~ 請求項 7 のいずれか一項に記載された A / D 変換器。

【請求項 1 1】

前記 A / D 変換回路は、前記ゲインステージが前記第 1 および第 2 の期間の後の第 3 の期間に巡回 A / D 変換のための動作を行うために、前記ゲインステージの前記出力からの信号に応じた三値のデジタル信号を前記第 3 の期間に提供し、

前記ゲインステージは、

前記第 1 のキャパシタの前記他端と前記第 3 のキャパシタの前記他端との間に接続された第 6 のスイッチと、

前記第 1 のキャパシタの前記一端と前記非反転出力との間に接続された第 3 の帰還スイッチと、

前記第 3 のキャパシタの前記一端と前記反転出力との間に接続された第 4 の帰還スイッチと、

前記第 1 のキャパシタの前記他端と前記反転入力との間に接続された第 1 の転送スイッチと、

前記第 3 のキャパシタの前記他端と前記非反転入力との間に接続された第 2 の転送スイッチと

を含む、ことを特徴とする請求項 1 0 に記載された A / D 変換器。

【請求項 1 2】

前記第 1 の容量回路において、前記第 2 のキャパシタの一端は前記反転入力に接続されており、前記第 2 のスイッチは前記第 2 のキャパシタの他端と前記非反転出力との間に接続されており、前記第 1 の容量回路は、前記第 2 のキャパシタの前記他端と前記第 2 のスイッチとの間の第 1 のノードに接続された第 5 のキャパシタを含む、ことを特徴とする請求項 1 ~ 請求項 1 1 のいずれか一項に記載された A / D 変換器。

【請求項 1 3】

前記画素は CMOS イメージセンサの画素であり、前記画素の浮遊拡散層がリセット状態に置かれたとき、前記画素からの信号により前記第 1 の信号が提供され、前記リセット後に前記浮遊拡散層が光誘起電荷の蓄積状態に置かれたとき、前記画素からの信号により前記第 2 の信号が提供される、ことを特徴とする請求項 1 ~ 請求項 1 2 のいずれか一項に記載された A / D 変換器。

【請求項 1 4】

前記イメージセンサの画素と前記ゲインステージの前記入力との間に接続され、前記第 1 および第 2 の信号を提供するプリアンプを更に備え、

前記プリアンプは、演算増幅回路と、該演算増幅回路の入力に接続された第 1 のキャパシタと、該演算増幅回路の出力と前記入力との間に接続された第 2 のキャパシタと、前記出力と前記入力との間に接続されたスイッチとを含み、前記第 1 および第 2 のキャパシタの容量比に応じて前記画素からの信号を増幅し、

前記第 1 の信号は前記プリアンプのノイズに係る成分を含み、

前記第 2 の信号は、0 前記画素の浮遊拡散層がリセット状態にあるとき前記画素が提供する信号と、前記リセット状態の後に前記浮遊拡散層が光誘起電荷の蓄積状態にあるとき前記画素が提供する信号との差分を示す成分を前記プリアンプのノイズに係る成分に加えて含む、ことを特徴とする請求項 1 ~ 請求項 1 2 のいずれか一項に記載された A / D 変換器。

【請求項 1 5】

イメージセンサのための読み出し回路であって、前記イメージセンサの画素は、前記画素の浮遊拡散層がリセット状態にあるとき第 1 の信号を生成すると共に、前記画素の浮遊拡散層が光誘起電荷の蓄積状態にあるとき第 2 の信号を生成し、

演算増幅回路と、該演算増幅回路の入力に接続された第 1 のキャパシタと、該演算増幅回路の出力と前記入力との間に接続された第 2 のキャパシタを含み、前記第 1 および第 2 のキャパシタの容量比に応じて前記第 1 および第 2 の信号を増幅するプリアンプと、

10

20

30

40

50

前記プリアンプの出力に接続された標本化スイッチを含み、前記増幅された第1の信号の複数回の積分を該標本化スイッチを用いて行うと共に前記増幅された第2の信号の複数回の積分を第1の信号に対する積分とは逆極性となるように該標本化スイッチを用いて行うことによって、前記第1の信号と前記第2の信号との差分を増幅する積分器と、を備える、ことを特徴とする読み出し回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、CMOSイメージセンサのためのA/D変換器および読み出し回路に関する。

10

【背景技術】

【0002】

非特許文献1の回路では、カラムに接続された高利得アンプを用いてカラムからの信号を増幅することによって、信号に対するノイズの影響を少なくする。非特許文献2の回路では、ノイズの低減と広いダイナミックレンジとの両立を図るために、アンプが1倍の増幅率と8倍の増幅率を持っている。非特許文献3の回路は、低ノイズの信号読み出しを提供している。この読み出しでは、イメージセンサの周辺回路は、高利得のアンプを用いた2段のノイズキャンセル回路を含む。

【0003】

特許文献1には、A/D変換アレイ及びイメージセンサが記載されている。A/D変換アレイ及びイメージセンサでは、3個のキャパシタを用いて信号レベルとリセットレベルとの差を生成すると共にこの差をn倍に増幅する。また、特許文献2には、デジタルノイズキャンセル機能をもつイメージセンサが記載されている。このイメージセンサでは、そのカラムにおいてアナログ領域でのノイズキャンセル回路を用いることなく、イメージアレイの信号レベルとリセットレベルのそれぞれのA/D変換を行ってデジタル値を生成した後に、その差を求めている。

20

【非特許文献1】A. Krymski, N. Khaliullin, H. Krymski, N. Khaliullin, H. Rhodes, "A 2e noise 1.3Megapixel CMOS sensor," Proc. IEEE workshop CD and Advanced Image Sensors, Elmau, Germany.

【非特許文献2】M. Sakakibara, S. Kawahito, D. Handoko, N. Nakamura, H. Satoh, M. Higashi, K. Mabuchi, H. Sumi, "A high-sensitivity CMOS image sensor with gain-adaptive column amplifiers," IEEE J. Solid-State Circuits, vol. 40, no. 5, pp. 1147-1156, 2005.

30

【非特許文献3】N. Kawai, S. Kawahito, "Noise analysis of high-gain low-noise column readout circuits for CMOS image sensors", IEEE Trans. Electron Devices, vol.51, no.2, pp.185-194 (2004).

【特許文献1】特開2005-136540号公報

【特許文献2】特開2006-25189号公報

【発明の開示】

【発明が解決しようとする課題】

40

【0004】

CMOSイメージセンサの最近の画質向上は著しい。CMOSイメージセンサは、カラムに接続された周辺回路を含み、この周辺回路は、増幅機能を備えた読み出し回路を用いてノイズを低減する。故に、この周辺回路を用いて、非常に低ノイズのイメージセンサが実現できる。上記の文献には、カラム処理回路による増幅を利用してノイズを低減することが記載されている。

【0005】

しかしながら、非特許文献1の回路において行われるような単純な増幅では、信号のダイナミックレンジが失われてしまい、この結果、高感度・低雑音化と大きなダイナミックレンジの両方を得ることができない。非特許文献2の回路では、アンプが2種類の利得し

50

か持たないので、A/D変換のために必要な所望の階調を得ることには限界がある。非特許文献3は、アンプの利得を高くすることによって非常に低雑音にできる可能性が述べられているが、この方式も単純増幅であり、高感度・低雑音化と大きなダイナミックレンジの両立は困難である。

【0006】

本発明は、このような事情を鑑みて為されたものであり、CMOSイメージセンサの画素からの信号にノイズキャンセルを施すことが可能なA/D変換器および読み出し回路を提供することにある。

【課題を解決するための手段】

【0007】

本発明に係る一側面は、イメージセンサのためのA/D変換器である。A/D変換器は、(a)前記イメージセンサからの信号を受ける入力と出力とを有しており、ノイズに係る成分を含む第1の信号の複数回の標本化および標本値の積分を第1の期間に行うと共に、前記イメージセンサの画素からの光誘起信号成分およびノイズに係る成分を含む第2の信号の複数回の標本化および標本値の積分を第1の信号に対する積分とは逆極性となるように第2の期間に行うためのゲインステージと、(b)前記ゲインステージの前記出力からの信号に応じた第1および第2の値を取りうるデジタル信号を提供するA/D変換回路と、(c)前記第1の値の出現回数に対応する信号を提供する回路と、(d)前記デジタル信号に応答して制御信号を生成する論理回路と、(e)前記第1の期間に前記ゲインステージに所定の電圧信号の提供を行うと共に、前記第2の期間に前記ゲインステージに前記制御信号に応じた電圧信号の提供を行うD/A変換回路とを備える。前記ゲインステージは、前記標本化のための第1のキャパシタと、前記積分のための第2のキャパシタと、前記第1のキャパシタに標本化された信号を前記第2のキャパシタへ積分するための演算増幅回路とを含む。

【0008】

本発明に係る別の側面は、イメージセンサのためのA/D変換器である。このA/D変換器は、(a)前記イメージセンサからの信号を受ける入力と出力とを有しており、ノイズに係る成分を含む第1の信号の複数回の標本化および標本値の積分を第1の期間に行うと共に、前記イメージセンサの画素からの光誘起信号およびノイズに係る成分を含む第2の信号の複数回の標本化および標本値の積分を第1の信号に対する積分とは逆極性となるように第2の期間に行うためのゲインステージと、(b)前記ゲインステージの前記出力からの信号に応じた第1および第2の値を取りうるデジタル信号を提供するA/D変換回路と、(c)前記第1の値の出現回数に対応する信号を提供する回路と、(d)前記デジタル信号に応答して制御信号を生成する論理回路と、(e)前記第1の期間に前記ゲインステージに所定の電圧信号を提供すると共に、前記第2の期間に前記制御信号に応じて前記ゲインステージに電圧信号を提供するD/A変換回路とを備え、前記ゲインステージは、(a1)演算増幅回路と、前記D/A変換回路に接続された一端および前記演算増幅回路の反転入力に接続された他端を有する第1のキャパシタと、(a2)前記入力と前記第1のキャパシタの前記一端との間に接続されており前記イメージセンサからの信号を標本化するための第1のスイッチと、(a3)直列に接続された第2のキャパシタおよび第2のスイッチを有し、前記演算増幅回路の非反転出力と前記反転入力との間に接続された第1の容量回路と、(a4)前記反転入力と前記非反転出力との間に接続された第1の帰還スイッチとを含む。

【0009】

このA/D変換器によれば、ノイズに係る成分を含む第1の信号に対する複数回の標本化と積分および画素からの光誘起信号およびノイズに係る成分を含む第2の信号に対する複数回の標本化と、第1の信号とは逆極性での積分を第1及び第2の期間にそれぞれ行うので、第1の容量回路に蓄積された電荷は第1の信号と第2の信号との差分に関連づけられた積分値を表す。この差分は、画素の光誘起信号成分に対応しており、複数回の積分によりN倍(N:積分の回数)されるけれども、回路起因のランダムノイズ成分はs q r t

10

20

30

40

50

(N)倍(「sqrt」は平方根を示す)される。このため、S/N比はsqrt(N)倍に改善される。また、A/D変換回路は、ゲインステージの出力からの信号に応じたデジタル信号の第1および第2の値のうち第1の値の出現回数に対応する信号を提供する。この出現回数は、A/D変換回路が、その入力に应答して出力した上位のA/D変換値に対応する。

【0010】

本発明に係るA/D変換器では、前記ゲインステージは、前記ゲインステージの前記出力からの信号に応じたデジタル信号に対応して前記D/A変換回路から提供される電圧信号に用いて、前記第1および第2の期間の後の第3の期間に巡回A/D変換を行うことが好ましい。

10

【0011】

本発明に係るA/D変換器では、前記A/D変換回路は、前記ゲインステージの前記出力からの信号を第1および第2の参照信号と比較する比較器を含むことができる。前記比較器は、前記第1の参照信号を前記第2の期間に受け、前記比較器は、前記第2の参照信号を前記第3の期間に受ける。このA/D変換器では、前記第2の参照信号の値は、前記第1の参照信号の値より小さいことが好ましい。

【0012】

本発明に係るA/D変換器では、前記第1のキャパシタは、前記標本化のために前記第1および第2の信号を受けようとして設けられており、前記ゲインステージは、前記D/A変換回路からの信号提供および前記第1のキャパシタへの標本化のいずれか一方に应答して、前記演算増幅回路を用いて前記第1の信号を前記第2のキャパシタへ積分し、前記ゲインステージは、前記D/A変換回路からの信号提供および前記第1のキャパシタへの標本化のいずれか他方に应答して、前記演算増幅回路を用いて前記第2の信号を前記第2のキャパシタへ積分する。

20

【0013】

本発明に係るA/D変換器では、前記ゲインステージは、前記標本化のための第3のキャパシタおよび前記積分のための第4のキャパシタを更にも含むことができる。前記第1および第3のキャパシタの一方は、前記標本化のために前記第1の信号を受けようとして設けられており、前記第1および第3のキャパシタの他方は、前記標本化のために前記第2の信号を受けようとして設けられており、前記演算増幅回路は、前記D/A変換回路からの信号に应答して、前記第1および第3のキャパシタに標本化された値を前記第2および第4のキャパシタに積分する。

30

【0014】

本発明に係るA/D変換器では、画素はCMOSイメージセンサの画素である。画素の浮遊拡散層がリセット状態にあるとき、画素からの信号により前記第1の信号が提供される。リセット後に画素の浮遊拡散層が光誘起電荷の蓄積状態にあるとき、画素からの信号により前記第2の信号が提供される。

【0015】

このA/D変換器によれば、画素の浮遊拡散層がリセット状態にあるとき、画素からの第1の信号の標本化が第1のキャパシタを用いて第1の期間内の標本化期間で行われると共に、標本化された信号は、D/A変換回路からの所定の参照電圧信号に应答して第1の容量回路の第2のキャパシタに第1の期間内の積分期間で転送される。標本化と積分とが第1の期間に交互に行われ、第2のキャパシタに蓄積された電荷は第1の信号の複数回の積分値を示す。前記リセット後に画素の浮遊拡散層が光誘起電荷の蓄積状態にあるとき、画素からの第2の信号の標本化が第1のキャパシタを用いて第2の期間内の標本化期間で行われ、同時に標本化された信号は、第1の容量回路の第2のキャパシタに転送される。第1のキャパシタは、D/A変換回路からの電圧信号に应答して第2の期間内の参照電圧標本化期間で標本化される。第2の期間では、画素の標本化と第2のキャパシタへの信号転送が同時に行われ、第1の期間とは逆極性での積分が行われる結果、第1の容量回路に蓄積された電荷は第1の信号と第2の信号との差分に関連づけられた積分値を表す。この差

40

50

分は、画素の信号成分に対応しており、複数回の積分によりN倍されるけれども、ランダムノイズ成分は $sqr t(N)$ 倍される。また、A/D変換回路は、ゲインステージの出力からの信号に応じたデジタル信号の第1及び第2の値のうち第1の値の出現回数に対応する信号を提供する。この出現回数は、A/D変換回路が、その入力に应答して出力した上位のA/D変換値に対応する。

**【0016】**

本発明に係るA/D変換器では、A/D変換回路は、ゲインステージが第1および第2の期間の後の第3の期間に巡回A/D変換のための動作を行うために、ゲインステージの出力からの信号に応じた三値のデジタル信号を第3の期間に提供する。ゲインステージは、第1のキャパシタの一端と非反転出力との間に接続された別の帰還スイッチと、第1のキャパシタの他端と反転入力との間に接続された転送スイッチとを含むことができる。

10

**【0017】**

このA/D変換器によれば、第2の期間に経過のときに第1の容量回路に蓄積された電荷に巡回A/D変換を行う。第3の期間の標本化期間に別の帰還スイッチを介して第1のキャパシタに電荷を標本化する。第3の期間の転送期間にD/A変換回路からの電圧信号を第1のキャパシタに加えることによって電荷の再配置を行う。この結果、ゲインステージの出力に新たな電圧値が生成する。この電圧値に应答して、A/D変換回路が当該巡回サイクルにおけるデジタル信号を生成する。

**【0018】**

本発明に係るA/D変換器は、全差動構成であることができる。また、本発明に係る全差動構成のA/D変換器は第1および第2の期間の後に第3の期間に巡回A/D変換を行うことができる。

20

**【0019】**

本発明に係るA/D変換器では、第1の容量回路において、第2のキャパシタの一端は反転入力に接続されており、第2のスイッチは第2のキャパシタの他端と非反転出力との間に接続されており、第1の容量回路は、第2のキャパシタの他端と第2のスイッチとの間の第1のノードに接続された第5のキャパシタを含むことが好ましい。このA/D変換器によれば、第2のスイッチのスイッチングに起因するノイズ(例えば、第2のスイッチとして用いられたMOSアナログスイッチにおいては、チャージインジェクションノイズ)の電圧依存性を低減することができる。

30

**【0020】**

また、本発明に係るA/D変換器では、第2の容量回路において、第4のキャパシタの一端は反転入力に接続されており、第4のスイッチは第4のキャパシタの他端と反転出力との間の第2のノードに接続されており、第2の容量回路は、第4のキャパシタの他端と第4のスイッチとの間の第2のノードに接続された第6のキャパシタを含むことができる。このA/D変換器によれば、第4のスイッチのスイッチングに起因するノイズ(例えば、第4のスイッチとして用いられたMOSアナログスイッチにおいては、チャージインジェクションノイズ)の電圧依存性を低減することができる。

**【0021】**

本発明に係るA/D変換器は、CMOSイメージセンサの画素とゲインステージの入力との間に接続され、第1および第2の信号を提供するプリアンプを更に備えることができる。プリアンプは、演算増幅回路と、該演算増幅回路の入力に接続された第1のキャパシタと、該演算増幅回路の出力と入力との間に接続された第2のキャパシタと、出力と入力との間に接続されたスイッチとを含み、第1および第2のキャパシタの容量比に応じて画素からの信号を増幅する。第1の信号はプリアンプのノイズに係る成分を含み、第2の信号は、プリアンプのノイズに係る成分に加えて、画素がリセット状態に置かれたときの画素からの信号と画素が光誘起信号出力状態に置かれたときの画素からの信号との差分を示す成分を含む。

40

**【0022】**

本発明に係る別の側面は、イメージセンサのための読み出し回路である。イメージセン

50



サの画素は、画素がリセット状態にあるとき第1の信号を生成すると共に、画素が光誘起信号出力状態にあるとき第2の信号を生成する。この読み出し回路は、(a)演算増幅回路と、該演算増幅回路の入力に接続された第1のキャパシタと、該演算増幅回路の出力と入力との間に接続された第2のキャパシタを含み、第1および第2のキャパシタの容量比に応じて第1の信号および第2の信号を増幅するプリアンプと、(b)プリアンプの出力に接続された標本化スイッチを含み、増幅された第1の信号の複数回の積分を該標本化スイッチを用いて行うと共に増幅された第2の信号の複数回の積分を、第1の信号に対する積分とは逆極性となるように該標本化スイッチを用いて行うことによって、第1の信号と第2の信号との差分を増幅する積分器とを備える。

【0023】

この読み出し回路によれば、増幅された第1の信号の複数回の積分を行うと共に、プリアンプの出力が逆極性になるように、増幅された第2の信号の複数回の積分を行うので、積分器は、第1の信号と第2の信号との差分を示す増幅された信号が差分を提供する。

【0024】

本発明に係るA/D変換器は読み出し回路を更に備え、読み出し回路は、CMOSイメージセンサの画素とゲインステージの入力との間に接続されている。

【0025】

本発明の上記の目的および他の目的、特徴、並びに利点は、添付図面を参照して進められる本発明の好適な実施の形態の以下の詳細な記述から、より容易に明らかになる。

【発明の効果】

【0026】

以上説明したように、本発明によれば、CMOSイメージセンサの画素からの信号にノイズキャンセルを施すことが可能なA/D変換器および読み出し回路が提供される。

【図面の簡単な説明】

【0027】

【図1】図1は、本実施の形態に係るA/D変換器の回路図である。

【図2】図2は、CMOSイメージセンサのブロックを示す図面である。

【図3】図3は、A/D変換器の動作のためのタイミングチャートを示す図面である。

【図4】図4は、A/D変換器の動作のためのタイミングチャートを示す図面である。

【図5】図5は、シミュレーションによるゲインステージの入出力特性を示す図面である

【図6】図6は、本実施の形態に係るA/D変換器の回路図である。

【図7】図7は、A/D変換器の動作のためのタイミングチャートを示す図面である。

【図8】図8は、A/D変換器の動作のためのタイミングチャートを示す図面である。

【図9】図9は、積分A/D変換の動作を示す図面である。

【図10】図10は、巡回A/D変換の動作を示す図面である。

【図11】図11は、イメージセンサの読み出し回路を示す図面である。

【図12】図12は、この読み出し回路のためのタイミングチャートを示す図面である。

【図13】図13は、CMOSイメージセンサを示す図面である。

【図14】図14は、多重積分読み出し回路の動作を示す図面である。

【図15】図15は、多重積分読み出し回路の動作を示す図面である。

【図16】図16は、プリアンプ利得と入力換算ノイズとの関係を示すグラフである。

【符号の説明】

【0028】

1... CMOSイメージセンサ、2... セルアレイ、2a... CMOSイメージセンサ画素、11、11a、11b... A/D変換器、15... ゲインステージ、17... A/D変換回路、18... 信号 $S_{A/D}$ を提供する回路、19... 論理回路、21... D/A変換回路、23... 演算増幅回路、25、31、41、49... キャパシタ、24、29、33、43、47、51、53、55、59... スイッチ、27、27b、45... 容量回路、63... プリアンプ、65... 演算増幅回路、67、69... キャパシタ、71... スイッチ、81... 読み出し回路、

10

20

30

40

50

83... プリンアンプ、85... 積分器、87... 演算増幅回路、89、91... キャパシタ、95... スイッチ、97... 標本化スイッチ、89、103、109... キャパシタ、101... 容量回路、105、107、111、112... スイッチ

【発明を実施するための最良の形態】

【0029】

本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することによって容易に理解できる。引き続いて、添付図面を参照しながら、本発明のA/D変換器および読み出し回路に係る実施の形態を説明する。可能な場合には、同一の部分には同一の符号を付する。

10

【0030】

(第1の実施の形態)

図1は、本実施の形態に係るA/D変換器の回路図である。本実施の形態では、A/D変換器11は、CMOSイメージセンサのために用いられる。図2は、CMOSイメージセンサのブロックを示す図面である。A/D変換器11は、CMOSイメージセンサ1において用いられる。CMOSイメージセンサ1では、セルアレイ2はCMOSイメージセンサ画素2aが行方向および列方向に配列されている。図2には、CMOSイメージセンサ画素2aの一例が示されている。画素2aは、リセット状態における第1の信号S1と光誘起信号出力における第2の信号S2とを生成する。A/D変換器11の入力13が画素2aに接続されている。A/D変換器11では、ゲインステージ15の入力15aは、画素2aからの信号を受ける。また、A/D変換器11は、第1の期間T1に第1の信号S1の複数回の標本化と標本値の積分を行うと共に第2の期間T2に第2の信号S2の複数回の標本化と標本値の積分を行う。A/D変換回路17は、第2の期間T2において、ゲインステージ15の出力15bからの信号に応じたデジタル信号を提供し、このデジタル信号は第1および第2の値(例えば、「1」および「0」)を取りうる。また、A/D変換回路17は、1.5ビットのA/D変換のために比較器17b、17cを含む。回路18は、A/D変換回路17の出力(例えば比較器17bの出力)に接続されており、また第1の値(例えば「1」)の出現回数に対応する信号 $S_{A/D}$ を提供する。論理回路19は、第1の期間T1および第2の期間T2に、A/D変換回路17からの信号に回答して制御信号を生成する。D/A変換回路21は、制御信号 $V_{CONT}$ に回答して第1の期間T1においてゲインステージ15に所定の電圧信号を提供すると共に、制御信号 $V_{CONT}$ に回答して電圧信号を第2の期間T2にゲインステージ15に提供する。ゲインステージ15は演算増幅回路23を含む。第1のキャパシタ25の一端25aはD/A変換回路21の出力21aに接続されており、第1のキャパシタ25の他端25bは演算増幅回路23の反転入力23aに接続されている。第1のスイッチ24は、入力13とキャパシタ一端25aとの間に接続されている。第1のスイッチ24は、クロック $s$ に回答して動作し、また画素2aからの信号を標本化するために用いられる。第1の容量回路27が反転入力23aと非反転出力23bとの間に接続されている。第1の容量回路27では、直列に接続された第2のスイッチ29および第2のキャパシタ31が、反転入力23aと非反転出力23bとの間に接続されている。第2のスイッチ29は、クロック $s$ に回答して動作し、第2のキャパシタ31への積分のために用いられる。例えば、第1の容量回路27に替えて第1の容量回路27bを用いることができる。第1の帰還スイッチ33が反転入力と非反転出力との間に接続されている。

20

30

40

【0031】

図2を参照すると、CMOSイメージセンサ1では、セルアレイ2の行に垂直シフトレジスタ3が接続されており、セルアレイ2の列にはA/D変換器アレイ4が接続されている。A/D変換器アレイ4は、アレイ状に配列された複数のA/D変換器を含む。各A/D変換器としてA/D変換器11を使用できる。A/D変換器アレイ4には、データレジスタ5が接続されており、画素2aからの信号に対応するA/D変換値がデータレジスタ5に格納される。データレジスタ5は、水平シフトレジスタ6からの信号に回答して、デ

50

デジタル信号を冗長表現 - 非冗長表現変換回路 7 へ提供する。冗長表現 - 非冗長表現変換回路 7 は、画素 2 a からの信号に対応した N ビットのデジタルコードを生成する。

【 0 0 3 2 】

画素 2 a は、フォトダイオード  $D_F$  が、イメージに関連する一画素分の光を受ける。選択トランジスタ  $M_S$  のゲートは、行方向に伸びる行選択線 S に接続されている。リセットトランジスタ  $M_R$  のゲートはリセット線 R に接続されている。転送トランジスタ  $M_T$  のゲートは、行方向に伸びる転送選択線に接続されている。フォトダイオード  $D_F$  の一端は転送トランジスタ  $M_T$  を介して浮遊拡散層  $F_D$  に接続されている。浮遊拡散層  $F_D$  は、リセットトランジスタ  $M_R$  を介してリセット電位線  $R_{reset}$  に接続されると共に、トランジスタ  $M_A$  のゲートに接続されている。トランジスタ  $M_A$  の一電流端子（例えばドレイン）は、選択トランジスタ  $M_S$  を介して列線 8 に接続されている。トランジスタ  $M_A$  は、浮遊拡散層  $F_D$  の電荷量に応じて電位を選択トランジスタ  $M_S$  を介して列線に提供する。

10

【 0 0 3 3 】

この構造の画素において、ノイズキャンセル動作は、以下のように行われる。まず、リセット制御信号 R をリセットトランジスタ  $M_R$  に提供し、浮遊拡散層  $F_D$  をリセットする。増幅トランジスタ  $M_A$  を介して、このリセットレベルを読み出す。次いで、電荷転送制御信号  $T_X$  を転送トランジスタ  $M_T$  に供給し、フォトダイオード  $D_F$  から光誘起信号電荷を浮遊拡散層に転送する。この後、トランジスタ  $M_A$  を介して、この信号レベルを読み出す。このリセットレベルと信号レベルの差は、図 1 に示されるような積分・巡回カスケード A/D 変換器を用いて求められる。これによって、画素 2 a のトランジスタの特性ばらつきによる固定パターンノイズと、浮遊拡散層をリセットしたときに発生するリセットノイズといったノイズがキャンセルされる。

20

【 0 0 3 4 】

引き続き、このノイズキャンセル動作を説明する。図 3 および図 4 は、A/D 変換器の動作のためのタイミングチャートを示す図面である。まず、本 A/D 変換器の動作の理解を容易にするために、シングルエンド構成の演算増幅回路をゲインステージに用いる A/D 変換器を説明する。

【 0 0 3 5 】

A/D 変換器の入力はイメージセンサレイ内の一画素からの信号を受ける。この回路は、画像のノイズキャンセル動作を行いながら信号の積分及び粗い A/D 変換（以下、「積分 A/D 変換」として参照する）を行う。積分 A/D 変換は第 1 及び第 2 の期間  $T_1$ 、 $T_2$  に行われる。その後、積分出力に巡回 A/D 変換を施す。図 2 に示される積分 A/D 変換では、一例として、第 1 の信号  $S_1$ （例えば、リセットレベルを示す信号）を期間  $T_{11}$ 、 $T_{12}$ 、 $T_{13}$ 、 $T_{14}$  の 4 期間に標本化すると共に、第 2 の信号  $S_2$ （例えば、光誘起信号レベルを示す信号）を期間  $T_{21}$ 、 $T_{22}$ 、 $T_{23}$ 、 $T_{24}$  の 4 期間に標本化する。これらの標本化により、積分 A/D 変換のための期間に、例えば 2 ビットの A/D 変換値が提供される。標本化回数は例示であり、その回数は必要に応じて変更される。

30

【 0 0 3 6 】

A/D 変換器 11 では、このノイズ低減処理のために多数回の標本化による積分動作を行い、画素内の増幅トランジスタおよびノイズキャンセル回路において発生するランダムノイズを低減する。また、上位ビットを生成する A/D 変換を行うので、ダイナミックレンジが確保される。

40

【 0 0 3 7 】

A/D 変換器 11 の入力 13 は、第 1 の期間  $T_1$  のうちの期間  $T_{11}$  の初期部分で画素の第 1 の信号  $S_1$ （リセットレベル信号の値  $V_r$ ）を受ける。標本化期間  $T_{11}$   $S_{AM}$  でクロック  $s$  に応答してスイッチ 24、33 が導通し、この信号は、キャパシタ 25 に標本化される。クロック  $s$  に従ってスイッチ 29 は導通している。積分期間  $T_{11}$   $I_{NT}$  に、クロック  $s$  に応答してスイッチ 24、33 が非導通にされ、また、スイッチ 21d を導通させて、D/A 変換回路 21 から所定の電圧信号  $V_{RP}$  が第 1 のキャパシタ 25 に加えられると、標本化された信号はスイッチ 29 を介して第 2 のキャパシタ 31 に転送さ

50

れる。

【0038】

第1および第2のキャパシタ25, 31がそれぞれキャパシタンスC1、C2を有し、例えばC1 = C2であるとき、演算増幅回路23の出力23bには、

$$V_o = (V_r - V_{R_P})$$

が生成される。標本化期間および積分期間のN回繰り返しにより、ゲインステージ15の容量回路27内に電荷が蓄積されて、演算増幅回路23の出力23bには、

$$V_o = N \times (V_r - V_{R_P})$$

が生成される。容量回路27内に電荷は保存されている。

【0039】

逆極性での積分のため、第2の期間T2のうちの期間T21の初期部分T21<sub>SAM</sub>で、D/A変換回路21は制御信号V<sub>CONT</sub>のP<sub>1</sub>にตอบสนองしてスイッチ21dを導通させ、またスイッチ33も導通させることによって、キャパシタ25に参照電圧V<sub>RP</sub>を標本化する。引き続き、A/D変換器11の入力13に、画素の第2の信号S2(信号レベル信号の値V<sub>S</sub>)を受ける。この信号S2は、標本化期間T21<sub>INT</sub>でクロック<sub>S</sub>にตอบสนองしてスイッチ24が導通し、またクロック<sub>S</sub>にตอบสนองしてスイッチ29は導通することによって、キャパシタ25に標本化されている参照電圧V<sub>RP</sub>と、受けたV<sub>S</sub>との差に比例した電荷が、スイッチ29を介して第2のキャパシタ29に転送される。初回の信号サンプルのとき、A/D変換回路17の動作に関係なく、D/A変換回路21が電圧V<sub>RP</sub>を発生する。

【0040】

この説明から理解されるように、図1に示されるA/D変換器における逆極性での積分では、電圧信号を受ける順番により極性が反転される。順極性の場合、標本化のために入力信号を第1のキャパシタ25の一端に受ける。第1のキャパシタ25に入力信号をサンプルした後に、第1のキャパシタ25(キャパシタンスC1)の一端に参照電圧を提供するように切り替えることによって、第2のキャパシタ31へ電荷を転送する。この手順により、電荷C1 × ((入力信号) - (参照電圧))が第2のキャパシタ31に転送される。逆極性では、まず、先に第1のキャパシタ25の一端に参照電圧を受ける。第1のキャパシタ25の参照電圧をサンプルした後に、第1のキャパシタ25の一端に入力信号を提供するように切り替えることによって、第2のキャパシタ31へ電荷を転送する。電荷C1 × ((参照電圧) - (入力信号))が第2のキャパシタ31に転送される。これらの式を比較すると、C1 × (参照電圧)とC1 × (入力信号)との順序が逆である。後ほど説明されるように、入力を接続する端子を反転入力に与えるか、非反転入力に与えるかによっても順極性接続および逆極性接続を実現できる。

【0041】

ゲインステージ15の出力は、比較器(本実施例では、A/D変換回路17内の比較器17bを用いる)に提供される。この比較器には積分A/D変換のための参照電圧V<sub>refI</sub>を与える。比較器の比較結果V<sub>COMP</sub>は論理回路19に提供され、論理回路19からの制御信号V<sub>CONT</sub>に応じてD/A変換回路21が動作する。但し、初回の信号サンプルのとき、D/A変換回路21は、制御信号V<sub>CONT</sub>に関係なく電圧V<sub>RP</sub>を提供する。比較器は以下のように動作する：

V<sub>o</sub> > V<sub>refI</sub>の時、V<sub>COMP</sub> = 1であり、D/A変換回路21は積分期間にV<sub>RP</sub>を提供；

V<sub>o</sub> < V<sub>refI</sub>の時、V<sub>COMP</sub> = 0であり、D/A変換回路21は積分期間にV<sub>RN</sub>を提供。

標本化期間および積分期間のN回繰り返しにより、ゲインステージ15の容量回路27内に電荷が蓄積されて、N = N1 + N2であるので、演算増幅回路23の出力23bには、

$$V_o = N \times (V_r - V_{R_P}) + N_1 \times (V_{R_P} - V_S) + N_2 \times (V_{R_N} - V_S)$$

$$= N \times (V_r - V_S) - N_2 \times (V_{R_P} - V_{R_N})$$

が生成される。値N2は、比較器の出力に「1」が現れた回数を示しており、つまり、A

10

20

30

40

50

/D変換回路は、ゲインステージの出力からの信号に応じたデジタル信号の第1および第2の値のうち第1の値の出現回数に対応する信号を提供する。この信号の値は、例えばA/D変換回路17に接続された回路18を用いてカウントすることができる。A/D変換回路17から信号 $S_{A/D M}$ として提供される。この値が、A/D変換値の上位ビットである。

#### 【0042】

図1には、回路18の一例が示されている。回路18は、第1および第2の入力20a、20b並びに出力20cを有する加算器20と、入力22aおよび出力22bを有するレジスタ(Mビット)22を含む。加算器20の第1の入力20aは、A/D変換回路17のうちの一方の比較器17bからの信号を受ける。加算器20の第2の入力20bはレジスタ22の出力22bからの信号を受ける。加算器20は、受けた信号の加算結果(デジタル信号)をMビットのレジスタ22に提供する。レジスタ22は、積分A/D変換中に比較器17bからの信号 $V_{COMP}$ の値「1」および「0」が加算された加算結果を保持する。レジスタ22は、積分A/D変換が終了したとき、上位ビットを示す信号 $S_{A/D M}$ を提供する。

10

#### 【0043】

このA/D変換器11によれば、第1のキャパシタ25を用いて第1の信号S1の標本化が第1の期間T1内の標本化期間(例えば $T_{11 S A M}$ )で行われると共に、標本化された信号は、D/A変換回路からの所定の電圧信号に应答して第2のキャパシタ31に第1の期間内の積分期間(例えば期間 $T_{11 I N T}$ )で転送される。第1の期間に標本化および積分が交互に行われ、第2のキャパシタ31に蓄積された電荷は第1の信号S1の複数回の積分値を示す。第1のキャパシタ25を用いてD/A変換回路21からの電圧信号の標本化が第2の期間T2内の標本化期間(例えば期間 $T_{21 S A M}$ )で行われると共に、標本化された信号は、第2の期間T2内の積分期間(例えば期間 $T_{21 I N T}$ )で第2の信号S2に应答して第2のキャパシタ31に転送される。第2の期間T2に標本化および積分が交互に行われ、第2のキャパシタ31に蓄積された電荷は第1の信号S1と第2の信号S2との差分に関連づけられた積分値を表す。この差分は、画素の信号成分に対応しており、複数回の積分によりN倍(N:積分の回数)されるけれども、ランダムノイズ成分は $sqr t(N)$ 倍される。このため、S/N比は $sqr t(N)$ 倍に改善される。

20

#### 【0044】

再び図1を参照しながら、A/D変換器11をさらに説明する。A/D変換回路17は、ゲインステージ15が第1および第2の期間T1、T2の後の第3の期間T3に巡回A/D変換のための動作を行うために、ゲインステージ15の出力15bからの信号に応じた三値のデジタル信号 $V_{DIG}$ ( $V_{DIG}$ は(d0、d1)からなる)を第3の期間に提供する。ゲインステージ15では、帰還スイッチ35がキャパシタ一端25aと非反転出力15bとの間に接続されており、またクロック1dに应答して動作する。第1のキャパシタ25の他端25bは、転送スイッチ37を介して反転入力15aおよび第1の容量回路27に接続されている。転送スイッチ37は、クロック2に应答して動作する。なお、キャパシタ他端25bにはスイッチ39が接続される。スイッチ39は、クロック1に应答して動作し、シングルエンド構成のゲインステージでは基準電位を提供するように接続される。

30

40

#### 【0045】

このA/D変換器11を用いて、第3の期間T3に、第2の期間に経過のときに第1の容量回路に蓄積された電荷によって発生するゲインステージ出力15bに対して巡回A/D変換を行う。第3の期間の標本化期間 $T_{31 S A M}$ に第2の帰還スイッチ35を介して第1のキャパシタ25に電荷を標本化する。第3の期間T3の転送期間 $T_{31 T R F}$ にD/A変換回路21からの電圧信号を第1のキャパシタ25に加えることによって転送スイッチ37を介して第1のキャパシタ25から第2のキャパシタ31に電荷を転送し電荷の再配置を行う。この結果、ゲインステージ15の出力15bに新たな電圧値が生成される。ゲインステージ15からの信号は、A/D変換回路21において2つの参照電圧 $V_{RC}$

50

$V_{RP}$ 、 $V_{RCN}$ と比較される。参照電圧 $V_{RCP}$ 、 $V_{RCN}$ は、それぞれ、例えば $V_{RP}/4$ 、 $V_{RN}/4$ である。A/D変換回路17の出力は、冗長デジタルコードを提供し、この冗長デジタルコードに応答して、制御回路19は、D/A変換回路21を制御するための制御信号 $V_{CONT}$ を生成する。A/D変換回路17が当該巡回サイクルにおけるデジタル信号を生成する。ゲインステージ15では、D/A変換回路からの電圧信号に応答して、第1のキャパシタ25に標本化された電圧を増幅すると共に、D/A変換回路21からの電圧信号を減算する。このため、 $i$ 回目の巡回動作におけるゲインステージ15の出力は、キャパシタ25、31の容量値に関して $C1 = C2$ が満たされるとき、

$$V_O(i) = 2 \times V_O(i-1) - V(i)$$

となり、D/A変換回路21の出力 $V(i)$ は

$$V_{RP} \quad (D(i) = +1)$$

$$0 \quad (D(i) = 0)$$

$$V_{RN} \quad (D(i) = -1)$$

である。なお、電圧 $V_{PR}$ は正の値とし、 $V_{RN} = -V_{RP}$ である。

このために、D/A変換回路21は、電圧 $V_{RP}$ 、 $V_{RN}$ を提供する電圧源21aと、制御信号 $V_{CONT}$ に応答して電圧値を切り替えるスイッチ21c~21fおよび43を含む。

デジタル信号 $D(i)$ は、

$$D(i) = +1 \quad (V_{RP}/4 < V_O(i-1))$$

$$D(i) = 0 \quad (V_{RN}/4 < V_O(i-1) < V_{RP}/4)$$

$$D(i) = -1 \quad (V_O(i-1) < V_{RN}/4)$$

である。電圧範囲の決定は、A/D変換回路17の比較器17b、17cを用いて行われる。巡回A/D変換動作において12ビットの分解能のA/D変換値を得るためには、11回の巡回動作が必要である。

#### 【0046】

図5は、シミュレーションにより求めたゲインステージの積分型A/D変換器として動作時における入出力特性を示す図面である。積分A/D変換(積分回数:16回)において、参照電圧 $V_{refI}$ として2種類の値を用いてシミュレーションを行った結果が図5に示される。A/D変換回路の比較器において積分A/D変換のための参照電圧として巡回A/D変換のための参照電圧(例えば0.25ボルト)を用いる場合、出力電圧のフルレンジが、1ボルト(電源電圧)を越える。このため、積分A/D変換のための参照電圧は、巡回A/D変換のための参照電圧よりも低い値を用いることが好ましい。本シミュレーションでは、参照電圧 $V_{COM}$ を用い、この値は例えば0ボルトである。図5から理解されるように、低照度から高照度の広い範囲にわたって積分A/D変換が可能である。また、低照度においては、S/N比の改善と高ダイナミックレンジが実現される。積分回数16回、巡回A/D変換11回の動作では、積分A/D変換から4ビットのデジタルコードが生成され、1.5ビット巡回A/D変換から12ビットのデジタルコードが生成される。この結果、16ビットのデジタルコードが生成される。実際のSNRは、ノイズレベルにより決定され、見積もりによれば、14ビット相当のA/D変換が実現される。

#### 【0047】

次いで、本実施の形態に係るA/D変換器は、シングルエンド構成に替えて、全差動構成を有することができる。図1を再び参照しながら、全差動構成のA/D変換器を説明する。全差動構成のA/D変換器11aでは、第3のキャパシタ41の一端41aはD/A変換回路21の出力21bに接続され、また他端41bは、スイッチ55を介して非反転入力23cに接続される。第3のスイッチ43は、第1のキャパシタ25の一端25aと第3のキャパシタ41の一端41aとの間に接続される。第2の容量回路45は、非反転入力23cと反転出力23dとの間に接続されており、第1の容量回路27と同一の構成を有する。本実施例では、第2の容量回路45は、直列に接続された第4のスイッチ47および第4のキャパシタ49を有する。第3の帰還スイッチ51は、非反転入力23cと

10

20

30

40

50

反転出力 23 d との間に接続される。このスイッチ 51 はクロック  $\phi_s$  に応答して動作し、第 4 のスイッチ 47 はクロック  $\phi_3$  に応答して動作する。A/D 変換器 11 a のゲインステージ 15 は、出力 15 b に加えて相補の出力 15 c を有する。

【0048】

A/D 変換器 11 a でも、積分 A/D 変換が第 1 および第 2 の期間 T1、T2 に行われる。また、A/D 変換器 11 a もシングルエンド構成の A/D 変換器と同様に動作する。これによって、このノイズキャンセル処理のために多数回の標本化による積分動作を行い、画素内の増幅トランジスタおよびノイズキャンセル回路において発生するランダムノイズを低減する。また、上位ビットを生成する A/D 変換を行うので、ダイナミックレンジが確保される。

10

【0049】

また、A/D 変換器 11 a は、第 3 の期間 T3 に巡回 A/D 変換を行うためには、以下の回路素子を備える。ゲインステージ 23 では、第 6 のスイッチ 39 が、第 1 のキャパシタ 25 の他端 25 b と第 3 のキャパシタ 41 の他端 41 b との間に接続される。第 4 の帰還スイッチ 53 が、第 3 のキャパシタ 41 の一端 41 a と反転出力 23 d との間に接続される。第 8 のスイッチ 55 が第 3 のキャパシタ 41 の他端 41 b と非反転入力 23 c との間に接続される。第 4 の帰還スイッチ 53 はクロック  $\phi_1 d$  に応答して動作し、第 8 のスイッチ 55 は  $\phi_2$  に応答して動作する。

【0050】

図 6 は、本実施の形態に係る A/D 変換器の回路図である。本実施の形態では、A/D 変換器 11 b は、A/D 変換器 11、11 a と同様に、CMOS イメージセンサのために用いられる。A/D 変換器 11 b は、スイッチ 24 に替えて、クロック  $\phi_r d$  に応答して動作するスイッチ 57 を含む。また、A/D 変換器 11 b は、入力 13 と第 3 のキャパシタ 41 の一端 41 a との間に接続されたスイッチ 59 を含み、このスイッチ 59 は、CMOS イメージセンサからの信号を標本化するために用いられる。このスイッチ 59 はクロック  $\phi_s d$  に応答して動作する。

20

【0051】

引き続き、このノイズキャンセル動作を説明する。図 7 および図 8 は、A/D 変換器の動作のためのタイミングチャートを示す図面である。A/D 変換器 11 b は、図 7 および図 8 に示されたタイミングチャートに従って動作する。このためのクロックは、クロック生成器 61 によって提供される。クロック生成器 61 と同様のクロック生成器が A/D 変換器 11、11 a のために用いられる。図 7 ~ 図 9 を参照しながら、A/D 変換器 11 b の積分 A/D 変換を説明する。

30

【0052】

CMOS イメージセンサの画素からのリセットレベル信号 Vr に複数回の標本化を施すことによって、ゲインステージ 15 を用いて該リセットレベル信号 Vr を積分する。

【0053】

図 9 に示されるステップ (a) では、リセットレベル信号 Vr を入力 15 a に供給すると共に入力 15 e に D/A 変換回路 21 からの所定の電圧信号 VRP を供給し、さらに帰還スイッチ 33、51 を導通させて演算増幅回路 23 の入力および出力を接続する。これにより、キャパシタ 31、49 の電荷がリセットされると共に、キャパシタ 25、41 にそれぞれ電圧 Vr、VRP が標本化される。

40

【0054】

この後に、図 9 に示されるステップ (b) では、スイッチ 43 を導通させてキャパシタ 25、41 の一端を接続し、キャパシタ 25、41 に標本化された電圧をキャパシタ 31、49 に転送する。ゲインステージ 15 の出力 15 b、15 c にはそれぞれ  $V_{o+}$ 、 $V_{o-}$  が生成され、

$$V_o = V_{o+} - V_{o-}$$

$$= V_r \times C_1 / C_2 - V_{RP} \times C_3 / C_4$$

が得られる。

50

## 【0055】

この後に、図9に示されるステップ(c)では、入力15a、15eにはリセットレベル信号 $V_r$ および電圧信号 $V_{RP}$ が供給されている。キャパシタ31、49の電荷をリセットしないように、スイッチ29、47を非導通にすると共に帰還スイッチ演算33、51を導通させて演算増幅回路23の入力および出力を接続することによって、キャパシタ25、41にそれぞれ電圧 $V_r$ 、 $V_{RP}$ が標本化される。

## 【0056】

この後に、図9に示されるステップ(d)では、スイッチ29、47およびスイッチ43を導通させることによってキャパシタ25、41の一端を接続し、キャパシタ25、41に標本化された電圧をキャパシタ31、49に転送する。ゲインステージ15の出力15b、15cにはそれぞれ $V_o^+$ 、 $V_o^-$ が生成され、

$$V_o = V_o^+ - V_o^- \\ = (V_r \times C_1 / C_2 - V_{RP} \times C_3 / C_4) \times 2$$

が得られる。

## 【0057】

ステップ(c)および(d)を繰り返す。N回の繰り返しにより、ゲインステージ15の出力15b、15cにはそれぞれ $V_o^+$ 、 $V_o^-$ が生成され、

$$V_o = V_o^+ - V_o^- \\ = (V_r \times C_1 / C_2 - V_{RP} \times C_3 / C_4) \times N$$

が得られる。

## 【0058】

引き続き、信号レベル電圧の標本化と積分を行う。まず、比較器17bによって、ゲインステージ15の出力電圧を参照電圧 $V_{refI}$ と比較する。出力電圧が $V_{refI}$ よりも小さい場合には、ステップ(e)及び(f)の動作を行い、出力電圧が $V_{refI}$ よりも大きいかまたは等しい場合には、ステップ(g)及び(h)の動作を行う。信号レベル電圧の標本化は、ゲインステージ15の入力極性を反転する点に注意を要する。図9に示されるステップ(e)では、入力15a、15eには電圧信号 $V_{RP}$ および信号レベル信号 $V_s$ が供給されている。キャパシタ31、49の電荷をリセットしないように、スイッチ29、47を非導通にすると共に帰還スイッチ33、51を導通させて演算増幅回路23の入力および出力を接続することによって、キャパシタ25、41にそれぞれ電圧 $V_{RP}$ 、 $V_s$ が標本化される。

## 【0059】

次いで、図9に示されるステップ(f)では、スイッチ29、47およびスイッチ43を導通させてキャパシタ25、41の一端を接続し、キャパシタ25、41に標本化された電圧をキャパシタ31、49に転送する。ゲインステージ15の出力15b、15cにはそれぞれ $V_o^+$ 、 $V_o^-$ が生成される。ゲインステージ15の出力からの信号は、A/D変換回路17に提供される。既にシングルエンド構成のA/D変換器の動作と同様に、A/D変換回路17において、ゲインステージ15の出力からの信号を参照電圧(例えば $V_{com}$ )と比較し、この比較結果に応じて、次のステップにおいてD/A変換回路21が供給する電圧信号を決定する。

## 【0060】

図9に示されるステップ(g)では、キャパシタ31、49の電荷をリセットしないように、スイッチ29、47を非導通にすると共に帰還スイッチ演算33、51を導通させて演算増幅回路23の入力および出力を接続することによって、キャパシタ25、41にそれぞれ電圧 $V_{RN}$ 、 $V_s$ が標本化される。

## 【0061】

この後に、図9に示されるステップ(h)では、スイッチ29、47およびスイッチ43を導通させてキャパシタ25、41の一端を接続し、キャパシタ25、41からキャパシタ31、49に標本化された電荷を転送する。

## 【0062】

10

20

30

40

50



A / D 変換回路 17 において、ゲインステージ 15 の出力からの信号を参照電圧（例えば  $V_{com}$ ）と比較し、この比較結果に応じて、次のステップにおいて D / A 変換回路 21 が供給する電圧信号を決定し、その結果によってステップ（e）～（f）とステップ（g）～（h）の動作のどちらを選択し、選択した一連のステップを繰り返す。N 回の繰り返しにより、ゲインステージ 15 の出力 15 b、15 c にはそれぞれ  $V_{o+}$ 、 $V_{o-}$  が生成される。A / D 変換回路 17 がゲインステージ 15 の出力からの信号を判定し、N1 回だけ、参照電圧を越えたとするとき、

$$\begin{aligned} V_o &= V_{o+} - V_{o-} \\ &= N \times (V_r \times C_1 / C_2 - V_{RP} \times C_3 / C_4) \\ &+ N1 \times (V_{RP} \times C_1 / C_2 - V_s \times C_3 / C_4) \\ &+ N2 \times (V_{RN} \times C_1 / C_2 - V_s \times C_3 / C_4) \end{aligned} \quad 10$$

が得られる。ここで、 $N = N1 + N2$  が満たされ、また D / A 変換回路が N1 回の積分において電圧  $V_{RP}$  を供給し、N2 回の積分において電圧  $V_{RN}$  を供給している。

$$\begin{aligned} V_o &= V_{o+} - V_{o-} \\ &= N \times (V_r \times C_1 / C_2 - V_s \times C_3 / C_4) \\ &+ N1 \times (C_1 / C_2 - C_3 / C_4) \times V_{RP} \\ &- N2 \times (V_{RP} \times C_1 / C_2 - V_{RN} \times C_3 / C_4) \end{aligned}$$

が得られる。 $C_1 = C_2 = C_3 = C_4$  が満たされるとき、

$$\begin{aligned} V_o &= V_{o+} - V_{o-} \\ &= N \times (V_r - V_s) - N2 \times (V_{RP} - V_{RN}) \end{aligned} \quad 20$$

が得られる。

#### 【0063】

この結果は、ノイズキャンセルされた信号（ $V_r - V_s$ ）が積分によって N 倍に増幅されることを示している。積分された信号成分  $N \times (V_r - V_s)$  から参照電圧差（ $V_{RP} - V_{RN}$ ）の N2 倍を差し引くことによって、画素からの信号を N 倍に増幅しても、増幅された信号は所望の電圧範囲に収めることができることを意味する。また、N 回の積分により、信号振幅が積分で N 倍に増幅されると共にランダムノイズの振幅は  $\sqrt{N}$  倍になるので、積分動作によって信号対ノイズ比（S / N 比）が改善され、ノイズ低減効果が得られる。例えば、16 回の積分により S / N 比で約 4 倍の改善が得られる。つまり相対的にノイズが 1 / 4 になる。

#### 【0064】

値 N2 は上位のデジタルコードである。この後に説明される巡回 A / D 変換をゲインステージ 15 の残余信号に施せば、高い分解能を有する下位デジタルコードが得られる。

#### 【0065】

図 10 は、巡回 A / D 変換の動作を示す図面である。図 10 のステップ（a）に示されるように、帰還スイッチ 35、53 を導通させて、ゲインステージ 15 の残余信号をキャパシタ 25、41 に標本化する。次いで、図 10 のステップ（a）に示されるように、制御信号  $V_{CONT}$  に応じた電圧を D / A 変換回路 21 がキャパシタ 25、41 に加えて、キャパシタ 25、41 の電荷をキャパシタ 31、49 に転送すると共に電荷の再配置を行う。この結果、ゲインステージ 15 の出力に演算結果が生成される。A / D 変換回路 17 を用いてゲインステージ 15 の出力信号からデジタル信号を生成する。ステップ（a）および（b）を繰り返すことによって、所望のビット数の巡回 A / D 変換を行う。

#### 【0066】

第 1 及び第 2 の実施の形態の A / D 変換器 11、11 a、11 b において、図 1 及び図 6 に示されるように、容量回路 27、45 のための容量回路 27 b を用いることができる。

#### 【0067】

容量回路 27 に替えて容量回路 27 b を用いると、第 2 のキャパシタ 31 の一端 31 a は反転入力 23 a に接続される。第 2 のスイッチ 29 は第 2 のキャパシタ 31 の他端 31

10

20

30

40

50

bと非反転出力23bとの間に接続される。容量回路27bは、第2のキャパシタ31の他端31bと第2のスイッチ29との間の第1のノードnode1に接続されたキャパシタ30（容量値Cst）を含むことが好ましい。キャパシタ30によれば、第2のスイッチ29のスイッチングに起因するノイズ（例えば、第2のスイッチ29として用いられたMOSアナログスイッチにおいては、チャージインジェクションノイズの電圧依存性）を低減できる。

【0068】

容量回路45に替えて容量回路27bを用いると、第2のキャパシタ31の一端31aは非反転入力23cに接続される。第2のスイッチ29は第2のキャパシタ31の他端31bと反転出力23dとの間に接続される。容量回路27bがキャパシタ30を用いれば、同様に、チャージインジェクションノイズの電圧依存性）を低減できる。

10

【0069】

また、第1および第2の実施の形態に係るA/D変換器11、11a、11bは、プリアンプ63を含むことができる。プリアンプ63は、CMOSイメージセンサの画素2aとゲインステージ15の入力15aとの間に接続される。

【0070】

プリアンプ63は、演算増幅回路65と、該演算増幅回路65の反転入力65aに接続された第1のキャパシタ67と、該演算増幅回路65の出力65bと入力65aとの間に接続された第2のキャパシタ69およびスイッチ71とを含み、第1および第2のキャパシタ67、69の容量比（ $C_{A1}/C_{A2}$ ）に応じて第1および第2の信号S1、S2を増幅する。このプリアンプ63は、図2に示すようなイメージセンサレイ2のカラムにレイ状に並列に配置することが有効である。まず、クロックspをアクティブにして、スイッチ71を導通させる。プリアンプ63の入力は、画素2aからのリセットレベル信号Vrを受ける。この信号がキャパシタ67（ $C_{A1}$ ）に標本化される。その後、スイッチ71を非導通にすると、そのとき、プリアンプ63は出力電圧 $V_{OUT1}$ を生成する。次いで、プリアンプ63の入力は、画素2aからの信号レベル信号Vsを受ける。このときのプリアンプ63は出力電圧 $V_{OUT2}$ を生成する。

20

【0071】

電圧 $V_{OUT1}$ は、プリアンプ63の入出力をクロックspに応答したスイッチ71でショートしたことにより直流的に定まる電圧値（動作点） $V_{SC}$ にノイズが重畳した電圧となり、次のように表される。

30

$$V_{OUT1} = V_{SC} + V_{nf} + V_{n1} \quad (1)$$

そのノイズ成分は、プリアンプ63の容量にサンプルされ固定値として表されるノイズ（フリーズノイズ） $V_{nf}$ と、時間的に変動するノイズ $V_{n1}$ とを含む。

【0072】

電圧 $V_{OUT2}$ は、次の成分を含む。

$$V_{OUT2} = (V_r - V_s) \times C_{A1} / C_{A2} + V_{SC} + V_{nf} + V_{n2} \quad (2)$$

第1項は、キャパシタ $C_{A1}$ からキャパシタ $C_{A2}$ への移動電荷であり、画素からのノイズレベル信号を受けたキャパシタ $C_{A1}$ には、最初、電荷 $Q_{A1}(n) = C_{A1} \times (V_r - V_{SC})$ が格納されており、その後画素からの信号レベル信号を受けると、キャパシタ $C_{A1}$ には $Q_{A1}(s) = C_{A1} \times (V_s - V_{SC})$ が格納され、この差分がキャパシタ $C_{A2}$ に転送される。第1および第3項は、それぞれ、フリーズノイズ $V_{nf}$ と、時間的に変動するノイズ $V_{n2}$ とに対応する。

40

【0073】

つまり、2つのレベルVs, Vrに共通なノイズ成分がキャンセルされ、差分（ $V_r - V_s$ ）が、 $C_{A1}$ と $C_{A2}$ の比で増幅される。増幅された $(V_r - V_s) \times C_{A1} / C_{A2}$ にノイズ成分などが重畳されている。この2つの電圧レベル $V_{OUT2}$ 、 $V_{OUT1}$ に対して、多数回標本化を行って積分を行った後、差（ $V_{OUT2} - V_{OUT1}$ ）を求める演算を行う。

【0074】

50

まず、電圧レベル  $V_{OUT2}$ 、 $V_{OUT1}$  の差は、

$$V = V_{OUT2} - V_{OUT1} \\ = (V_r - V_s) \times C_{A1} / C_{A2} + V_{n2} - V_{n1} \quad (3)$$

と表される。

【0075】

この  $V$  は、両者の共通成分（アンプの動作点電圧と、フリーズノイズ成分）がキャンセルされる。このキャンセルが低ノイズ化において非常に重要である。式（2）は、画素からの信号に対するノイズキャンセル（ $V_r$  と  $V_s$  の差を求める）動作が行われるが、フリーズノイズ成分が残ることを示す。一方、式（3）では、時間的に変動する成分  $V_{n1}$  と  $V_{n2}$  との間には相関がないので、その成分によるノイズは増加する。

10

【0076】

つまり、差  $V_{OUT2} - V_{OUT1}$  を求める演算によってノイズが低減できるかどうかは、それぞれのノイズの大きさによる。実際、大きな  $C_{A1} / C_{A2}$  を用いて利得を高くしたプリアンプのノイズを計算してみると、ノイズ成分  $V_{nc}$  が支配的である。さらに、この計算結果は実際の測定により確認され、極めて高いノイズ低減が可能であることが明らかになった。測定の結果、 $C_{A1} / C_{A2}$  を大きくすると、式（2）に対応するキャンセルに比べて40%程度のノイズ低減効果が得られる。この測定では、 $C_{A1} / C_{A2} = 20$  を用いた。好ましくは、比  $C_{A1} / C_{A2}$  は8以上である。

【0077】

したがって、積分A/D変換において、 $V_{OUT1}$  および  $V_{OUT2}$  のそれぞれに対して、N回の積分を行うと、式（3）中のノイズ成分  $V_{n1}$ 、 $V_{n2}$  が低減される。つまり、積分A/D変換では、式（3）の第1項  $(V_r - V_s) \times C_{A1} / C_{A2}$  は、N倍に増幅される一方で、ランダムなノイズ成分（ $V_{n2}$ 、 $V_{n1}$ ）は  $\sqrt{N}$  倍になるので、N回の積分によって  $S/N$  が  $\sqrt{N}$  倍向上する。別の言い方をすれば、入力換算のノイズが  $1/\sqrt{N}$  になり、フリーズノイズの低減効果と合わせて極めて低雑音の読み出しが可能になる。なお、プリアンプは、全差動構成でも良いし、内部の演算増幅器の変わりにシングルエンド入力、シングルエンド出力のアンプを用いても良い。

20

【0078】

以上説明したように、本実施の形態では、A/D変換器が提供される。このA/D変換器では、特にイメージセンサのカラムへの集積化に適し、簡単な回路構成により、イメージセンサの信号の読み出しを低雑音で行いながら、広いダイナミックレンジをもった高分解能のデジタル値を出力する。そのために、イメージセンサの画素からの信号に、ノイズキャンセルを行いながら、信号を多数回標本化して、積分による増幅を行うことによってノイズの低減を図る。また、上記の積分の中間結果（積分値を）を逐次に比較器によってある基準値と比較する。比較結果が基準値よりも積分値が大きいことを示す場合、積分値から所定の値を差し引くことによって、積分動作中に、A/D変換器の出力が飽和するのを抑えると共に、この差し引いた回数を、粗いA/D変換値として用いる。積分A/D変換の後に、ノイズキャンセル及び積分に用いた回路を利用して巡回A/D変換を行い、下位ビットのA/D変換を行う。積分A/D変換からの上位ビットと巡回A/D変換からの下位ビットとを併せて高分解能のデジタルコードを得る。さらに、積分A/D変換に先だってプリアンプを設け、プリアンプで発生するフリーズノイズを除去することによってさらに低雑音の信号読み出しを行う。

30

40

【0079】

（第2の実施の形態）

図11は、CMOSイメージセンサのための読み出し回路を概略的に示す図面である。図12は、この読み出し回路のためのタイミングチャートを示す。既に説明したように、CMOSイメージセンサの画素は、リセット状態における第1の信号と受光状態における第2の信号とを生成する。図13は、イメージセンサを示す図面である。この読み出し回路81は、プリアンプ83と、積分器85とを含む。プリアンプ83は、演算増幅回路87と、該演算増幅回路87の反転入力87aに接続された第1のキャパシタ89と、該演

50

算増幅回路 87 の非反転出力 87b と反転入力 87a との間に接続された第 2 のキャパシタ 91 を含む。プリアンプ 83 は、第 1 および第 2 のキャパシタ 89、91 の容量比に応じて、入力 93 に受けた第 1 の信号 S1 および第 2 の信号 S2 を増幅する。また、プリアンプ 83 は、演算増幅回路 87 の非反転出力 87b と反転入力 87a との間に接続されたスイッチ 95 を含み、スイッチ 95 は、クロック  $r$  に応答する。演算増幅回路 87 の非反転入力 87c は、例えば接地線といった基準電位線に接続されている。

#### 【0080】

積分器 85 は、プリアンプ 83 の出力 83a に接続された標本化スイッチ 97 を含み、また、増幅された第 1 の信号の複数回の積分を該標本化スイッチ 97 を用いて行うと共に増幅された第 2 の信号の複数回の積分を該標本化スイッチ 97 を用いて行うことによつて、第 1 の信号と第 2 の信号との差分を増幅する。読み出し回路 81 によれば、増幅された第 1 の信号の複数回の積分を行うと共に、プリアンプ 83 の出力 83a に積分器 85 の入力 85a が逆極性になるように、増幅された第 2 の信号の複数回の積分を行うので、積分器 85 は、第 1 の信号 S1 と第 2 の信号 S2 との差分を示し増幅された信号を提供する。

10

#### 【0081】

具体的には、積分器 85 では、該演算増幅回路 99 の反転入力 99a とスイッチ 97 との間に第 1 のキャパシタ 98 が接続される。スイッチ 97 はクロック  $1$  に応答する。容量回路 101 が、該演算増幅回路 99 の非反転出力 99b と反転入力 99a との間に接続される。容量回路 101 が、直列に接続された第 2 のキャパシタ 103 およびスイッチ 105 を含む。積分器 85 は、演算増幅回路 99 の非反転出力 99b と反転入力 99a との間に接続されたスイッチ 107 を含み、スイッチ 107 は、クロック  $r_2$  に応答する。また、容量回路 101 は、第 2 のキャパシタ 103 とスイッチ 105 との共通ノード node 3 に接続されたリセットスイッチ 111 を含む。容量回路 101 は、共通ノード node 3 に接続された一端を有するキャパシタ 109 を含み、キャパシタ 109 の他端は、例えば接地線といった基準電位線に接続されている。キャパシタ 109 は、リセットスイッチ 111 のスイッチングノイズの電圧依存性を低減するために役立つ。第 1 のキャパシタ 98 とスイッチ 97 との共通ノード node 4 には、参照電圧  $V_{REF}$  を供給するためにスイッチ 112 が接続される。スイッチ 112 はクロック  $3$  に応答して動作する。

20

#### 【0082】

積分器 85 の出力 85b には、サンプル/ホールド (S/H) 回路 113 が接続されており、S/H 回路 113 は、保持キャパシタ 115 と、保持キャパシタ 115 の一端 115a と積分器 85 の出力 85b との間に接続された標本化スイッチ 117 とを含む。保持された信号は、同期スイッチ 119 を介して水平走査線 121 に接続されている。図 12 に示されたタイミングチャートのためのクロックは、クロック生成器 123 によって提供される。演算増幅回路 87、99 の非反転入力には、例えば接地電位といった基準電位が供給される。図 11 に示された読み出し回路 81 は、シングルエンド構成であるけれども、全差動構成の演算増幅回路をプリアンプおよび積分器のために用いることができる。また、積分器 85 の出力に A/D 変換器を接続して、例えば巡回 A/D 変換を行うこともできる。

30

#### 【0083】

図 13 は、イメージセンサ 1a のブロック図を示す。この読み出し回路 81 のアレイは、イメージセルアレイ 2 のカラムに設けられることができる。これにより、読み出し回路 81 は、簡単な回路構成によりイメージセンサの信号を低ノイズで読み出しできる。イメージセルアレイ 2 の画素 2a には、画素内電荷転送を行う方式を用いる。図 12 に示されるように、タイミングチャートは、リセットレベル積分期間  $T_R$  と信号レベル積分期間  $T_S$  とを含む。この実施例では、リセットレベル積分期間  $T_R$  は 4 つの期間  $T_{R1} \sim T_{R4}$  の各々で積分が行われ、また信号レベル積分期間  $T_S$  は 4 つの期間  $T_{S1} \sim T_{S4}$  の各々で積分が行われる。特に、リセットレベル積分期間  $T_R$  の期間  $T_{R1}$  の前半  $T_{RST}$  では、クロック  $r$  に応答して、プリアンプ 83 のリセットがスイッチ 95 を用いて行われる。期間  $T_{R1}$  の後半  $T_{SAM}$  では、標本化が行われる。本実施例では、リセットレベル積

40

50

分期間  $T_R$  の期間  $T_{R4}$  は信号レベル積分期間  $T_S$  の期間  $T_{S1}$  と並列して行われる。このために、クロック 1 に応答してスイッチ 97 が期間  $T_{R4}$ 、 $T_{S1}$  のほぼ全体にわたって導通している。信号レベル積分期間  $T_S$  では、クロック  $T_{Xi}$  に応答して第 2 の信号  $S_2$  がプリアンプ 83 に提供される。プリアンプ 83 は、増幅された第 2 の信号  $S_2$  をクロック 1 に応答してスイッチ 97 を介してキャパシタ 98 に標本化する。リセットレベル積分期間  $T_R$  の期間  $T_{R4}$  および信号レベル積分期間  $T_S$  の期間  $T_{S1}$  では、クロック 1 のハイ期間が広くなっており、リセットレベル積分期間  $T_R$  では各期間の前半でクロック 1 はアクティブであるが、信号レベル積分期間  $T_S$  では各期間の後半でクロック 1 はアクティブである。これ故に、リセットレベル積分期間  $T_R$  での積分器 85 への積分は、リセットレベル積分期間  $T_R$  での積分器 85 への積分と逆極性に行われる。

10

## 【0084】

画素 2 a の第 1 の信号 (リセットレベル)  $S_1$  を出力に対して、プリアンプ 83 に標本化する。このとき、プリアンプ 83 では、リセットスイッチ 95 導通させキャパシタ 91 をリセットする。リセットの後に、リセットスイッチ 95 を開いたとき、プリアンプ 83 の出力 83 a には、このリセット動作に伴うノイズが生成される。積分器 85 は、この第 1 の信号  $S_1$  を積分するために多数回の標本化を行う。

## 【0085】

次いで、画素 2 a の第 2 の信号 (信号レベル)  $S_2$  をプリアンプ 83 に加える。この信号は、プリアンプ 83 内のキャパシタ 89、91 の容量比によって増幅される。積分器 85 は、第 1 の信号  $S_1$  と第 2 の信号  $S_2$  との差を示す信号を生成する。このとき、積分器 85 は、プリアンプ 83 の出力 83 a からの信号が逆極性となるように信号を多数回標本化することにより積分を行う。これらの処理の結果、積分器の出力は、プリアンプ 83 の出力 83 a からの第 1 の信号  $S_1$  と第 2 の信号  $S_2$  との差を取りながら積分により増幅された信号を提供する。その積分結果を  $S/H$  回路 113 でサンプルして記憶し、水平走査線 121 によって外部に読み出す。

20

## 【0086】

次いで、多重サンプリング積分回路を用いたイメージセンサの動作を説明する。図 14 および図 15 は、多重積分読み出し回路の動作を示す図面である。図 12 に示されるタイミングチャートでは、4 回の標本化が行われているが、以下の一例の動作では、画素 2 a からのリセットレベル、信号レベルに対して、それぞれ 2 回の積分を行う。引き続き説明では、第 1 および第 2 の信号  $S_1$ 、 $S_2$  として「 $V_R$ 」、「 $V_S$ 」を用いる。

30

## 【0087】

ステップ (a) では、プリアンプ 83 の入力 83 b に画素 2 a のリセットレベル信号  $V_R$  を加える。スイッチ 95 を介して演算増幅回路 87 の反転入力 87 a を非反転出力 87 b に接続して、キャパシタ 89 に信号  $V_R$  を標本化する。積分器 85 では、スイッチ 107 を導通させて演算増幅回路 99 の反転入力 99 a と非反転入力 99 b とを接続すると共に、クロック  $r_d$  に応答してスイッチ 111 を導通させる。これにより、キャパシタ 103 の電荷をリセットする。また、クロック 97 に応答してスイッチ 97 を導通させる。これにより、キャパシタ 98 の電荷をリセットする。

## 【0088】

ステップ (b) では、クロック  $r$  に応答してスイッチ 95 を非導通にすると共に、クロック  $r_2$  に応答してスイッチ 107 を非導通にする。キャパシタ 91 には、スイッチやアンプで発生した雑音成分がサンプルされ、出力 83 a に現れる。積分器 85 は、スイッチ 97 を介してプリアンプ 83 からの信号をキャパシタ 98 に標本化する。

40

## 【0089】

ステップ (c) では、積分器 85 のスイッチ 111 を非導通にすると共にスイッチ 105 を導通にして、キャパシタ 98 の電荷をキャパシタ 103 に積分する。この時、積分器 85 の出力には、次式の電圧が現れる。

$$V_o(1) = C_3 / C_4 \times V_{nd1}(1) + C_3 / C_4 \times C_{B1} / C_{B2} \times V_{npd}(1)$$

50

ここで、 $V_{nd1}(1)$ 、 $V_{npd}(1)$ は、それぞれプリアンプ83および画素2aのソースフォロワのノイズ成分(時間的に変動するノイズ)である。括弧内の数字は、ステップの順序に対応する。第1項はプリアンプ83に起因するノイズであり、第2項は画素2aに起因するノイズであり、このノイズはプリアンプ83によって増幅される。

【0090】

ステップ(d)では、クロック1に 응답してスイッチ97を非導通にすると共に、クロック3に 응답してスイッチ112を導通させる。積分器85のキャパシタ98に電圧 $V_{REF}$ を供給する。この電圧に対応する電荷がキャパシタ98からキャパシタ103へ移動する。この時、積分器85の出力には、次式の電圧が現れる。

$$V_o(1) = C_3 / C_4 \times (V_{nfl}(1) + V_{nd1}(1) - V_{REF}) + C_3 / C_4 \times C_{B1} / C_{B2} \times V_{npd}(1) \quad 10$$

ここで、 $V_{nfl}(1)$ はプリアンプ83のフリーズノイズである。フリーズノイズは、キャパシタに標本化されて固定した電荷として存在し、時間的に変動しない。

【0091】

ステップ(e)では、クロック2に 응답してスイッチ105を非導通にする。キャパシタ103の一端(積分器の出力に接続されるキャパシタ端子)が開放されているので、積分結果はキャパシタ103に保持される。また、クロックr2に 응답してスイッチ107を導通して、演算増幅回路99の反転入力99aを非反転出力99bに接続する。

【0092】

ステップ(f)では、読み出し回路81の入力93に第2の信号 $S_2$ を供給する。この信号 $S_2$ をプリアンプ83は増幅する。積分器85のキャパシタ98は、増幅された信号を受ける。この時、積分器85の出力には次の電圧が現れる。

$$V_o(1) = C_3 / C_4 \times (V_{nfl}(1) + V_{nd1}(1) - V_{REF} - V_{nd1}(3)) + C_3 / C_4 \times C_{B1} / C_{B2} \times (V_{npd}(1) - V_{npd}(3) + V_R - V_S) \quad 20$$

【0093】

ステップ(g)では、クロック1に 응답してスイッチ97を非導通にすると共に、クロック3に 응답してスイッチ112を導通させる。積分器85のキャパシタ98に電圧 $V_{REF}$ を供給する。この電圧に対応する電荷がキャパシタ98からキャパシタ103へ移動する。この時、積分器85の出力には、次式の電圧が現れる。

$$\begin{aligned} V_o(1) &= C_3 / C_4 \times (V_{nfl}(1) + V_{nd1}(1) - V_{REF} - V_{nd1}(3) - V_{nd1}(4) - V_{nfl}(1) + V_{REF}) + C_3 / C_4 \times C_{B1} / C_{B2} \times (V_{npd}(1) - V_{npd}(3) - V_{npd}(4) + 2 \times (V_R - V_S)) \\ &= C_3 / C_4 \times (V_{nd1}(1) - V_{nd1}(3) - V_{nd1}(4)) + C_3 / C_4 \times C_{B1} / C_{B2} \times (V_{npd}(1) - V_{npd}(3) - V_{npd}(4) + 2 \times (V_R - V_S)) \end{aligned} \quad 30$$

【0094】

これら一連の動作から、まず、プリアンプ83のフリーズノイズ成分 $V_{nfl}$ はキャンセルされる。また、N回の標本化により、入力信号( $V_R - V_S$ )がN倍に増幅される。積分により、時間変動するノイズ成分( $V_{npd}$ 、 $V_{nd1}$ )も積分されるけれども、時間変動するノイズ成分は無相関でランダムである。これ故に、N回の積分の結果、振幅で $\sqrt{2 \times N - 1}$ 倍に増幅される一方で、信号成分( $V_R - V_S$ )は、信号 $V_R$ および $V_S$ それぞれN回の積分によりN倍に増幅される。

【0095】

加えて、プリアンプ83の利得(キャパシタ比 $C_{B1} / C_{B2}$ により決定される)を高くできるので、プリアンプ83の帯域制限の作用により、時間変動するノイズ成分は低減される。好ましくは、比 $C_{B1} / C_{B2}$ は8以上である。

【0096】

これらの2つの効果により、非常に低ノイズでの信号読み出しが可能となる。さらに、このように信号レベルおよびリセットレベルをそれぞれ多数回標本化して積分し両者の差を求める処理を行うことによって、 $1/f$ ノイズも低減される。

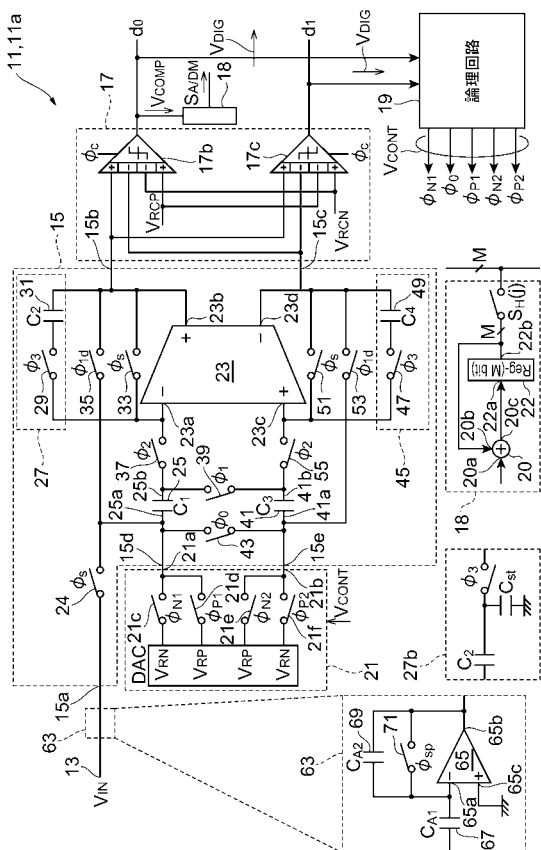
【0097】

図16は、ノイズ解析による見積もりを示すグラフである。図中の「INT」は積分回数を示す。図16を参照すると、プリアンプの利得が1であり、複数回の積分を行わないとき、熱ノイズおよび $i/f$ ノイズを含むトータル入力換算ノイズは $232\mu V_{rms}$ であるけれども、プリアンプ利得が32倍であるとき、 $56.4\mu V_{rms}$ にまで低減される。プリアンプ利得が32倍であると共に16回の積分を置こうとき、 $18.4\mu V_{rms}$ にまで低減される。なお、変換ゲインが $60\mu V/e^-$ と仮定しており、この値は等価ノイズ電子数では0.3以下に相当する。ノイズが等価電子数換算で0.3以下になれば、信号電子の数に応じて生じる離散的なレベルを大まかに識別できる。

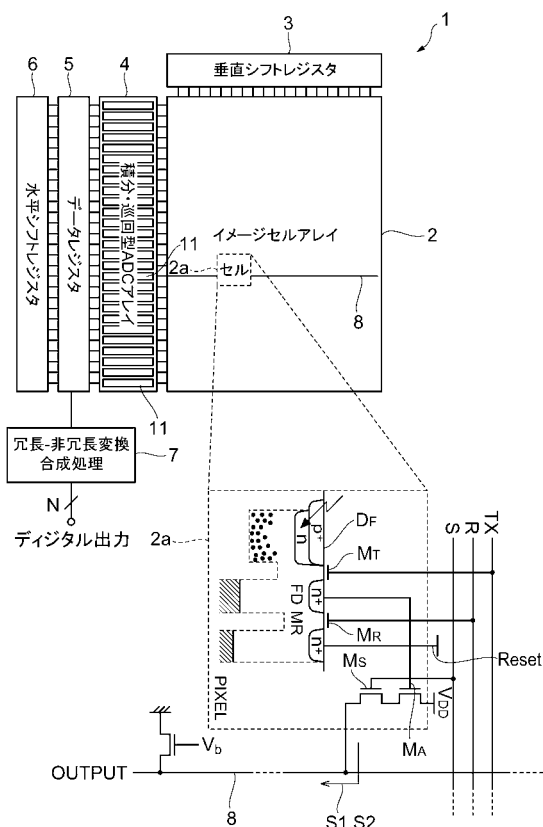
【0098】

好適な実施の形態において本発明の原理を図示し説明してきたが、本発明は、そのような原理から逸脱することなく配置および詳細において変更され得ることは、当業者によって認識される。本発明は、本実施の形態に開示された特定の構成に限定されるものではない。したがって、特許請求の範囲およびその精神の範囲から来る全ての修正および変更権利を請求する。

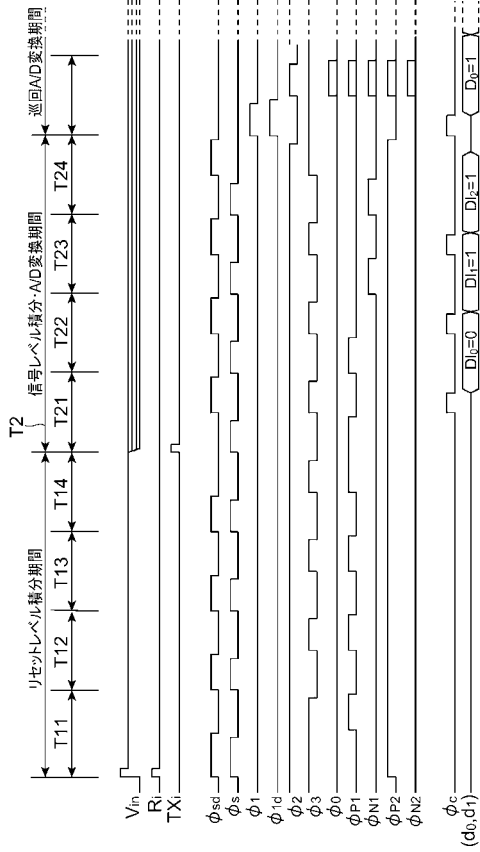
【図1】



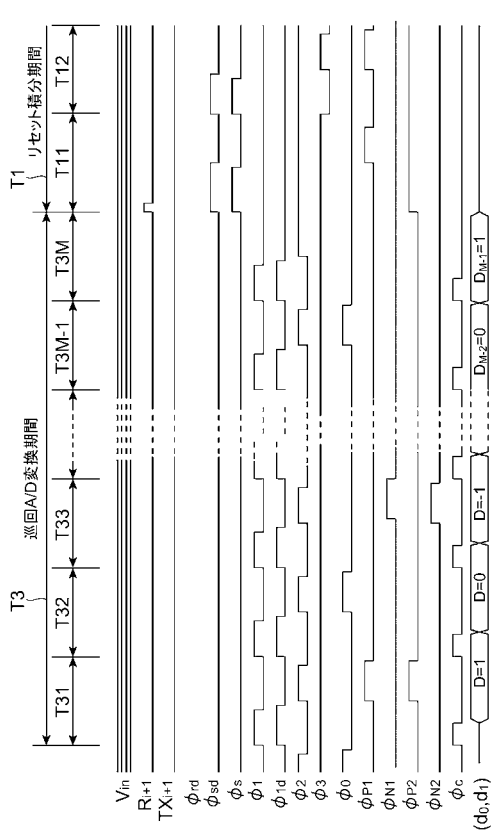
【図2】



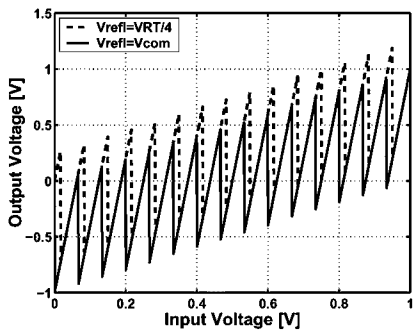
【 図 3 】



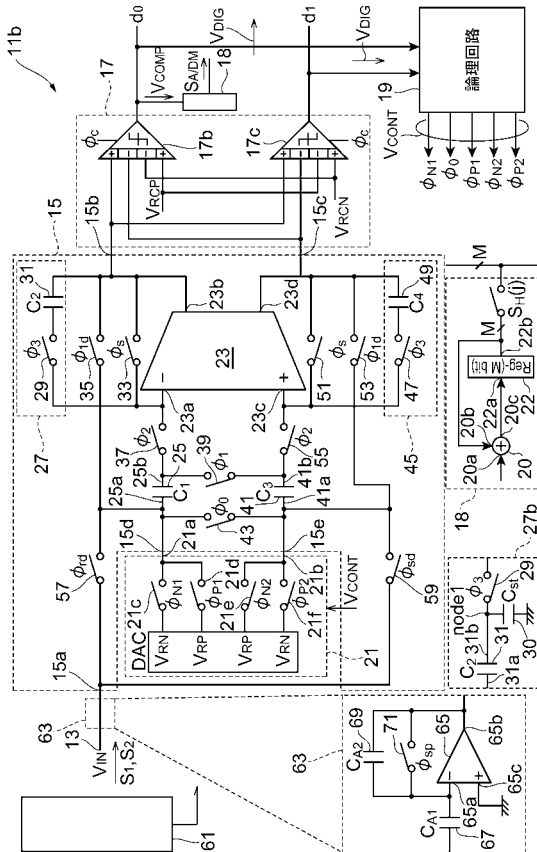
【 図 4 】



【 図 5 】

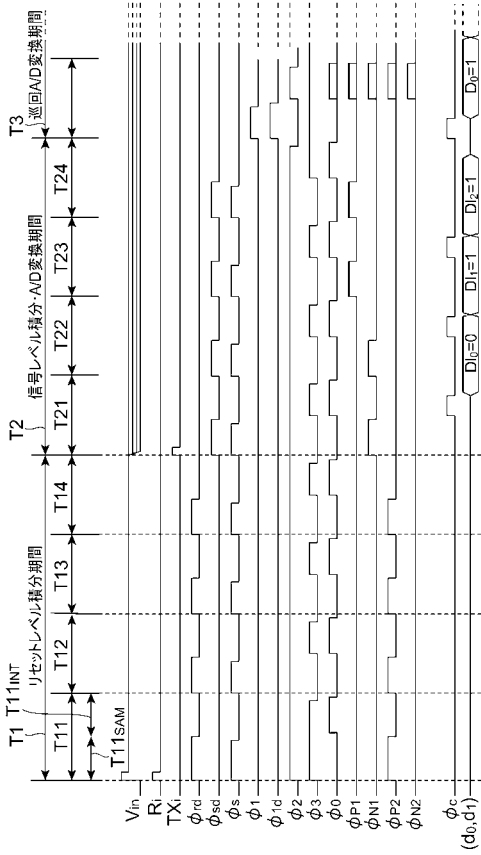


【 図 6 】

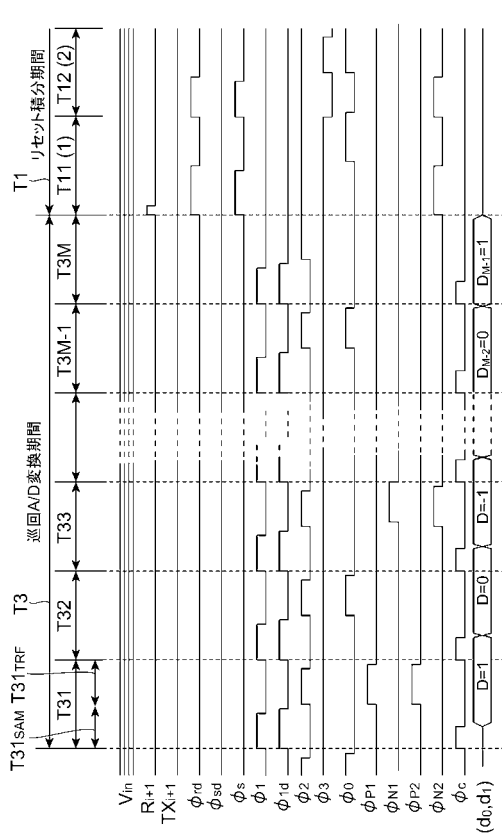




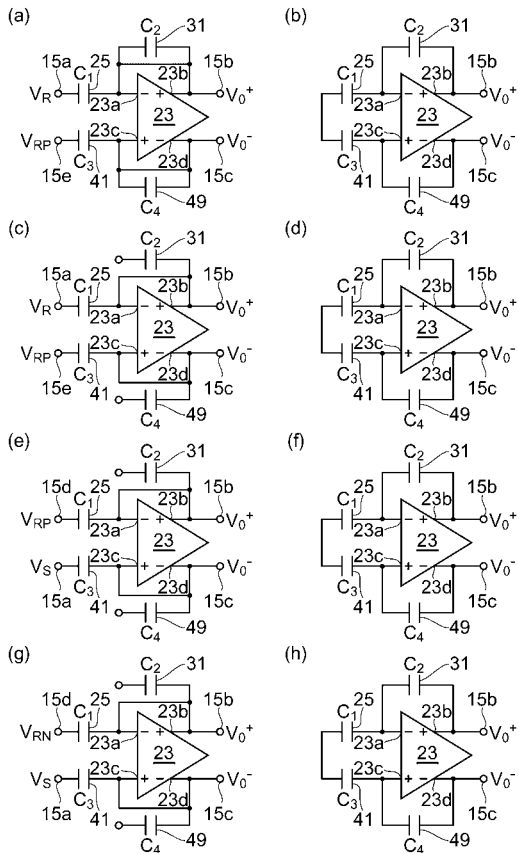
【 図 7 】



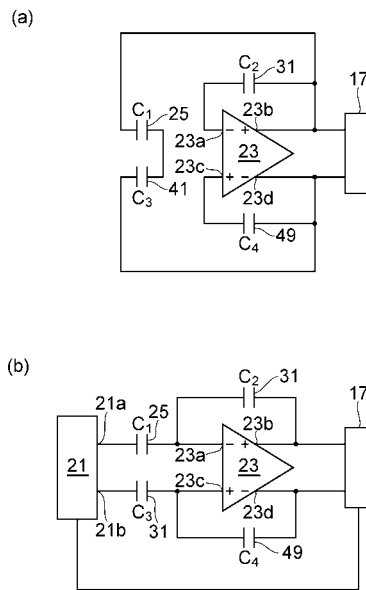
【 図 8 】



【 図 9 】



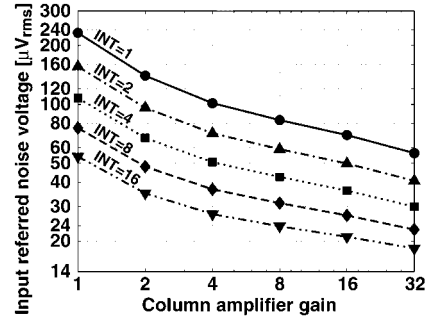
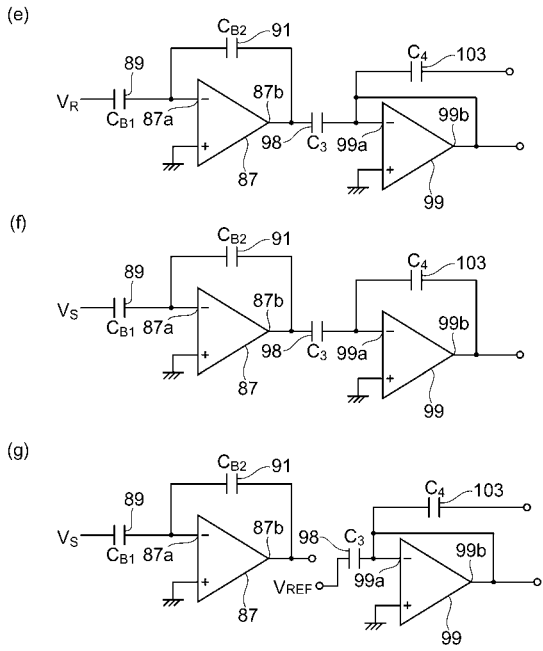
【 図 10 】





【 図 1 5 】

【 図 1 6 】



## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2007/064986
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> H03M1/14(2006.01)i, H03M1/08(2006.01)i, H04N5/335(2006.01)i  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H03M1/00-1/88, H04N5/335  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2005-269471 A (Sony Corp.), 29 September, 2005 (29.09.05), Par. Nos. [0015] to [0017], [0023] to [0043]; Figs. 2, 3; Claim 7 (Family: none)	15 1-14
A	JP 03-225284 A (NEC Corp.), 04 October, 1991 (04.10.91), Page 2, upper right column, lines 1 to 11; Fig. 1 (Family: none)	1-15
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 30 August, 2007 (30.08.07)		Date of mailing of the international search report 11 September, 2007 (11.09.07)
Name and mailing address of the ISA/ Japanese Patent Office  Facsimile No.		Authorized officer  Telephone No.

国際調査報告		国際出願番号 PCT/JP2007/064986	
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H03M1/14(2006.01)i, H03M1/08(2006.01)i, H04N5/335(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H03M1/00-1/88, H04N5/335			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2007年 日本国実用新案登録公報 1996-2007年 日本国登録実用新案公報 1994-2007年			
国際調査で使用了電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
X A	JP 2005-269471 A (ソニー株式会社) 2005.09.29, 段落 15-17, 23-43, 第 2, 3 図, 請求項 7 参照 (ファミリーなし)	15 1-14	
A	JP 03-225284 A (日本電気株式会社) 1991.10.04, 第 2 頁右上欄第 1-11 行, 第 1 図 (ファミリーなし)	1-15	
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献	
国際調査を完了した日 30.08.2007		国際調査報告の発送日 11.09.2007	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目 4 番 3 号		特許庁審査官 (権限のある職員) 柳下 勝幸	5X 9561
		電話番号 03-3581-1101	内線 3596

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

Fターム(参考) 5J022 AA04 AB01 BA02 CA07 CF02 CF03 CF10 CG01 CG04

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。