

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02007/083704

発行日 平成21年6月11日(2009.6.11)

(43) 国際公開日 平成19年7月26日(2007.7.26)

(51) Int.Cl.	F I	テーマコード (参考)
<b>HO4N 5/335 (2006.01)</b>	HO4N 5/335	E 4M118
<b>HO1L 27/146 (2006.01)</b>	HO1L 27/14	A 5C024
	HO4N 5/335	U

審査請求 有 予備審査請求 有 (全 50 頁)

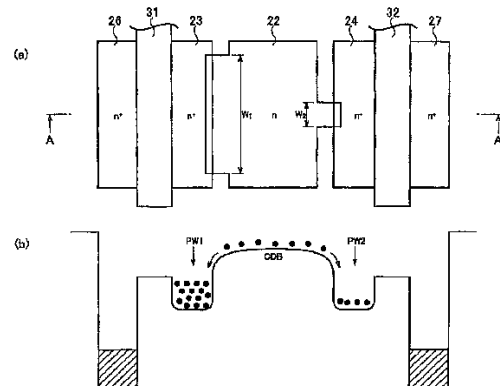
出願番号	特願2007-554948 (P2007-554948)	(71) 出願人	304023318 国立大学法人静岡大学 静岡県静岡市駿河区大谷836
(21) 国際出願番号	PCT/JP2007/050698	(74) 代理人	100088155 弁理士 長谷川 芳樹
(22) 国際出願日	平成19年1月18日(2007.1.18)	(74) 代理人	100092657 弁理士 寺崎 史朗
(31) 優先権主張番号	特願2006-10128 (P2006-10128)	(74) 代理人	100108257 弁理士 近藤 伊知良
(32) 優先日	平成18年1月18日(2006.1.18)	(74) 代理人	100124800 弁理士 諏澤 勇司
(33) 優先権主張国	日本国(JP)	(72) 発明者	川人 祥二 静岡県浜松市中区城北3丁目5-1 国立 大学法人静岡大学電子工学研究所内

最終頁に続く

(54) 【発明の名称】 固体撮像装置及びその画素信号の読みだし方法

(57) 【要約】

画素面積の増大を防ぎながらダイナミックレンジが大きい固体撮像装置及びその画素信号の読みだし方法を提供する。光により生成された電荷を蓄積する第1のポテンシャル井戸PW1と、この第1のポテンシャル井戸PW1に隣接した電荷分配電位障壁CDBと、この電荷分配電位障壁CDBを介して第1のポテンシャル井戸PW1に対向し、同一強度の光に対し、第1のポテンシャル井戸PW1に蓄積された電荷よりも少量の電荷を蓄積する第2のポテンシャル井戸PW2と、第1のポテンシャル井戸PW1及び第2のポテンシャル井戸PW2に蓄積された電荷を転送する第1転送ゲート電極31及び第2転送ゲート電極32と、第1及び第2転送ゲート電極により転送された電荷をそれぞれ別個に蓄積する第1浮遊拡散領域26及び第2浮遊拡散領域27とを備える画素を複数配列する。



**【特許請求の範囲】****【請求項 1】**

光により生成された電荷を蓄積する第 1 のポテンシャル井戸と、  
該第 1 のポテンシャル井戸に隣接した電荷分配電位障壁と、  
該電荷分配電位障壁を介して第 1 のポテンシャル井戸に対向し、前記第 1 のポテンシャル井戸に蓄積された電荷を生成した光と同一強度の光に対し、前記第 1 のポテンシャル井戸に蓄積された電荷よりも少量の電荷を蓄積する第 2 のポテンシャル井戸と、  
前記第 1 及び第 2 のポテンシャル井戸に蓄積された電荷を互いに異なるタイミングで別個に転送する第 1 及び第 2 転送ゲート電極と、  
前記第 1 及び第 2 転送ゲート電極により転送された前記電荷をそれぞれ別個に蓄積する第 1 及び第 2 浮遊拡散領域と  
を備える画素を複数配列した固体撮像装置。

10

**【請求項 2】**

前記画素は、光に応答して電荷を生成するフォトダイオードを更に備え、  
前記第 1 および第 2 のポテンシャル井戸に蓄積される電荷は該フォトダイオードによって提供される、請求項 1 に記載された固体撮像装置。

**【請求項 3】**

前記フォトダイオードは、前記電荷分配電位障壁を含む、請求項 2 に記載された固定撮像装置。

**【請求項 4】**

前記第 2 浮遊拡散領域に蓄積された電荷による画素信号の読み出しのみが、1 フレーム内で、複数回行われる請求項 1 に記載の固体撮像装置。

20

**【請求項 5】**

前記第 2 浮遊拡散領域に蓄積された電荷による画素信号の読み出しが、1 フレーム内で、異なる蓄積時間で、複数回行われる請求項 1 に記載の固体撮像装置。

**【請求項 6】**

前記第 1 浮遊拡散領域に蓄積された電荷による画素信号と、前記第 2 浮遊拡散領域に蓄積された電荷による画素信号とは、互いに異なる読みだしタイミングで読み出される請求項 1 に記載の固体撮像装置。

**【請求項 7】**

前記電荷分配電位障壁が、第 1 導電型半導体領域の上部の一部に埋め込まれた第 2 導電型の第 1 表面埋込領域のポテンシャル分布により形成され、

前記第 1 のポテンシャル井戸が、前記第 1 表面埋込領域に隣接し、前記第 1 導電型半導体領域の上部の他の一部に埋め込まれた第 2 導電型で前記第 1 表面埋込領域よりも高不純物密度の第 2 表面埋込領域のポテンシャル分布により形成され、

前記第 2 のポテンシャル井戸が、前記第 1 表面埋込領域に関し、前記第 2 表面埋込領域と反対の位置において、前記第 1 表面埋込領域に隣接し、前記第 1 導電型半導体領域の上部の更に他の一部に埋め込まれた第 2 導電型で前記第 1 表面埋込領域よりも高不純物密度の第 3 表面埋込領域のポテンシャル分布により形成されている請求項 1 に記載の固体撮像装置。

30

40

**【請求項 8】**

前記第 1 表面埋込領域にのみ光を入射させる遮光膜を更に備え、

前記第 1 表面埋込領域から前記第 2 表面埋込領域への前記電荷の流入通路の断面積よりも、前記第 1 表面埋込領域から前記第 3 表面埋込領域への前記電荷の流入通路の断面積を小さくすることにより、前記第 2 のポテンシャル井戸に蓄積される電荷量を、前記第 1 のポテンシャル井戸に蓄積される電荷量よりも少なくする請求項 7 に記載の固体撮像装置。

**【請求項 9】**

前記第 1 表面埋込領域及び第 2 表面埋込領域に光を入射させ、前記第 3 表面埋込領域に光を入射させない遮光膜を更に備え、

該遮光膜による入射光量の制御により、前記第 2 のポテンシャル井戸に蓄積される電荷

50

量を、前記第 1 のポテンシャル井戸に蓄積される電荷量よりも少なくする請求項 7 に記載の固体撮像装置。

【請求項 10】

前記電荷分配電位障壁の前記第 2 のポテンシャル井戸に面した肩部のポテンシャルをゲート絶縁膜を介して静電的に制御する第 1 電荷流入制御ゲートを更に備え、該第 1 電荷流入制御ゲートに印加する電圧の制御により、前記第 2 のポテンシャル井戸に蓄積される電荷量を、前記第 1 のポテンシャル井戸に蓄積される電荷量よりも少なくする請求項 7 ~ 請求項 9 のいずれか 1 項に記載の固体撮像装置。

【請求項 11】

前記電荷分配電位障壁の前記第 1 のポテンシャル井戸に面した肩部のポテンシャルをゲート絶縁膜を介して静電的に制御する第 2 電荷流入制御ゲートを更に備える請求項 10 に記載の固体撮像装置。

10

【請求項 12】

前記電荷分配電位障壁の前記第 2 のポテンシャル井戸に面した肩部のポテンシャルを制御して、前記第 2 のポテンシャル井戸への電荷の複数回の流入を、1 フレーム内で行う請求項 7 ~ 請求項 9 のいずれか 1 項に記載の固体撮像装置。

【請求項 13】

前記第 1 表面埋込領域にのみ光を入射させる遮光膜と、

前記電荷分配電位障壁の前記第 2 のポテンシャル井戸に面した肩部のポテンシャルをゲート絶縁膜を介して静電的に制御する第 1 電荷流入制御ゲートと

20

を更に備え、

前記第 1 表面埋込領域から前記第 3 表面埋込領域への前記電荷の流入通路の断面積よりも、前記第 1 表面埋込領域から前記第 2 表面埋込領域への前記電荷の流入通路の断面積を小さくし、前記第 1 電荷流入制御ゲートに印加する電圧の制御により、前記第 2 のポテンシャル井戸に蓄積される電荷量を、前記第 1 のポテンシャル井戸に蓄積される電荷量よりも少なくする請求項 7 に記載の固体撮像装置。

【請求項 14】

前記第 1 のポテンシャル井戸が、第 1 導電型半導体領域の上部の一部に埋め込まれた第 2 導電型の第 1 表面埋込領域のポテンシャル分布により形成され、

前記第 2 のポテンシャル井戸が、前記第 1 表面埋込領域と離間し、前記第 1 導電型半導体領域の上部の他の一部に埋め込まれた第 2 導電型の第 2 表面埋込領域のポテンシャル分布により形成され、

30

前記電荷分配電位障壁が、前記第 1 表面埋込領域と前記第 2 表面埋込領域との間に挟まれた前記第 1 導電型半導体領域の上部の更に他の一部のポテンシャル分布により形成され、

前記第 1 表面埋込領域に入射する光量が、前記第 2 表面埋込領域に入射する光量より大きくなるように設定された開口部を有する遮光膜を更に備え、

前記入射光量の差により、前記第 2 のポテンシャル井戸に蓄積される電荷量を、前記第 1 のポテンシャル井戸に蓄積される電荷量よりも少なくした請求項 1 に記載の固体撮像装置。

40

【請求項 15】

前記第 1 のポテンシャル井戸が、第 1 導電型半導体領域の上部の一部に埋め込まれた第 2 導電型の第 1 表面埋込領域のポテンシャル分布により形成され、

前記第 2 のポテンシャル井戸が、前記第 1 表面埋込領域と上部で接し、前記第 1 導電型半導体領域の上部の他の一部に埋め込まれた第 2 導電型の第 2 表面埋込領域のポテンシャル分布により形成され、

前記電荷分配電位障壁が、第 1 導電型半導体領域の上部の更に他の一部において前記第 1 表面埋込領域と前記第 2 表面埋込領域とが連続した領域のポテンシャル分布により形成され、

前記第 1 表面埋込領域にのみ光を入射させる遮光膜を更に備え、

50

前記第 2 表面埋込領域に前記第 1 表面埋込領域からオーバーフローした電荷が前記第 2 のポテンシャル井戸に流入することにより、前記第 2 のポテンシャル井戸に該電荷が蓄積される請求項 1 に記載の固体撮像装置。

【請求項 16】

前記複数の画素がマトリクス状に 2 次元配置されて画素アレイ部を構成し、

該画素アレイ部の周辺に、前記マトリクスの列毎に 1 個の比較器を備えるカラム処理回路を更に備え、

前記比較器により、前記第 1 及び第 2 浮遊拡散領域のいずれかに蓄積された電荷を選択的に読み出す請求項 1 ~ 請求項 15 のいずれか 1 項に記載の固体撮像装置。

【請求項 17】

前記複数の画素がマトリクス状に 2 次元配置され、

上下に互いに隣接する画素行間において上側の画素行の第 1 浮遊拡散領域と下側の画素行の第 1 浮遊拡散領域とを電氣的に共通とし、上側の画素行の第 2 浮遊拡散領域と下側の画素行の第 2 浮遊拡散領域とを電氣的に共通とした請求項 1 ~ 請求項 16 のいずれか 1 項に記載の固体撮像装置。

【請求項 18】

前記複数の画素がマトリクス状に 2 次元配置され、

左右に互いに隣接する画素列間において、右側の画素列の第 1 浮遊拡散領域と左側の画素列の第 2 浮遊拡散領域とを電氣的に共通とした請求項 1 ~ 請求項 16 のいずれか 1 項に記載の固体撮像装置。

【請求項 19】

光により生成された電荷を蓄積する第 1 のポテンシャル井戸と、該第 1 のポテンシャル井戸に隣接した電荷分配電位障壁と、該電荷分配電位障壁を介して第 1 のポテンシャル井戸に対向し、前記第 1 のポテンシャル井戸に蓄積された電荷を生成した光と同一強度の光に対し、前記第 1 のポテンシャル井戸に蓄積された電荷よりも少量の電荷を蓄積する第 2 のポテンシャル井戸と、前記第 1 及び第 2 のポテンシャル井戸に蓄積された電荷を互いに異なるタイミングで別個に転送する第 1 及び第 2 転送ゲート電極と、前記第 1 及び第 2 転送ゲート電極により転送された前記電荷をそれぞれ別個に蓄積する第 1 及び第 2 浮遊拡散領域とを備える画素をマトリクス状に 2 次元配置されて画素アレイ部を構成し、該画素アレイ部の周辺に、前記マトリクスの行毎のカラム処理回路を備える固体撮像装置の画素信号の読みだし方法であって、

前記カラム処理回路で前記第 1 及び第 2 浮遊拡散領域に蓄積された電荷を別々にサンプルホールドし、前記カラム処理回路の外部で、前記第 1 及び第 2 浮遊拡散領域に蓄積された電荷による画素信号を合成する固体撮像装置の画素信号の読みだし方法。

【請求項 20】

前記第 2 浮遊拡散領域に蓄積された電荷による画素信号のみ、1 フレーム内で、複数回読み出しを行う請求項 19 に記載の固体撮像装置の画素信号の読みだし方法。

【請求項 21】

前記第 2 浮遊拡散領域に蓄積された電荷による画素信号を、1 フレーム内で、異なる蓄積時間で、複数回読み出しを行う請求項 19 に記載の固体撮像装置の画素信号の読みだし方法。

【請求項 22】

前記第 1 浮遊拡散領域に蓄積された電荷による画素信号と、前記第 2 浮遊拡散領域に蓄積された電荷による画素信号とを異なる読みだしタイミングで読み出す請求項 19 に記載の固体撮像装置の画素信号の読みだし方法。

【請求項 23】

前記電荷分配電位障壁の前記第 2 のポテンシャル井戸に面した肩部のポテンシャルを制御して、前記第 2 のポテンシャル井戸への電荷の流入を、1 フレーム内で、複数回行う請求項 19 に記載の固体撮像装置の画素信号の読みだし方法。

【請求項 24】

10

20

30

40

50

光により生成された電荷を蓄積する第 1 のポテンシャル井戸と、該第 1 のポテンシャル井戸に隣接した電荷分配電位障壁と、該電荷分配電位障壁を介して第 1 のポテンシャル井戸に対向し、前記第 1 のポテンシャル井戸に蓄積された電荷を生成した光と同一強度の光に対し、前記第 1 のポテンシャル井戸に蓄積された電荷よりも少量の電荷を蓄積する第 2 のポテンシャル井戸と、前記第 1 及び第 2 のポテンシャル井戸に蓄積された電荷を互いに異なるタイミングで別個に転送する第 1 及び第 2 転送ゲート電極と、前記第 1 及び第 2 転送ゲート電極により転送された前記電荷をそれぞれ別個に蓄積する第 1 及び第 2 浮遊拡散領域とを備える画素をマトリクス状に 2 次元配置されて画素アレイ部を構成し、該画素アレイ部の周辺に、前記マトリクスの行毎のカラム処理回路を備える固体撮像装置の画素信号の読みだし方法であって、

10

前記カラム処理回路で前記第 1 及び第 2 浮遊拡散領域に蓄積された電荷のいずれかを選択してから前記カラム処理回路の外部に画素信号として出力する固体撮像装置の画素信号の読みだし方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ダイナミックレンジの大きな固体撮像装置及び固体撮像装置の画素信号の読みだし方法に関する。

【背景技術】

【0002】

本発明に関連する従来技術として、特許文献 1 には、1 画素に高感度の光電変換素子と低感度の光電変換素子を設けて、1 つのマイクロレンズで集光した光を両光電変換素子に照射されるようにし、両者を読み出し合成することで入射光量に対する出力信号のダイナミックレンジ拡大を行う方法が提案されている。

20

【0003】

又、非特許文献 1 には、フォトダイオードからオーバーフローした電荷を蓄積する容量を持つ、フォトダイオードで蓄積された電荷による信号とを合成することで広ダイナミックレンジ化を図る方法が提案されている。

【0004】

更に、特許文献 2 には、電位障壁を介して、溢れだした電荷の一部を蓄積する方法が提案されている。また、特許文献 3 には、固体撮像装置が記載されている。固体撮像装置では、撮像エリアからの光信号は第 1 及び第 2 の感光画素によって信号電荷に変換される。変換された信号電荷は、垂直 CCD に読み出されて転送された後に、水平 CCD によって転送される。第 1 及び第 2 の感光画素の感度特性は互いに異なっている。第 1 及び第 2 の感光画素の信号電荷を同時に読み出している。

30

【0005】

その他、入射光量に対する出力信号のダイナミックレンジを拡大する多くの方法が存在する。その中で代表的な方式は、複数の露光時間の信号を合成する方法であるが、2 つの露光時間の信号を、別のタイミングでとる必要があるため、動く被写体に対する歪みが生じる。

40

【特許文献 1】特開 2004 - 335803 号公報

【特許文献 2】特開 2005 - 86082 号公報

【特許文献 3】特開平 3 - 117281 号公報

【非特許文献 1】須川成利 (Shigetoshi Sugawa) 他, 「横方向オーバーフロー集積化容量を用いた、100 dB ダイナミックレンジの CMOS イメージセンサ (A 100dB dynamic range CMOS image sensor using a lateral overflow integration capacitor) , 国際固体素子回路会議技術論文要旨集 (Dig. Tech. Papers, ISSCC), 2005 年, p. 352 - 353

【発明の開示】

【発明が解決しようとする課題】

50

## 【 0 0 0 6 】

特許文献 1 に記載された方法では、2つの光電変換素子の分離領域の幅が必要であるため、高感度の光電変換素子の受光面積が相対的に減る。又、信号の読み出し時にも浮遊拡散領域に、光により発生した電荷が常に流れ込むため、非常に明るい光を受けたときに、リセットレベルが変化し、黒反転が生じやすい。

非特許文献 1 に記載された方法では、浮遊拡散領域を介してオーバーフロー電荷を大きな静電容量を持つキャパシタを設けて蓄積し、読み出すものであるが、オーバーフロー電荷については、浮遊拡散領域を経由することから、暗電流やリセットノイズが影響する。又、特許文献 1 に記載された方法と同様、信号の読み出し時に、浮遊拡散領域に光により発生した電荷が常に流れ込むため非常に明るい光を受けたときに、リセットレベルが変化し、黒反転が生じやすい。

10

特許文献 2 に記載された方法では、電荷を捨てるための電位障壁と、溢れだした電荷を蓄積するための電位障壁にばらつきが生じることで画質の劣化が生じる。

特許文献 3 に記載された方法では、2つのマイクロレンズによって、それぞれ別の位置に入射した光が、2つのフォトダイオードに与えられることにより、2つの信号の空間的な位置ずれの問題がある。

本発明は、画素面積の増大を防ぎながら入射光量に対する出力信号のダイナミックレンジの拡大率を大きくとることができる固体撮像装置及びその画素信号の読みだし方法を提供することを目的とする。

20

## 【課題を解決するための手段】

## 【 0 0 0 7 】

上記目的を達成するために、本発明の第 1 の側面は、( a ) 光により生成された電荷を蓄積する第 1 のポテンシャル井戸と、( b ) この第 1 のポテンシャル井戸に隣接した電荷分配電位障壁と、( c ) この電荷分配電位障壁を介して第 1 のポテンシャル井戸に対向し、第 1 のポテンシャル井戸に蓄積された電荷を生成した光と同一強度の光に対し、第 1 のポテンシャル井戸に蓄積された電荷よりも少量の電荷を蓄積する第 2 のポテンシャル井戸と、( d ) 第 1 及び第 2 のポテンシャル井戸に蓄積された電荷を互いに異なるタイミングで別個に転送する第 1 及び第 2 転送ゲート電極と、( e ) 第 1 及び第 2 転送ゲート電極により転送された電荷をそれぞれ別個に蓄積する第 1 及び第 2 浮遊拡散領域とを備える画素を複数配列した固体撮像装置である。

30

本発明では、画素は、光に応答して電荷を生成するフォトダイオードを更に備えることができる。第 1 および第 2 のポテンシャル井戸に蓄積される電荷は該フォトダイオードによって提供される。また、本発明では、このフォトダイオードは電荷分配電位障壁を含むことができる。

本発明では、第 2 浮遊拡散領域に蓄積された電荷による画素信号の複数回の読み出しを 1 フレーム内で行うことができる。また、本発明では、第 2 浮遊拡散領域に蓄積された電荷による画素信号の複数回の読み出しを、1 フレーム内で、異なる蓄積時間で、行うことができる。

本発明では、第 1 浮遊拡散領域に蓄積された電荷による画素信号と、第 2 浮遊拡散領域に蓄積された電荷による画素信号とは、互いに異なる読みだしタイミングで読み出される。

40

本発明では、前記電荷分配電位障壁が、第 1 導電型半導体領域の上部の一部に埋め込まれた第 2 導電型の第 1 表面埋込領域のポテンシャル分布により形成されることができる。第 1 のポテンシャル井戸が、第 1 表面埋込領域に隣接し、第 1 導電型半導体領域の上部の他の一部に埋め込まれた第 2 導電型で第 1 表面埋込領域よりも高不純物密度の第 2 表面埋込領域のポテンシャル分布により形成されることができる。第 2 のポテンシャル井戸が、第 1 表面埋込領域に関し、第 2 表面埋込領域と反対の位置において、第 1 表面埋込領域に隣接し、第 1 導電型半導体領域の上部の更に他の一部に埋め込まれた第 2 導電型で前記第 1 表面埋込領域よりも高不純物密度の第 3 表面埋込領域のポテンシャル分布により形成されることができる。

50

本発明は、第1表面埋込領域にのみ光を入射させる遮光膜を更に備えることができる。第1表面埋込領域から第2表面埋込領域への電荷の流入通路のサイズ(例えば、断面積)よりも、第1表面埋込領域から第3表面埋込領域への電荷の流入通路のサイズ(例えば、断面積)を小さくすることにより、第2のポテンシャル井戸に蓄積される電荷量を、第1のポテンシャル井戸に蓄積される電荷量よりも少なくする。

また、本発明は、第1表面埋込領域及び第2表面埋込領域に光を入射させ、第3表面埋込領域に光を入射させない遮光膜を更に備えることができる。該遮光膜による入射光量の制御により、第2のポテンシャル井戸に蓄積される電荷量を、第1のポテンシャル井戸に蓄積される電荷量よりも少なくする。

さらに、本発明は、電荷分配電位障壁の第2のポテンシャル井戸に面した肩部のポテンシャルをゲート絶縁膜を介して静電的に制御する第1電荷流入制御ゲートを更に備えることができる。該第1電荷流入制御ゲートに印加する電圧の制御により、前記第2のポテンシャル井戸に蓄積される電荷量を、第1のポテンシャル井戸に蓄積される電荷量よりも少なくする。また、本発明では、電荷分配電位障壁の前記第1のポテンシャル井戸に面した肩部のポテンシャルをゲート絶縁膜を介して静電的に制御する第2電荷流入制御ゲートを更に備えることができる。

本発明では、電荷分配電位障壁の第2のポテンシャル井戸に面した肩部のポテンシャルを制御して、第2のポテンシャル井戸への電荷の複数回の流入を、1フレーム内で行う。

本発明は、第1表面埋込領域にのみ光を入射させる遮光膜と、前記電荷分配電位障壁の前記第2のポテンシャル井戸に面した肩部のポテンシャルをゲート絶縁膜を介して静電的に制御する第1電荷流入制御ゲートとを更に備えることができる。第1表面埋込領域から第3表面埋込領域への電荷の流入通路のサイズ(例えば、断面積)よりも、第1表面埋込領域から第2表面埋込領域への電荷の流入通路のサイズ(例えば、断面積)を小さくし、第1電荷流入制御ゲートに印加する電圧の制御により、第2のポテンシャル井戸に蓄積される電荷量を、第1のポテンシャル井戸に蓄積される電荷量よりも少なくする。

本発明では、第1のポテンシャル井戸が、第1導電型半導体領域の上部の一部に埋め込まれた第2導電型の第1表面埋込領域のポテンシャル分布により形成される。第2のポテンシャル井戸が、第1表面埋込領域と離間し、第1導電型半導体領域の上部の他の一部に埋め込まれた第2導電型の第2表面埋込領域のポテンシャル分布により形成される。電荷分配電位障壁が、第1表面埋込領域と第2表面埋込領域との間に挟まれた第1導電型半導体領域の上部の更に他の一部のポテンシャル分布により形成される。本発明の固体撮像装置は、第1表面埋込領域に入射する光量が、第2表面埋込領域に入射する光量より大きくなるように設定された開口部を有する遮光膜を更に備えることができる。入射光量の差により、第2のポテンシャル井戸に蓄積される電荷量を、第1のポテンシャル井戸に蓄積される電荷量よりも少なくする。

本発明では、第1のポテンシャル井戸が、第1導電型半導体領域の上部の一部に埋め込まれた第2導電型の第1表面埋込領域のポテンシャル分布により形成される。第2のポテンシャル井戸が、第1表面埋込領域と上部で接し、第1導電型半導体領域の上部の他の一部に埋め込まれた第2導電型の第2表面埋込領域のポテンシャル分布により形成される。電荷分配電位障壁が、第1導電型半導体領域の上部の更に他の一部において第1表面埋込領域と第2表面埋込領域とが連続した領域のポテンシャル分布により形成される。本発明の固体撮像装置は、第1表面埋込領域にのみ光を入射させる遮光膜を更に備えることができる。第2表面埋込領域に第1表面埋込領域からオーバーフローした電荷が第2のポテンシャル井戸に流入することにより、第2のポテンシャル井戸に該電荷が蓄積される。

本発明では、複数の画素がマトリクス状に2次元配置されて画素アレイ部を構成している。該画素アレイ部の周辺に、マトリクスの列毎に1個の比較器を備えるカラム処理回路を更に備えることができる。比較器により、第1及び第2浮遊拡散領域のいずれかに蓄積された電荷を選択的に読み出す。

本発明では、複数の画素がマトリクス状に2次元配置されている。上下に互いに隣接する画素行間において上側の画素行の第1浮遊拡散領域と下側の画素行の第1浮遊拡散領域

10

20

30

40

50

とを電氣的に共通とし、上側の画素行の第2浮遊拡散領域と下側の画素行の第2浮遊拡散領域とを電氣的に共通としている。

本発明では、前記複数の画素がマトリクス状に2次元配置されている。左右に互いに隣接する画素列間において、右側の画素列の第1浮遊拡散領域と左側の画素列の第2浮遊拡散領域とを電氣的に共通としている。

#### 【0008】

本発明の第2の側面は、本発明の第1の側面で述べた画素をマトリクス状に2次元配置されて画素アレイ部を構成し、この画素アレイ部の周辺に、マトリクスの行毎のカラム処理回路を備える固体撮像装置の画素信号の読みだし方法であって、カラム処理回路で第1及び第2浮遊拡散領域に蓄積された電荷を別々にサンプルホールドし、カラム処理回路の外部で、第1及び第2浮遊拡散領域に蓄積された電荷による画素信号を合成する。また、本発明では、第2浮遊拡散領域に蓄積された電荷による画素信号のみ、1フレーム内で、複数回読み出しを行うことが好ましい。さらに、本発明では、第2浮遊拡散領域に蓄積された電荷による画素信号を、1フレーム内で、異なる蓄積時間で、複数回読み出しを行うことが好ましい。またさらに、本発明では、第1浮遊拡散領域に蓄積された電荷による画素信号と、第2浮遊拡散領域に蓄積された電荷による画素信号とを異なる読みだしタイミングで読み出すことが好ましい。加えて、本発明では、電荷分配電位障壁の前記第2のポテンシャル井戸に面した肩部のポテンシャルを制御して、第2のポテンシャル井戸への電荷の流入を、1フレーム内で、複数回行う事が好ましい。

#### 【0009】

本発明の第3の側面は、本発明の第1の側面で述べた画素をマトリクス状に2次元配置されて画素アレイ部を構成し、この画素アレイ部の周辺に、マトリクスの行毎のカラム処理回路を備える固体撮像装置の画素信号の読みだし方法であって、カラム処理回路で第1及び第2浮遊拡散領域に蓄積された電荷のいずれかを選択してからカラム処理回路の外部に画素信号として出力する。

#### 【発明の効果】

#### 【0010】

本発明によれば、画素面積の増大を防ぎながら入射光量に対する出力信号のダイナミックレンジの拡大率を大きくとることができる固体撮像装置及びその画素信号の読みだし方法を提供することができる。

#### 【図面の簡単な説明】

#### 【0011】

本発明の上記の目的および他の目的、特徴、並びに利点は、添付図面を参照して進められる本発明の好適な実施の形態の以下の詳細な記述から、より容易に明らかになる。

【図1】本発明の第1の実施の形態に係る固体撮像装置(2次元固体撮像装置)の半導体チップ上のレイアウトを説明する模式的平面図である。

【図2】本発明の第1の実施の形態に係る固体撮像装置の画素の構成を説明する概略的な断面図(図3のA-A方向から見た模式的な断面図)である。

【図3】本発明の第1の実施の形態に係る固体撮像装置の画素の構成を説明する図面である。

【図4】本発明の第1の実施の形態に係る固体撮像装置の第1電荷蓄積ダイオード感度特性、および本発明の第1の実施の形態に係る固体撮像装置の第2電荷蓄積ダイオードの感度特性を示す図面である。

【図5】本発明の第1の実施の形態に係る固体撮像装置のj列目のカラム処理回路の概略を説明する回路図である。

【図6】図5に示したカラム処理回路の動作を説明するタイミング図である。

【図7】本発明の第1の実施の形態の第2変形例に係る固体撮像装置のj列目のカラム処理回路の概略を説明する回路図である。

【図8】図7に示したカラム処理回路の動作を説明するタイミング図である。

【図9】本発明の第1の実施の形態に係る固体撮像装置の読み出し方法(第1読み出し方

10

20

30

40

50



法)を説明するタイミング図である。

【図10】本発明の第1の実施の形態に係る固体撮像装置の読み出し方法(第2読み出し方法)を説明するタイミング図である。

【図11】本発明の第1の実施の形態に係る固体撮像装置の読み出し方法(第3読み出し方法)を説明するタイミング図である。

【図12】本発明の第1の実施の形態に係る固体撮像装置の読み出し方法(第4読み出し方法)を説明するタイミング図である。

【図13】本発明の第1の実施の形態に係る固体撮像装置の読み出し方法(第5読み出し方法)を説明するタイミング図である。

【図14】本発明の第1の実施の形態に係る固体撮像装置の読み出し方法(第6読み出し方法)を説明するタイミング図である。

【図15】本発明の第1の実施の形態に係る固体撮像装置の読み出し方法(第7読み出し方法)を説明するタイミング図である。

【図16】本発明の第1の実施の形態に係る固体撮像装置の読み出し方法(第8読み出し方法)を説明するタイミング図である。

【図17】本発明の第2の実施の形態に係る固体撮像装置の画素の構成を説明する概略的な断面図(図18のA-A方向から見た模式的な断面図)である。

【図18】本発明の第2の実施の形態に係る固体撮像装置の画素の構成を説明する概略的な平面図である。

【図19】図17において一点鎖線で示したP-P面で、第1浮遊拡散領域、第2のn型表面埋込領域、第1のn型表面埋込領域、第3のn型表面埋込領域、第2浮遊拡散領域を切る断面におけるポテンシャル図である。

【図20】本発明の第2の実施の形態に係る固体撮像装置のj列目のコラム処理回路の動作を説明するタイミング図である。

【図21】本発明の第3の実施の形態に係る固体撮像装置の画素の構成を説明する概略的な断面図(図22のA-A方向から見た模式的な断面図)である。

【図22】本発明の第3の実施の形態に係る固体撮像装置の画素の構成を説明する概略的な平面図である。

【図23】図21において一点鎖線で示したP-P面で、第1浮遊拡散領域、第2のn型表面埋込領域、第1のn型表面埋込領域、第3のn型表面埋込領域、第2浮遊拡散領域を切る断面におけるポテンシャル図である。

【図24】本発明の第4の実施の形態に係る固体撮像装置の画素の構成を説明する概略的な断面図である。

【図25】本発明の第5の実施の形態に係る固体撮像装置の画素の構成を説明する概略的な断面図である。

【図26】図25において一点鎖線で示したP-P面で、第1浮遊拡散領域、第1のn型表面埋込領域、第2のn型表面埋込領域、第2浮遊拡散領域を切る断面におけるポテンシャル図である。

【図27】本発明の第6の実施の形態に係る固体撮像装置の画素の構成を説明する概略的な断面図である。

【図28】図25において一点鎖線で示したP-P面で、第1浮遊拡散領域、第1のn型表面埋込領域、第2のn型表面埋込領域、第2浮遊拡散領域を切る断面におけるポテンシャル図である。

【図29】本発明の第7の実施の形態に係る固体撮像装置の画素の構成を説明する概略的な断面図(図28のA-A方向から見た模式的な断面図)である。

【図30】本発明の第7の実施の形態に係る固体撮像装置の画素の構成を説明する概略的な平面図である。

【図31】図29において一点鎖線で示したP-P面で、第1浮遊拡散領域、第2のn型表面埋込領域、第1のn型表面埋込領域、第3のn型表面埋込領域、第2浮遊拡散領域を切る断面におけるポテンシャル図である。

10

20

30

40

50

## 【符号の説明】

## 【 0 0 1 2 】

- C D B ... 電荷分配電位障壁、  
 P W 1 ... 第 1 のポテンシャル井戸、  
 P W 2 ... 第 2 のポテンシャル井戸、  
 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ ... 画素、  
 $A_{11} \sim A_{1m}; A_{21} \sim A_{2m}; \dots; A_{n1} \sim A_{nm}$ ... 用バッファアンプ、  
 A D ... 電荷蓄積ダイオード、  
 A D 1 ... 第 1 電荷蓄積ダイオード、  
 A D 2 ... 第 2 電荷蓄積ダイオード、  
 B<sub>j</sub> ... 垂直信号線、  
 C<sub>1</sub> ... 入力容量、  
 C<sub>2</sub> ... 積分容量、  
 C<sub>3</sub> ... 低感度信号用サンプルホールド容量，置換型共通サンプルホールド容量，高感度  
 信号用サンプルホールド容量、  
 $D_{11} \sim D_{1m}; D_{21} \sim D_{2m}; \dots; D_{n1} \sim D_{nm}$ ... 検出回路、  
 H<sub>a</sub> ... 水平アナログ出力線、  
 H<sub>d</sub> ... ビットデジタル出力線、  
 H<sub>h</sub> ... 高感度信号用水平アナログ出力線、  
 H<sub>l</sub> ... 低感度信号用水平アナログ出力線、  
 P D ... フォトダイオード、  
 P D / A D ... フォトダイオード兼電荷蓄積ダイオード、  
 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ ... カラム処理回路、  
 S<sub>1</sub> ~ S<sub>7</sub> ... スイッチ、  
 T<sub>Aij</sub> ... 信号読み出しトランジスタ（増幅トランジスタ）、  
 T<sub>Aij1</sub> ... 第 1 信号読み出しトランジスタ（増幅トランジスタ）、  
 T<sub>Aij2</sub> ... 第 2 信号読み出しトランジスタ（増幅トランジスタ）、  
 T<sub>LNij</sub> ... 定電流トランジスタ、  
 T<sub>LNij1</sub> ... 第 1 定電流トランジスタ、  
 T<sub>LNij2</sub> ... 第 2 定電流トランジスタ、  
 T<sub>Rij</sub> ... リセットトランジスタ、  
 T<sub>Rij1</sub> ... 第 1 リセットトランジスタ、  
 T<sub>Rij2</sub> ... 第 2 リセットトランジスタ、  
 T<sub>Sij</sub> ... スイッチングトランジスタ、  
 T<sub>Sij1</sub> ... 第 1 スイッチングトランジスタ、  
 T<sub>Sij2</sub> ... 第 2 スイッチングトランジスタ、  
 1 ... 画素アレイ部、  
 2 ... 水平走査回路（水平シフトレジスタ）、  
 3 ... 垂直走査回路（垂直シフトレジスタ）、  
 4 ... タイミング発生回路、  
 5 ... 信号処理部、  
 7 ... バイアス発生回路、  
 13, 15, 17, 18, 23 ... 第 2 の n 型表面埋込領域、  
 14, 16, 22 ... 第 1 の n 型表面埋込領域、  
 19, 25, 29 ... p 型ピニング層、  
 20 ... 半導体層、  
 21 ... 半導体基板、  
 24, 28 ... 第 3 の n 型表面埋込領域、  
 26 ... 第 1 浮遊拡散領域、  
 27 ... 第 2 浮遊拡散領域、

- 3 1 ... 第 1 電荷転送部 ( 第 1 転送ゲート電極 )、
- 3 2 ... 第 2 電荷転送部 ( 第 2 転送ゲート電極 )、
- 3 3 ... 層間絶縁膜、
- 3 4 ... 遮光膜、
- 3 5 ... コンタクトプラグ、
- 3 6 ... コンタクトプラグ、
- 3 7 ... 電荷流入制御ゲート ( 低感度電荷流入制御ゲート )、
- 3 8 ... 高感度電荷流入制御ゲート、
- 9 1 ... ノイズキャンセルアンプ、
- 9 2 ... 比較器、
- 9 3 ... 第 1 AND 回路、
- 9 4 ... 第 2 AND 回路

10

【発明を実施するための最良の形態】

【0013】

本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することによって容易に理解できる。引き続き、図面を参照して、本発明の第 1 ~ 第 7 の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

20

又、以下に示す第 1 ~ 第 7 の実施の形態は、本発明の技術的思想を具体化するための装置や方法を例示するものであって、本発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。本発明の技術的思想は、特許請求の範囲に記載された技術的範囲内において、種々の変更を加えることができる。

尚、以下の第 1 ~ 第 7 の実施の形態の説明では、第 1 導電型を p 型、第 2 導電型を n 型として説明するが、第 1 導電型が n 型、第 2 導電型を p 型としても、電気的な極性を反対にすれば同様な効果が得られることは容易に理解できるであろう。

【0014】

( 第 1 の実施の形態 )

30

本発明の第 1 の実施の形態に係る固体撮像装置 ( 2 次元イメージセンサ ) は、図 1 に示すように、画素アレイ部 1 と周辺回路部 ( 2 , 3 , 4 , 5 ) とを同一の半導体チップ上に集積化している。画素アレイ部 1 には、2 次元マトリクス状に多数の画素  $X_{ij}$  (  $i = 1 \sim m$  ;  $j = 1 \sim n$  ;  $m, n$  はそれぞれ整数である。 ) が配列されており、方形状の撮像領域を構成している。そして、この画素アレイ部 1 の左辺部にはタイミング発生回路 4 を介して垂直シフトレジスタ ( 垂直走査回路 ) 3 が、下辺部には水平シフトレジスタ ( 水平走査回路 ) 2 が設けられ、画素アレイ部 1 の右辺部の下辺側にはバイアス発生回路 7 が設けられている。図 1 では、 $i$  行  $j$  列の画素  $X_{ij}$  にのみ、その内部構造を例示しているが、それぞれの画素  $X_{11} \sim X_{1m}$  ;  $X_{21} \sim X_{2m}$  ;  $\dots$  ;  $X_{i1} \sim X_{im}$  ;  $\dots$  ;  $X_{n1} \sim X_{nm}$  は、 $i$  行  $j$  列の画素  $X_{ij}$  と同様に、検出回路  $D_{11} \sim D_{1m}$  ;  $D_{21} \sim D_{2m}$  ;  $\dots$  ;  $D_{i1} \sim D_{im}$  ;  $\dots$  ;  $D_{n1} \sim D_{nm}$  及び電圧読み出し用バッファアンプ  $A_{11} \sim A_{1m}$  ;  $A_{21} \sim A_{2m}$  ;  $\dots$  ;  $A_{i1} \sim A_{im}$  ;  $\dots$  ;  $A_{n1} \sim A_{nm}$  を備える。検出回路  $D_{ij}$  (  $i = 1 \sim m$  ;  $j = 1 \sim n$  ;  $m, n$  はそれぞれ整数である。 ) は、図 2 に示すように、半導体基板 ( 第 1 導電型半導体領域 ) 2 1 の上部に設けられた半導体光電変換素子 ( フォトダイオード ) PD、第 1 電荷蓄積ダイオード AD 1 , 第 2 電荷蓄積ダイオード AD 2 , 第 1 電荷転送部 ( 第 1 転送ゲート電極 ) 3 1 及び第 2 電荷転送部 ( 第 2 転送ゲート電極 ) 3 2 を備える。

40

【0015】

タイミング発生回路 4 及びこれを駆動する垂直シフトレジスタ ( 垂直走査回路 ) 3、並びに水平シフトレジスタ ( 水平走査回路 ) 2 によって画素アレイ部 1 内の画素  $X_{ij}$  が順次

50

走査され、画素信号の読み出しや電子シャッタ動作が実行される。即ち、本発明の第1の実施の形態に係る固体撮像装置では、画素アレイ部1を各画素行 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{i1} \sim X_{im}; \dots; X_{n1} \sim X_{nm}$ 単位で垂直方向に走査することにより、各画素行 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{i1} \sim X_{im}; \dots; X_{n1} \sim X_{nm}$ の画素信号を各画素列 $X_{11} \sim X_{n1}; X_{12} \sim X_{n2}; \dots; X_{1j} \sim X_{nj}; \dots; X_{1m} \sim X_{nm}$ 毎に設けられた垂直信号線によって画素信号を読み出す構成となっている。

【0016】

各画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{i1} \sim X_{im}; \dots; X_{n1} \sim X_{nm}$ からの信号読み出しについては、おおむね通常のCMOSイメージセンサと同様であり、画素アレイ部1の下段(出力側)には、複数のカラム処理回路 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ を、それぞれ画素列 $X_{11} \sim X_{n1}; X_{12} \sim X_{n2}; \dots; X_{1j} \sim X_{nj}; \dots; X_{1m} \sim X_{nm}$ に対応して配置して、信号処理部5を構成している。画素アレイ部1から垂直信号線によって読み出された画素列 $X_{11} \sim X_{n1}$ の画素信号は、この信号処理部5のカラム処理回路 $Q_1$ に順次入力され、画素固有ノイズの除去処理が施される。同様に、画素列 $X_{12} \sim X_{n2}$ の画素信号は、この信号処理部5のカラム処理回路 $Q_2$ に順次入力され、画素固有ノイズの除去処理が施され、 $\dots$ 、画素列 $X_{1j} \sim X_{nj}$ の画素信号は、この信号処理部5のカラム処理回路 $Q_j$ に順次入力され、画素固有ノイズの除去処理が施される。又、画素列 $X_{1m} \sim X_{nm}$ の画素信号は、この信号処理部5のカラム処理回路 $Q_m$ に順次入力され、画素固有ノイズの除去処理が施される。即ち、画素アレイ部1の各単位画素 $X_{ij}$ には、それを構成するMOSトランジスタ等による固有の特性誤差が含まれているため、各単位画素 $X_{ij}$ から読み出した画素信号でそのまま映像信号を構成すると、各画素 $X_{ij}$ 間での特性のバラツキが映像信号に影響し、画像中にノイズとして現れる。

図2及び図3の(a)部に、本発明の第1の実施の形態に係る固体撮像装置の画素アレイ部1を構成する画素 $X_{ij}$ の概略構造を模式的に示す。図3の(a)部は、本発明の第1の実施の形態に係る固体撮像装置の画素の構成を説明する概略的な平面図である。図2の中央に示したフォトダイオードPDは、p型半導体基板(第1導電型半導体領域)21をアノード領域とし、このアノード領域となるp型半導体基板(第1導電型半導体領域)21の上部に設けられたカソード領域となる第1のn型表面埋込領域22と備えている。この第1のn型表面埋込領域22の上部には、p型ピニング層25が配置されている。フォトダイオードPDを構成するp型半導体基板(第1導電型半導体領域)21は、電荷生成領域として機能するので、不純物密度 $6 \times 10^{11} \text{ cm}^{-3}$ 程度以上、 $2 \times 10^{15} \text{ cm}^{-3}$ 程度以下が好ましい。尚、p型半導体基板21の代わりに、不純物密度 $4 \times 10^{17} \text{ cm}^{-3}$ 程度以上、 $1 \times 10^{21} \text{ cm}^{-3}$ 程度以下のシリコン基板の上に、不純物密度 $6 \times 10^{11} \text{ cm}^{-3}$ 程度以上、 $2 \times 10^{15} \text{ cm}^{-3}$ 程度以下のシリコンエピタキシャル成長層を形成した構造を採用し、シリコンエピタキシャル成長層を電荷生成領域となる第1導電型半導体領域として用いても良い。工業的な意味からは、不純物密度 $8 \times 10^{17} \text{ cm}^{-3}$ 程度以上、 $1 \times 10^{20} \text{ cm}^{-3}$ 程度以下のシリコン基板の上に、不純物密度 $6 \times 10^{13} \text{ cm}^{-3}$ 程度以上、 $1.5 \times 10^{15} \text{ cm}^{-3}$ 程度以下のシリコンエピタキシャル成長層を形成して第1導電型半導体領域とすれば、市場での入手も容易で好ましい。第1のn型表面埋込領域22は、不純物密度 $2 \times 10^{15} \text{ cm}^{-3} \sim 6 \times 10^{17} \text{ cm}^{-3}$ 程度の比較的低濃度のn型半導体領域である。より好ましくは、第1のn型表面埋込領域22は、不純物密度 $5 \times 10^{16} \text{ cm}^{-3}$ 程度以上、 $5 \times 10^{17} \text{ cm}^{-3}$ 程度以下、代表的には、例えば $4 \times 10^{16} \text{ cm}^{-3}$ 程度の不純物密度の値が採用可能であり、その厚さは $0.1 \sim 3 \mu\text{m}$ 程度、好ましくは $0.2 \sim 0.5 \mu\text{m}$ 程度とすることが可能である。p型ピニング層25は、不純物密度 $3 \times 10^{17} \text{ cm}^{-3} \sim 1.5 \times 10^{20} \text{ cm}^{-3}$ 程度の比較的高濃度で、その厚さは $20 \text{ nm} \sim 1.0 \mu\text{m}$ 程度、好ましくは $50 \text{ nm} \sim 300 \text{ nm}$ 程度とすれば良い。

【0017】

更に、図2及び図3の(a)部に示すように、フォトダイオードPDの左側には第1電荷蓄積ダイオードAD1が、右側には第2電荷蓄積ダイオードAD2が接続されている(但し、図2及び図3の(a)部に示す配置は、一例であり、例えば、逆にフォトダイオ-

10

20

30

40

50

ドPDの右側に第1電荷蓄積ダイオードAD1、左側には第2電荷蓄積ダイオードAD2が配置されたトポロジーでも良いことは容易に理解できるであろう。)。第1電荷蓄積ダイオードAD1は、フォトダイオードPDを構成している第1のn型表面埋込領域22の左側に接触した第2のn型表面埋込領域23と、この第2のn型表面埋込領域23の下部に配置されたp型半導体基板(第1導電型半導体領域)21の一部をアノード領域として備えている。第2電荷蓄積ダイオードAD2は、フォトダイオードPDを構成している第1のn型表面埋込領域22の右側に接触した第3のn型表面埋込領域24と、この第3のn型表面埋込領域24の下部に配置されたp型半導体基板(第1導電型半導体領域)21の一部をアノード領域として備えている。第2のn型表面埋込領域23及び第3のn型表面埋込領域24は、第1のn型表面埋込領域22の不純物密度より高く設定するのが好ましく、例えば、それぞれ不純物密度 $5 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度の比較的高濃度のn型半導体領域とすることが好ましい。第2のn型表面埋込領域23及び第3のn型表面埋込領域24の上部には、p型ピニング層25がフォトダイオードPDの上部から左右に延在している。p型ピニング層25は、ダーク時の表面でのキャリアの生成を抑制する層であり、ダーク電流削減のために好ましい層として用いている。したがって、ダーク電流が問題とならない用途(応用)等では、構造上、p型ピニング層25を省略しても構わない。

10

#### 【0018】

本発明の第1の実施の形態に係る固体撮像装置では、図3の(a)部に示すように、第1のn型表面埋込領域22と第2のn型表面埋込領域23との接合面積よりも、第1のn型表面埋込領域22と第3のn型表面埋込領域24との接合面積を小さくしている。図3の(a)部に示した平面図では、第1のn型表面埋込領域22の平面パターンを段差部のある多角形(12角形)で示しているが、第1のn型表面埋込領域22の平面パターンが第2のn型表面埋込領域23の平面パターンと重畳する部分に位置する第1のn型表面埋込領域22の左辺の幅 $W_1$ よりも、第1のn型表面埋込領域22の平面パターンが第3のn型表面埋込領域24の平面パターンと重畳する部分に位置する第1のn型表面埋込領域22の右辺の幅 $W_2$ を狭くしている。即ち、図3の(a)部に示した平面図上、フォトダイオードPDから第2電荷蓄積ダイオードAD2に電荷が流入する境界領域の幅 $W_2$ を、フォトダイオードPDから第1電荷蓄積ダイオードAD1に電荷が流入する境界領域の幅 $W_1$ より狭くしている。

20

30

#### 【0019】

図3の(b)部は、図2において一点鎖線で示したP-P面で、第1浮遊拡散領域26、第2のn型表面埋込領域23、第1のn型表面埋込領域22、第3のn型表面埋込領域24、第2浮遊拡散領域27を切る断面におけるポテンシャル図であり、電荷(電子)を黒丸で示している。図3の(b)部の中央部が電荷分配電位障壁CDBとなる第1のn型表面埋込領域22の伝導帯端のポテンシャル分布であり、その左側に第1電荷蓄積ダイオードAD1がなすポテンシャル井戸(第1のポテンシャル井戸)PW1が示され、更に第1のポテンシャル井戸PW1の左側に、右上がりのハッチングで示した第1浮遊拡散領域26のポテンシャル井戸が示されている。第1のポテンシャル井戸PW1と第1浮遊拡散領域26のポテンシャル井戸との間の矩形の電位障壁は、第1転送ゲート電極31直下のp型半導体基板(第1導電型半導体領域)21の伝導帯端のポテンシャル分布に相当する。同様に、第1のn型表面埋込領域22の伝導帯端のポテンシャル分布(電荷分配電位障壁)CDBの右側に第2電荷蓄積ダイオードAD2がなすポテンシャル井戸(第2のポテンシャル井戸)PW2が示され、更に第2のポテンシャル井戸PW2の右側に、右上がりのハッチングで示した第2浮遊拡散領域27のポテンシャル井戸が示されている。第2のポテンシャル井戸PW2と第2浮遊拡散領域27のポテンシャル井戸との間の矩形の電位障壁は、第2転送ゲート電極32直下のp型半導体基板(第1導電型半導体領域)21の伝導帯端のポテンシャル分布に相当する。

40

画素アレイ部1の画素では、フォトダイオードPDは光に応答して電荷を生成する。第1および第2のポテンシャル井戸PW1、PW2に蓄積される電荷はフォトダイオードP

50

Dによって提供される。第1および第2のポテンシャル井戸PW1、PW2に蓄積される電荷が共通のフォトダイオードによって生成され、1つのフォトダイオードから分流した電荷を用いるので、2種類の感度の信号の空間的な位置ずれが生じにくい。また、フォトダイオードPDは、電荷分配電位障壁CDBを含む。

【0020】

図3の(a)部に示した平面図の構成を採用することにより、同じ光量に対しても、第2電荷蓄積ダイオードAD2に蓄積される電荷(電子)が、第1電荷蓄積ダイオードAD1に蓄積される電荷(電子)よりも少なくなり、固体撮像装置の光量に対するダイナミックレンジの拡大がされる。即ち、図3の(b)部のポテンシャル図に示すように、本発明の第1の実施の形態に係る固体撮像装置においては、1つのフォトダイオードPDで発生した光電子が、左側の第1のポテンシャル井戸PW1及び右側の第2のポテンシャル井戸PW2に、それぞれある比率(分配率)を持って分配される。

10

【0021】

図4の(a)部は、本発明の第1の実施の形態に係る固体撮像装置の第1電荷蓄積ダイオード感度特性を示し、図4の(b)部は、本発明の第1の実施の形態に係る固体撮像装置の第2電荷蓄積ダイオードの感度特性を示す。図3の(a)部の平面図に例示した構造により、第1の実施の形態に係る固体撮像装置の画素 $X_{ij}$ によれば、図4に示すように、第2電荷蓄積ダイオードAD2に蓄積される電荷の感度が、第1電荷蓄積ダイオードAD1のそれよりも低くなる。即ち、図4の(a)部に示したように、第1電荷蓄積ダイオードAD1の信号(蓄積電荷量) $Q_{D1}$ が比較的低い入射光量に対して飽和するのに対して、図4の(b)部に示したように、第2電荷蓄積ダイオードAD2の信号(蓄積電荷量) $Q_{D2}$ は、比較的強い入射光量に対しても飽和せずに線形に蓄積がなされることになる。したがって、第1電荷蓄積ダイオードAD1及び第2電荷蓄積ダイオードAD2の出力を画素 $X_{ij}$ の出力として合成することで固体撮像装置の入射光量に対するダイナミックレンジの拡大がなされる。つまり、第1電荷蓄積ダイオードAD1の信号を高感度信号、第2電荷蓄積ダイオードAD2の信号を低感度信号として、高感度信号と低感度信号とを用いて入射光量に対するダイナミックレンジの拡大を行うことができる。

20

【0022】

再び図2及び図3の(a)部に戻るが、第1の実施の形態に係る固体撮像装置の画素 $X_{ij}$ には、第1転送ゲート電極31と第1転送ゲート電極31により転送された電荷を蓄積する第1浮遊拡散領域26が第2のn型表面埋込領域23の左側に配置され、同様に、第2転送ゲート電極32と、第2転送ゲート電極32により転送された電荷を蓄積する第2浮遊拡散領域27とが、第3のn型表面埋込領域24の右側に配置されている。第1転送ゲート電極31及び第2転送ゲート電極32の上には層間絶縁膜33が形成され、層間絶縁膜33中に設けられたコンタクトホール内部には、第1浮遊拡散領域26に接するコンタクトプラグ35及び第2浮遊拡散領域27に接するコンタクトプラグ36が埋込まれている。

30

【0023】

コンタクトプラグ35を介して、第1浮遊拡散領域26には、電圧読み出し用バッファアンプ $A_{ij}$ のリセットトランジスタ $T_{Rij}$ のソース電極が接続されている。図2では図示を省略しているが、電圧読み出し用バッファアンプ $A_{ij}$ のリセットトランジスタ $T_{Rij}$ は、図2において、第1浮遊拡散領域26を第1リセットソース電極として、第1リセットソース電極の左側に隣接した第1リセットゲート電極と、この第1リセットゲート電極を介して、第1浮遊拡散領域(第1リセットソース電極)26に対向する第1リセットドレイン領域を配置し、図2において、第2浮遊拡散領域27を第2リセットソース電極として、第2リセットソース電極の右側に隣接した第2リセットゲート電極と、この第2リセットゲート電極を介して、第2浮遊拡散領域(第2リセットソース電極)27に対向する第2リセットドレイン領域とを更に配置して、構成しても良い。この場合は、第1浮遊拡散領域(第1リセットソース電極)26、第1リセットゲート電極及び第1リセットドレイン領域とで第1リセットトランジスタ $T_{Rij}$ となるMOSトランジスタが形成され、第

40

50

2 浮遊拡散領域（第2リセットソース電極）27、第2リセットゲート電極及び第2リセットドレイン領域とで第2リセットトランジスタ $T_{Rij}$ となるMOSトランジスタが形成されるが、図2では単一のリセットトランジスタ $T_{Rij}$ で等価回路的に表現している。勿論、表面配線で、第1浮遊拡散領域26及び第2浮遊拡散領域27に単一のリセットトランジスタ $T_{Rij}$ を接続しても良い。リセットトランジスタ $T_{Rij}$ のリセットゲート電極に対し、リセット信号 $R_i$ をハイ(H)レベル( $R_i = "1"$ )にして、第1浮遊拡散領域26及び第2浮遊拡散領域27に蓄積された電荷をそれぞれ吐き出し、第1浮遊拡散領域26及び第2浮遊拡散領域27をリセットする。

#### 【0024】

図2に示すように、第1浮遊拡散領域26にはコンタクトプラグ35を介して、第2浮遊拡散領域27にはコンタクトプラグ36を介して、表面配線により、電圧読み出し用バッファアンプ $A_{ij}$ を構成する信号読み出しトランジスタ(増幅トランジスタ) $T_{Aij}$ のゲート電極が接続されている。信号読み出しトランジスタ(増幅トランジスタ) $T_{Aij}$ のドレイン電極は電源 $V_{DD}$ に接続され、ソース電極は画素選択用のスイッチングトランジスタ $T_{Sij}$ のドレイン電極に接続されている。画素選択用のスイッチングトランジスタ $T_{Sij}$ のソース電極は、j列の垂直信号線 $B_j$ に接続され、ゲート電極にはi行の水平ラインの垂直選択信号 $S_i$ が垂直シフトレジスタ(垂直走査回路)3に駆動されてタイミング発生回路4から与えられる。

#### 【0025】

例えば、図1に示した画素アレイ部1のj列目の垂直信号線 $B_j$ には、共通の負荷となる定電流トランジスタ $T_{LNj}$ が接続され、例えばi行j列目の電圧読み出し用バッファアンプ $A_{ij}$ と、定電流トランジスタ $T_{LNj}$ とによって、ソースフォロワ回路が形成され、ソースフォロワ回路の出力 $V_{outj}$ がカラム処理回路 $Q_j$ に読み出される。図示を省略しているが、他の列の垂直信号線 $B_1, B_2, \dots, B_{j-1}, B_{j+1}, \dots, B_m$ にも同様に、共通の負荷となる定電流トランジスタ $T_{LN1}, T_{LN2}, \dots, T_{LNj-1}, T_{LNj+1}, \dots, T_{LNm}$ がそれぞれ接続されてソースフォロワ回路が形成され、ソースフォロワ回路の出力 $V_{out1}, V_{out2}, \dots, V_{outj-1}, V_{outj+1}, \dots, V_{outm}$ が、それぞれカラム処理回路 $Q_1, Q_2, \dots, Q_{j-1}, Q_{j+1}, \dots, Q_m$ に読み出される。

#### 【0026】

図2に示す垂直信号線 $B_j$ の場合、電圧読み出し用バッファアンプ $A_{ij}$ の画素選択用のスイッチングトランジスタ $T_{Sij}$ のゲート電極にi行の垂直選択信号 $S_i$ をハイレベル( $S_i = "1"$ )にする信号を印加してスイッチングトランジスタ $T_{Sij}$ を導通させ、且つ、定電流トランジスタ $T_{LNj}$ のゲート電極に、バイアス発生回路7から一定電圧 $V_b$ を印加することにより、信号読み出しトランジスタ(増幅トランジスタ) $T_{Aij}$ で増幅された第1浮遊拡散領域26、第2浮遊拡散領域27に蓄積された電荷(第1電荷蓄積ダイオードAD1及び第2電荷蓄積ダイオードAD2の信号)をソースフォロワ回路の出力 $V_{outj}$ として画素アレイ部1の外に読み出す。

#### 【0027】

図2に示すように、遮光膜34の開口部は、光電荷の発生が、フォトダイオードPDを構成している第1のn型表面埋込領域22の下部のp型半導体基板(第1導電型半導体領域)21で生じるように選択的に設けられている。図2では、最下層の層間絶縁膜33のみを示しているが、遮光膜34は、図示を省略した多層配線構造をなす複数の層間絶縁膜の内のいずれかの上部に設けられたアルミニウム(Al)等の金属薄膜で構成すれば良い。

#### 【0028】

##### <カラム処理回路>

図5は、図1に示した画素アレイ部1のj列目の画素列 $X_{1j} \sim X_{nj}$ の信号をj列目の垂直信号線 $B_j$ 及びこの垂直信号線 $B_j$ に共通の負荷となる定電流トランジスタ $T_{LNj}$ を介して読み出すノイズキャンセル回路である。このノイズキャンセル回路は、垂直信号線 $B_j$ と

10

20

30

40

50

定電流トランジスタ $T_{LNj}$ がなすソースフォロワ回路の出力 $V_{outj}$ に一方の電極が接続された入力容量 $C_1$ と、入力容量 $C_1$ の他方の電極に一方の電極が接続された積分容量 $C_2$ と、入力容量 $C_1$ の他方の電極に一方の電極が接続されたノイズキャンセルアンプ91とを備える。積分容量 $C_2$ の他方の電極は、スイッチ $S_3$ を介して基準電圧線 $V_{R1}$ に接続されている。ノイズキャンセルアンプ91には、ノイズキャンセルアンプ91の入力端子と出力端子間を短絡可能なスイッチ $S_1$ が、ノイズキャンセルアンプ91に並列に接続されている。ノイズキャンセルアンプ91の入力端子と積分容量 $C_2$ の他方の電極間にはスイッチ $S_2$ が接続されている。

【0029】

ノイズキャンセルアンプ91の出力端子は更に分岐し、一方の分岐(図5において左側の分岐)はスイッチ $S_4$ を介して高感度信号用サンプルホールド容量 $C_3$ の一方の電極に、他方の分岐(図5において左側の分岐)はスイッチ $S_5$ を介して低感度信号用サンプルホールド容量 $C_3$ の一方の電極に接続されている。高感度信号用サンプルホールド容量 $C_3$ の他方の電極及び低感度信号用サンプルホールド容量 $C_3$ の他方の電極は、それぞれ接地されている。

10

【0030】

高感度信号用サンプルホールド容量 $C_3$ の一方の電極は、更にスイッチ $S_6$ を介して高感度信号用水平アナログ出力線 $H_h$ に接続され、低感度信号用サンプルホールド容量 $C_3$ の一方の電極は、更にスイッチ $S_7$ を介して低感度信号用水平アナログ出力線 $H_l$ に接続されている。スイッチ $S_6$ 及びスイッチ $S_7$ には、水平シフトレジスタ(水平走査回路)2から水平選択信号 $SH(j)$ が与えられている。

20

【0031】

図6のタイミング図を用いて、図5に示したカラム処理回路 $Q_j$ の動作を説明する。図6では、上から順に、第 $i$ 行目の画素行 $X_{i1} \sim X_{im}$ への制御信号である垂直選択信号 $S_i$ 、リセット信号 $R_i$ 、第1転送信号 $TX1_i$ 、第2転送信号 $TX2_i$ 、 $i$ 行- $j$ 列の画素 $X_{ij}$ の出力信号、スイッチ $S_1$ を制御する制御信号 $\phi_1$ 、スイッチ $S_2$ を制御する制御信号 $\phi_2$ 、スイッチ $S_3$ を制御する制御信号 $\phi_3$ 、スイッチ $S_4$ を制御する第1サンプルホールド信号 $SH1$ 、スイッチ $S_5$ を制御する第2サンプルホールド信号 $SH2$ の時間的变化をそれぞれ示している。

(a) 先ず、 $i$ 行のリセット信号 $R_i$ をハイ(H)レベル( $R_i = "1"$ )にして、画素 $X_{ij}$ 内の第1浮遊拡散領域26及び第2浮遊拡散領域27の電位をリセットする。更に、スイッチ $S_1$ を導通状態(閉状態)、スイッチ $S_2$ を遮断状態(開状態)、スイッチ $S_3$ を導通状態( $\phi_1 = "1"$ 、 $\phi_2 = "0"$ 、 $\phi_3 = "1"$ )とし、更に $i$ 行の垂直選択信号 $S_i$ をハイレベル( $S_i = "1"$ )にすることにより、画素 $X_{ij}$ 内の第1浮遊拡散領域26及び第2浮遊拡散領域27のリセット状態の電位レベルを、垂直信号線 $B_j$ を介して図5の入力容量 $C_1$ にサンプルする。

30

【0032】

(b) その後、スイッチ $S_1$ を遮断状態、スイッチ $S_2$ を導通状態、スイッチ $S_3$ を遮断状態とし、図5の回路のノイズキャンセルアンプ91を増幅モードにする( $\phi_1 = "0"$ 、 $\phi_2 = "1"$ 、 $\phi_3 = "0"$ )。次いで、第1転送信号 $TX1_i$ を第1転送ゲート電極31に印加し、第1電荷蓄積ダイオードAD1の第2の $n$ 型表面埋込領域23から第1浮遊拡散領域26へ信号電子を転送する。その結果、第1浮遊拡散領域26の電位が変化し、ノイズキャンセルアンプ91の出力には、画素 $X_{ij}$ の固定パターンノイズと、リセットノイズが除去された高感度信号が現れる。スイッチ $S_4$ を導通状態とし、その後スイッチ $S_4$ を遮断状態に戻すことにより、ノイズキャンセルアンプ91の出力を高感度信号用サンプルホールド容量 $C_3$ に記憶する( $SH1 = "1"$ とし、その後 $SH1 = "0"$ に戻す)。これにより高感度信号が、図5の左下に示した高感度信号用サンプルホールド容量 $C_3$ に記憶される。

40

【0033】

(c) 再び、 $i$ 行のリセット信号 $R_i$ をハイ(H)レベル( $R_i = "1"$ )にして、画素

50



$X_{ij}$ 内の第1浮遊拡散領域26及び第2浮遊拡散領域27の電位をリセットする。更に、スイッチ $S_1$ を導通状態(閉状態)、スイッチ $S_2$ を遮断状態(開状態)、スイッチ $S_3$ を導通状態( $s_1 = "1"$ ,  $s_2 = "0"$ ,  $s_3 = "1"$ )とし、更に $i$ 行の垂直選択信号 $S_i$ をハイレベル( $S_i = "1"$ )にすることにより、画素 $X_{ij}$ 内の第1浮遊拡散領域26及び第2浮遊拡散領域27のリセット状態の電位レベルを、垂直信号線 $B_j$ を介して図5の入力容量 $C_1$ にサンプルする。

【0034】

(d)その後、スイッチ $S_1$ を遮断状態、スイッチ $S_2$ を導通状態、スイッチ $S_3$ を遮断状態とし、図5の回路のノイズキャンセルアンプ91を増幅モードにする( $s_1 = "0"$ ,  $s_2 = "1"$ ,  $s_3 = "0"$ )。次いで、第2転送信号 $TX_{2j}$ を第2転送ゲート電極32に印加し、第3の $n$ 型表面埋込領域24から第2浮遊拡散領域27へ信号電子を転送する。その結果、第2浮遊拡散領域27の電位が変化し、ノイズキャンセルアンプ91の出力には、画素 $X_{ij}$ の固定パターンノイズと、リセットノイズが除去された低感度信号が現れる。スイッチ $S_5$ を導通状態とし、その後スイッチ $S_5$ を遮断状態に戻すことにより、ノイズキャンセルアンプ91の出力を、図5の右下に示した低感度信号用サンプルホールド容量 $C_3$ に記憶する( $s_{H2} = "1"$ とし、その後 $s_{H2} = "0"$ に戻す)。

10

【0035】

(e)水平読み出し期間に、スイッチ $S_6$ 及びスイッチ $S_7$ を導通状態にして、高感度信号用サンプルホールド容量 $C_3$ 及び低感度信号用サンプルホールド容量 $C_3$ に記憶された高感度信号及び低感度信号を逐次読み出す。 $j$ 列目の水平選択信号 $SH(j)$ が与えられる際に、 $C_3$ に記憶された電荷が、高感度信号用水平アナログ出力線 $H_h$ 及び低感度信号用水平アナログ出力線 $H_l$ に流れ出し、読み出しがなされる。

20

【0036】

尚、図5に示したカラム処理回路 $Q_j$ 及び図6のタイミング図に示した読み出しの方法は、基本的な思想としては、一般的なMOS型固体撮像装置のカラム処理回路や読み出しの方法と概略として大差なく、回路方式もここで述べたものに限定するものではない。

【0037】

<カラム処理回路の第1変形例>

本発明の第1の実施の形態の第1変形例に係る固体撮像装置は、2次元マトリクス状に多数の画素 $X_{ij}$ ( $i = 1 \sim m$ ;  $j = 1 \sim n$ ;  $m, n$ はそれぞれ整数である。)を配列した画素アレイ部1の左辺部にタイミング発生回路4を介して垂直シフトレジスタ(垂直走査回路)3が、右辺部の下辺側にバイアス発生回路7が設けられ、画素アレイ部1の下辺部に水平シフトレジスタ(水平走査回路)2が配置される点や、画素 $X_{ij}$ の構造は、第1の実施の形態に係る固体撮像装置と同様であり、重複した説明を省略する(図1参照)。

30

【0038】

図示を省略しているが、第1の実施の形態の第1変形例に係る固体撮像装置は、高感度信号に関しては、高感度信号用カラム処理回路 $Q_{jh}$ を固体撮像装置の画素アレイ部1の上部に設け、低感度信号に関しては、低感度信号用カラム処理回路 $Q_{jl}$ を固体撮像装置の画素アレイ部1の下部に設けている点が、第1の実施の形態に係る固体撮像装置とは異なる。

40

【0039】

即ち、第1の実施の形態の第1変形例に係る固体撮像装置においては、高感度信号用カラム処理回路 $Q_{jh}$ 及び低感度信号用カラム処理回路 $Q_{jl}$ の2つのカラム処理回路で、高感度信号と低感度信号とをそれぞれ独立に読み出すことが可能である。

【0040】

尚、高感度信号用カラム処理回路 $Q_{jh}$ 用の第1の水平シフトレジスタ(水平走査回路)と低感度信号用カラム処理回路 $Q_{jl}$ 用の第2の水平シフトレジスタ(水平走査回路)を別個に配置するレイアウト等、半導体チップ上のレイアウトは種々の選択の自由度があることは勿論である。

【0041】

50

< カラム処理回路の第2変形例 >

本発明の第1の実施の形態の第2変形例に係る固体撮像装置は、第1の実施の形態に係る固体撮像装置の説明に用いた図1と同様に、2次元マトリクス状に多数の画素 $X_{ij}$  ( $i = 1 \sim m; j = 1 \sim n; m, n$ はそれぞれ整数である。)を配列した画素アレイ部1の左辺部にはタイミング発生回路4を介して垂直シフトレジスタ(垂直走査回路)3が、右辺部の下辺側にはバイアス発生回路7が設けられている。画素アレイ部1の下辺部には水平シフトレジスタ(水平走査回路)2と、複数のカラム処理回路 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ からなる信号処理部5が配置されているが、カラム処理回路 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ の構成が、図7に示すようなノイズキャンセル回路を備える点で第1の実施の形態に係る固体撮像装置とは異なる。

10

【0042】

即ち、第1の実施の形態に係る固体撮像装置では、第1電荷蓄積ダイオードAD1及び第2電荷蓄積ダイオードAD2の両方の信号を、高感度信号用水平アナログ出力線 $H_n$ 及び低感度信号用水平アナログ出力線 $H_l$ の2本の水平アナログ出力線を用いて、信号処理部5の外部に読み出し、信号処理部5の外部で合成処理が可能のようにし、広ダイナミックレンジの信号を得る例を示したが、図7に示すように、第1の実施の形態の第2変形例に係る固体撮像装置のカラム処理回路 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ は、それぞれ1つの比較器92を有し、画素アレイ部1のそれぞれの列毎に比較器92によって高感度信号の振幅を判断し、比較器92の判断が基準値以上であれば、それぞれの列毎に、外部への読み出しを低感度信号に置き換えて読み出すようにし、列毎のサンプルホール

20

【0043】

図7はj列のカラム処理回路 $Q_j$ のノイズキャンセル回路を示すものであり、図1に示した画素アレイ部1のj列目の画素列 $X_{1j} \sim X_{nj}$ の信号を垂直信号線 $B_j$ を介して読み出す。このため、j列目の垂直信号線 $B_j$ に一方の電極が接続された入力容量 $C_1$ と、入力容量 $C_1$ の他方の電極に一方の電極が接続された積分容量 $C_2$ と、入力容量 $C_1$ の他方の電極に

30

【0044】

入力端子が接続されたノイズキャンセルアンプ91とを備える。積分容量 $C_2$ の他方の電極は、スイッチ $S_3$ を介して第1基準電圧線 $V_{R1}$ に接続されている。ノイズキャンセルアンプ91には、ノイズキャンセルアンプ91の入力端子と出力端子間を短絡可能なスイッチ $S_1$ が、ノイズキャンセルアンプ91に並列に接続されている。ノイズキャンセルアンプ91の入力端子と積分容量 $C_2$ の他方の電極間にはスイッチ $S_2$ が接続されている。

40

【0045】

ノイズキャンセルアンプ91の出力端子は更に分岐し、一方の分岐はスイッチ $S_4$ を介して置換型共通サンプルホールド容量 $C_3$ の一方の電極に、他方の分岐は比較器92の第1入力端子に接続されている。比較器92の第2入力端子には、参照電圧 $V_{R2}$ を供給する第2基準電圧線 $V_{R2}$ に接続され、比較器92は、ノイズキャンセルアンプ91の出力と参照電圧 $V_{R2}$ とを比較する。比較器92の出力端子は、第1AND回路93の第2入力端子に接続され、第1AND回路93の第1入力端子には、制御信号 $c_2$ が入力される。第1AND回路93の出力端子は、第2AND回路94の第2入力端子に接続され、第2AND回路94の第1入力端子には、制御信号 $c_4$ が入力される。第2AND回路94の出力が、サンプルホールド回路のスイッチ $S_4$ のサンプルホールド信号 $s_H$ となる。

【0046】

置換型共通サンプルホールド容量 $C_3$ の一方の電極は、更にスイッチ $S_6$ を介して水平アナログ出力線 $H_a$ に接続されている。一方、比較器92の出力端子は、更にスイッチ $S_7$ を介して水平1ビットデジタル出力線 $H_d$ に接続されている。スイッチ $S_6$ 及びスイッチ $S_7$ には、水平シフトレジスタ(水平走査回路)2から水平選択信号 $SH(j)$ が与えられている。

50

、又固体撮像装置の周辺の読み出し回路の面積を削減することができる。

【0047】

尚、第1の実施の形態の第2変形例に係る固体撮像装置のそれぞれの画素 $X_{ij}$ の構成は、第1の実施の形態に係る固体撮像装置と同様に、半導体基板（第1導電型半導体領域）21の上部に設けられた半導体光電変換素子（フォトダイオード）PD、第1電荷蓄積ダイオードAD1、第2電荷蓄積ダイオードAD2、第1電荷転送部（第1転送ゲート電極）31及び第2電荷転送部（第2転送ゲート電極）32を備える（図2参照。）。

【0048】

図7に示した第1の実施の形態の第2変形例に係る固体撮像装置のカラム処理回路 $Q_j$ の動作を、図8に示すタイミング図を用いて説明する。図8では、上から順に、第 $i$ 行目の画素行 $X_{i1} \sim X_{im}$ への制御信号である垂直選択信号 $S_i$ 、リセット信号 $R_i$ 、第1転送信号 $TX1_i$ 、第2転送信号 $TX2_i$ 、 $i$ 行- $j$ 列の画素 $X_{ij}$ の出力信号、スイッチ $S_1$ を制御する制御信号 $\phi_1$ 、スイッチ $S_2$ を制御する制御信号 $\phi_2$ 、スイッチ $S_3$ を制御する制御信号 $\phi_3$ 、第2AND回路94の制御信号 $\phi_4$ 、スイッチ $S_4$ を制御するサンプルホールド信号 $s_H$ 、比較器92の制御信号 $\phi_{c1}$ 、第1AND回路93の制御信号 $\phi_{c2}$ 、比較器92の出力信号の時間的変化をそれぞれ示している。

10

【0049】

(a) 先ず、 $i$ 行のリセット信号 $R_i$ をハイ(H)レベルにして、画素 $X_{ij}$ 内の第1浮遊拡散領域26及び第2浮遊拡散領域27の電位をリセットする。更に、スイッチ $S_1$ を導通状態、スイッチ $S_2$ を遮断状態、スイッチ $S_3$ を導通状態とし、更に $i$ 行の垂直選択信号 $S_i$ をハイレベルにすることにより、画素 $X_{ij}$ 内の第1浮遊拡散領域26及び第2浮遊拡散領域27のリセット状態の電位レベルを、垂直信号線 $B_j$ を介して図7の入力容量 $C_1$ にサンプルする。

20

【0050】

(b) その後、スイッチ $S_1$ を遮断状態、スイッチ $S_2$ を導通状態、スイッチ $S_3$ を遮断状態とし、図7の回路のノイズキャンセルアンプ91を増幅モードにする。次いで、第1転送信号 $TX1_i$ を第1転送ゲート電極31に印加し、第1電荷蓄積ダイオードAD1の第2の $n$ 型表面埋込領域23から第1浮遊拡散領域26へ信号電子を転送する。その結果、第1浮遊拡散領域26の電位が変化し、ノイズキャンセルアンプ91の出力には、画素 $X_{ij}$ の固定パターンノイズと、リセットノイズが除去された高感度信号が現れる。スイッチ $S_4$ を導通状態とし、その後スイッチ $S_4$ を遮断状態に戻すことにより、ノイズキャンセルアンプ91の出力を置換型共通サンプルホールド容量 $C_3$ に記憶する。これにより高感度信号が、置換型共通サンプルホールド容量 $C_3$ に記憶される。

30

【0051】

(c) 再び、 $i$ 行のリセット信号 $R_i$ をハイ(H)レベルにして、画素 $X_{ij}$ 内の第1浮遊拡散領域26及び第2浮遊拡散領域27の電位をリセットする。更に、スイッチ $S_1$ を導通状態、スイッチ $S_2$ を遮断状態、スイッチ $S_3$ を導通状態とし、更に $i$ 行の垂直選択信号 $S_i$ をハイレベルにすることにより、画素 $X_{ij}$ 内の第1浮遊拡散領域26及び第2浮遊拡散領域27のリセット状態の電位レベルを、垂直信号線 $B_j$ を介して図7の入力容量 $C_1$ にサンプルする。

40

【0052】

(d) その後、スイッチ $S_1$ を遮断状態、スイッチ $S_2$ を導通状態、スイッチ $S_3$ を遮断状態とし、図7の回路のノイズキャンセルアンプ91を増幅モードにする。次いで、第2転送信号 $TX2_i$ を第2転送ゲート電極32に印加し、第3の $n$ 型表面埋込領域24から第2浮遊拡散領域27へ信号電子を転送する。その結果、第2浮遊拡散領域27の電位が変化し、ノイズキャンセルアンプ91の出力には、画素 $X_{ij}$ の固定パターンノイズと、リセットノイズが除去された低感度信号が現れる。

【0053】

(e) このタイミングでは、ノイズキャンセルアンプ91の出力は、スイッチ $S_4$ が遮断状態であるので比較器92の第1入力端子に入力される。比較器92の第2入力端子に

50

は、第2基準電圧線  $V_{R2}$  から参照電圧  $V_{R2}$  が供給されているので、比較器92は、ノイズキャンセルアンプ91の出力と参照電圧  $V_{R2}$  とを比較する。比較器92の出力は、第1AND回路93の第2入力端子に入力される。第1AND回路93の第1入力端子には、制御信号  $c_2$  が入力されるので、第1AND回路93により比較器92の出力と制御信号  $c_2$  との論理積の演算がなされる。第1AND回路93の出力は、第2AND回路94の第2入力端子に入力される。第2AND回路94の第1入力端子には、制御信号  $c_4$  が入力されるので、第2AND回路94により第1AND回路93の出力と制御信号  $c_4$  との論理積の演算がなされる。第2AND回路94の出力が、サンプルホールド回路のスイッチ  $S_4$  のサンプルホールド信号  $s_H$  となる。図8に示すように、制御信号  $c_2$  が“1”、制御信号  $c_4$  が“1”のとき、比較器92の出力が“1”であれば、図8の破線で示したように、第1AND回路93の出力であるサンプルホールド信号  $s_H$  が“1”となり、スイッチ  $S_4$  が導通状態に変化し、第2電荷蓄積ダイオードAD2の電荷による信号が置換型共通サンプルホールド容量  $C_3$  に記憶される。

10

【0054】

(f) 水平読み出し期間に、j列目の水平選択信号  $SH(j)$  が与えられ、スイッチ  $S_6$  が導通状態になり、置換型共通サンプルホールド容量  $C_3$  に記憶された高感度信号又は低感度信号のいずれかが、水平アナログ出力線  $H_a$  を介して読み出される。同時にj列目の水平選択信号  $SH(j)$  は、スイッチ  $S_7$  を導通状態にして比較器92の出力コードを、水平1ビットデジタル出力線  $H_d$  を介して外部に読み出す。比較器92の出力コードは、出力されたアナログ信号が、第1電荷蓄積ダイオードAD1の信号(高感度信号)であるか、第2電荷蓄積ダイオードAD2の信号(低感度信号)であるかを区別するために必要で、水平1ビットデジタル出力線  $H_d$  を介して外部に読み出された後、外部の回路で、広ダイナミックレンジの画像を合成する際に利用される。

20

【0055】

<読み出し方法>

次に、図2及び図3の(a)部に示した画素  $X_{ij}$  の構造を利用し、高感度信号と低感度信号を全画素  $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{i1} \sim X_{im}; \dots; X_{n1} \sim X_{nm}$  から読み出す全体のタイミングについて図9~図16のタイミング図を用いて説明する。

【0056】

図9~図16は、第1電荷蓄積ダイオードAD1による高感度信号(H)と、第2電荷蓄積ダイオードAD2による低感度信号(L)を、MOS型固体撮像装置のローリングシャッタ動作に基づいて読み出す場合のタイミング図を示しており、図9~図16のタイミング図の横軸は時間である。説明の都合上、固体撮像装置の垂直方向の画素数  $n$  が5画素( $n=5$ )の場合を示しているが、垂直方向の画素数  $n$  を任意の垂直画素数に拡張できることは自明である。又、垂直ブランキング期間や、無効画素読み出しの期間は考慮されていないが、これを挿入することは容易に行える。

30

【0057】

図9~図16のタイミング図において、Hは、高感度信号の蓄積と読み出し、Lは低感度信号の蓄積と読み出しのタイミングを示し、白枠は、蓄積の期間を示し、右上がりのハッチングで示した枠は読み出しの1水平周期の期間を表している。

40

【0058】

尚、図9~図16のタイミング図に示した高感度信号と低感度信号を、同じ水平読み出し周期(1H)の間に読み出す具体的な回路及び詳細なタイミングについては、図5及び図6を用いて先に説明した通りである。

【0059】

[第1読み出し方法]

図9は、高感度信号と低感度信号とを同じ水平読み出し期間(1H)に読み出す場合の蓄積の期間(蓄積時間)と読み出しの期間のそれぞれのタイミングを、第1番目の行(i行目)の画素から順に第5番目の行(i+4行目)の画素の画素まで示している。

50

[ 第 2 読み出し方法 ]

信号の蓄積時間によって、固体撮像装置の感度を調整するため、図 10 に示すように、高感度信号、低感度信号のそれぞれに対して蓄積時間を短くした電子シャッタ動作が行えることは明らかである。電子シャッタ動作は、図 2 に示した電圧読み出し用バッファアンプ  $A_{ij}$  のリセットトランジスタ  $T_{Rij}$  の動作を制御して実現できる。即ち、リセットトランジスタ  $T_{Rij}$  のリセットゲート電極にリセット信号  $R_i$  として高い電圧を印加しリセットトランジスタ  $T_{Rij}$  のゲートを開きっぱなしにし、このタイミングで、第 1 転送信号  $TX_{1j}$  を第 1 転送ゲート電極 31 に印加し、更に第 2 転送信号  $TX_{2j}$  を第 2 転送ゲート電極 32 に印加し、第 2 の n 型表面埋込領域 23 及び第 3 の n 型表面埋込領域 24 に蓄積された電荷をそれぞれ吐き出し、第 2 の n 型表面埋込領域 23 及び第 3 の n 型表面埋込領域 24 をリセットする期間を調整すれば良い。

10

【 0060 】

図 2 及び図 3 の ( a ) 部に示した画素  $X_{ij}$  では、光電流の流入路の幅の比によって第 1 電荷蓄積ダイオード AD1 及び第 2 電荷蓄積ダイオード AD2 の信号の感度比を変える構造を示した。しかし、図 2 及び図 3 の ( a ) 部に示した画素  $X_{ij}$  の構造だけでは、高感度信号と低感度信号の比率を非常に大きく取りたい場合には、この方法だけでは十分ではない。そこで、図 10 に示すようにリセットトランジスタ  $T_{Rij}$  を用いた電子シャッタ動作によって、蓄積時間の比率によって更に感度比を変え、更にタイミングレンジの拡大が図れる。

【 0061 】

20

[ 第 3 読み出し方法 ]

図 10 のタイミング図では、高感度信号と低感度信号の蓄積期間が異なるため、2つの信号の同時性が失われ、動きの速い被写体に対しては歪みを生じやすい。そこで、この問題を解決する読み出し方法を図 11 のタイミング図に示す。

【 0062 】

図 11 のタイミング図に示す読み出し方法では、固体撮像装置の全画素  $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{i1} \sim X_{im}; \dots; X_{n1} \sim X_{nm}$  の信号の読み出しのための時間を短縮し、高速に動作を行う。即ち、図 11 のタイミング図に示す読み出し方法では、図 9 のタイミング図に示す読み出し方法の場合の 4 倍の速度で読むことが可能である。つまり、図 11 のタイミング図に示す読み出し方法では、低感度信号のみに関して、1 フレームの期間に、短時間の蓄積後、複数回読み出すことが可能であり、図 11 のタイミング図には、4 回読み出す場合が例示されている。これらの複数回に亘って読み出された短時間蓄積信号は、A/D 変換後、デジタル領域で加算する。

30

【 0063 】

図 11 のタイミング図に示す読み出し方法によって、低感度信号の単位蓄積時間を短くして、高感度信号との感度比を高めながら、更に複数回読み出して外部で合成することで、低感度信号の信号対雑音比を高くすることができる。又、図 11 のタイミング図に示す読み出し方法においては、加算によって、信号の蓄積が全フレーム周期に亘って行われたのと等価になり、高感度信号と低感度信号の同時性が保たれる。

【 0064 】

40

[ 第 4 読み出し方法 ]

図 12 のタイミング図に示す読み出し方法は、図 11 のタイミング図に示す読み出し方法を基礎として、更に 2 つの信号の感度比を大きくとるために、低感度信号のみに対して電子シャッタ動作による短時間蓄積動作を加えたものである。この場合、図 11 のタイミング図に示す読み出し方法に比べて、高感度信号と低感度信号の完全なる同時性は保たれなくなるものの、低感度信号に付いては、4 回の信号の加算により、1 フレームに亘って平均化されるため、図 11 のタイミング図の場合に比べて同時性が改善される。

【 0065 】

[ 第 5 読み出し方法 ]

図 13 のタイミング図に示す読み出し方法は、図 12 のタイミング図に示す低感度信号

50

を1フレーム周期内で、複数回読み出す場合に、低感度信号に対して蓄積時間を短くするリセット動作を加えた読み出し方法を基礎にして、高感度信号に関しても電子シャッタ動作により、蓄積時間を短くする場合の読み出しのタイミングを示している。このように、高感度信号の蓄積時間を短くする場合には、その期間に応じて低感度側の蓄積及び読み出しの期間をほぼ同じ時間帯に行われる成分のみ読み出すようにすることができる。図13のタイミング図に示す読み出し方法では、低感度信号の単位蓄積時間を短くして、後半の2つの低感度信号のみを読み出している。

[第6読み出し方法]

図14のタイミング図に示す読み出し方法は、低感度信号を1フレームの中で複数回に亘って読み出す際、それぞれ異なる蓄積時間で信号を読み出す場合を示している。例えば、1種類の蓄積時間の信号だけで画像を構成する場合に比べて、1000倍程度のダイナミックレンジの拡大を行う場合、2種類の感度の信号だけで広ダイナミックレンジの画像を合成すると、合成画像の信号対雑音比が大きく低下する領域が生じる。この問題は、複数の異なる蓄積時間の信号、即ち複数の感度の信号を合成することで避けることができる。図14のタイミング図は、低感度信号に対して、長い蓄積時間の信号を先に読み出すようにしているが、その順序は任意に選択することができる。

10

【0066】

[第7読み出し方法]

図15のタイミング図に示す読み出し方法は、図12のタイミング図に示す低感度信号を1フレーム周期内で、複数回読み出す場合に、低感度信号に対して蓄積時間を短くするリセット動作を加えた読み出し方法に対して、高感度信号と低感度信号を同じ水平読み出し周期の中で読み出すことを避ける場合のタイミングを示している。

20

【0067】

図15のタイミング図に示す読み出し方法では、高感度信号を読み出すタイミングでは、低感度信号の読み出しを行わないようにし、1水平周期内では、高感度信号と低感度信号のいずれか一方を読み出す。これによって、固体撮像装置の外部に読み出される信号出力の数を1つにすることができ、又読み出し回路も、図5、図7に比べて簡素化され、一般的なMOS型固体撮像装置の読み出し回路を用いることができる。このとき、低感度信号については、第2転送ゲート電極32に印加する第2転送信号TX2<sub>i</sub>を操作することによって、又高感度信号については、第1転送ゲート電極31に印加する第1転送信号TX1<sub>i</sub>を操作することによってフォトダイオードPDからの電荷転送を行い、読み出しが行われる。

30

【0068】

[第8読み出し方法]

図16のタイミング図に示す読み出し方法は、図14のタイミング図に示す複数の異なる蓄積時間で信号を読み出す読み出し方法に対して、高感度信号と低感度信号を同じ水平読み出し周期の中で読み出すことを避ける方法を示している。

【0069】

図16のタイミング図に示す読み出し方法では、高感度信号を読み出すタイミングでは、低感度信号の読み出しを行わないようにし、且つ低感度信号を複数の異なる蓄積時間とすることで、1水平周期内では、高感度信号と低感度信号のいずれか一方を読み出す。これによって、固体撮像装置の外部に読み出される信号出力の数を1つにすることができ、又読み出し回路も、図5、図7に比べて簡素化され、一般的なMOS型固体撮像装置の読み出し回路を用いることができる。このとき、低感度信号については、第2転送ゲート電極32に印加する第2転送信号TX2<sub>i</sub>を操作することによって、又高感度信号については、第1転送ゲート電極31に印加する第1転送信号TX1<sub>i</sub>を操作することによってフォトダイオードPDからの電荷転送を行い、読み出しが行われる。

40

【0070】

(第2の実施の形態)

本発明の第2の実施の形態に係る固体撮像装置は、その全体構成の図示を省略するが、

50

第 1 の実施の形態に係る固体撮像装置の説明に用いた図 1 と同様に、2 次元マトリクス状に多数の画素  $X_{ij}$  ( $i = 1 \sim m$ ;  $j = 1 \sim n$ ;  $m, n$  はそれぞれ整数である。) を配列した画素アレイ部 1 の左辺部にはタイミング発生回路 4 を介して垂直シフトレジスタ ( 垂直走査回路 ) 3 が、右辺部の下辺側にはバイアス発生回路 7 が設けられ、画素アレイ部 1 の下辺部には水平シフトレジスタ ( 水平走査回路 ) 2 と、複数のカラム処理回路  $Q_1, Q_2, \dots, Q_j, \dots, Q_m$  からなる信号処理部 5 が配置されているが、画素アレイ部 1 を構成する画素  $X_{ij}$  の構造が第 1 の実施の形態に係る固体撮像装置とは異なる。

【 0 0 7 1 】

即ち、図 1 7 にその断面構造を、図 1 8 に対応する平面構造を示すように、第 2 の実施の形態に係る固体撮像装置は、図 2 及び図 3 の ( a ) 部に示した第 1 の実施の形態に係る固体撮像装置の画素  $X_{ij}$  において第 2 電荷蓄積ダイオード A D 2 への電荷の流入を制御する M O S ゲートである電荷流入制御ゲート 3 7 を設けた構造に対応する。

【 0 0 7 2 】

具体的には、図 1 7 及び図 1 8 に示すように、フォトダイオード P D の左側には第 1 電荷蓄積ダイオード A D 1 がフォトダイオード P D に接して配置され、右側には第 2 電荷蓄積ダイオード A D 2 がフォトダイオード P D から離間して配置されている。第 1 電荷蓄積ダイオード A D 1 は、フォトダイオード P D を構成している第 1 の n 型表面埋込領域 2 2 の左側に接触した第 2 の n 型表面埋込領域 2 3 と、この第 2 の n 型表面埋込領域 2 3 の下部に配置された p 型半導体基板 ( 第 1 導電型半導体領域 ) 2 1 の一部をアノード領域として備えている。第 2 電荷蓄積ダイオード A D 2 は、フォトダイオード P D を構成している第 1 の n 型表面埋込領域 2 2 の右側に p 型半導体基板 ( 第 1 導電型半導体領域 ) 2 1 の一部を挟み配置された第 3 の n 型表面埋込領域 2 8 と、この第 3 の n 型表面埋込領域 2 8 の下部に配置された p 型半導体基板 ( 第 1 導電型半導体領域 ) 2 1 の一部をアノード領域として備えている。第 2 の n 型表面埋込領域 2 3 及び第 3 の n 型表面埋込領域 2 8 は、それぞれ不純物密度  $5 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$  程度の比較的高濃度の n 型半導体領域である。第 2 の n 型表面埋込領域 2 3 の上部には、p 型ピニング層 2 5 がフォトダイオード P D の上部から左に延在している。第 3 の n 型表面埋込領域 2 8 の上部には、p 型ピニング層 2 9 が配置されている。p 型ピニング層 2 5 及び p 型ピニング層 2 9 は、表面でのキャリアの生成を抑制する層であるが、ダーク電流が問題とならない用途 ( 応用 ) 等では、p 型ピニング層 2 5 及び p 型ピニング層 2 9 を省略しても構わない。

【 0 0 7 3 】

第 1 の n 型表面埋込領域 2 2 と第 3 の n 型表面埋込領域 2 8 との間に挟まれた p 型半導体基板 ( 第 1 導電型半導体領域 ) 2 1 の一部の上に、電荷流入制御ゲート 3 7 が形成されている。したがって、第 1 の n 型表面埋込領域 2 2 をソース領域、第 3 の n 型表面埋込領域 2 8 をドレイン領域、第 1 の n 型表面埋込領域 2 2 と第 3 の n 型表面埋込領域 2 8 との間に挟まれた p 型半導体基板 ( 第 1 導電型半導体領域 ) 2 1 の表面をチャネル領域、電荷流入制御ゲート 3 7 を M O S ゲートとする電荷流入制御用 M O S トランジスタが形成されている。

【 0 0 7 4 】

図 1 9 は、図 1 7 において一点鎖線で示した P - P 面で、第 1 浮遊拡散領域 2 6、第 2 の n 型表面埋込領域 2 3、第 1 の n 型表面埋込領域 2 2、第 3 の n 型表面埋込領域 2 8、第 2 浮遊拡散領域 2 7 を切る断面におけるポテンシャル図であり、電荷 ( 電子 ) を黒丸で示している。図 1 9 の中央部が電荷分配電位障壁 C D B となる第 1 の n 型表面埋込領域 2 2 の伝導帯端のポテンシャル分布であり、その左側に第 1 のポテンシャル井戸 P W 1 が示され、更に第 1 のポテンシャル井戸 P W 1 の左側に、右上がりのハッチングで示した第 1 浮遊拡散領域 2 6 のポテンシャル井戸が示されている。第 1 のポテンシャル井戸 P W 1 と第 1 浮遊拡散領域 2 6 のポテンシャル井戸との間の矩形の電位障壁は、第 1 転送ゲート電極 3 1 直下の p 型半導体基板 ( 第 1 導電型半導体領域 ) 2 1 の伝導帯端のポテンシャル分布に相当する。同様に、電荷分配電位障壁 C D B の右側に第 2 のポテンシャル井戸 P W 2 が示され、更に第 2 のポテンシャル井戸 P W 2 の右側に、右上がりのハッチングで示した

10

20

30

40

50

第2浮遊拡散領域27のポテンシャル井戸が示されている。第2のポテンシャル井戸PW2と第2浮遊拡散領域27のポテンシャル井戸との間の矩形の電位障壁は、第2転送ゲート電極32直下のp型半導体基板(第1導電型半導体領域)21の伝導帯端のポテンシャル分布に相当する。

【0075】

電荷分配電位障壁CDBの右側と第2のポテンシャル井戸PW2との間のポテンシャルの高さが電荷流入制御ゲート37に印加する電荷流入制御信号SPにより制御される。即ち、電荷分配電位障壁CDBの第2のポテンシャル井戸に面した肩部のポテンシャルが、ゲート絶縁膜を介して電荷流入制御信号SPにより静電的に制御される。電荷流入制御ゲート37に印加する電荷流入制御信号SPとして高い電圧を与えることで、図19の(a)部に示すように、フォトダイオードPDから、第2電荷蓄積ダイオードAD2への電位障壁が下がり、光電流の一部が第3のn型表面埋込領域28へ流入する。

10

【0076】

一方、電荷流入制御ゲート37に印加する電荷流入制御信号SPに低い電位を与えると、図19の(b)部に示すように、電荷分配電位障壁CDBの右側と第2のポテンシャル井戸PW2との間の電荷流入制御ゲート37の直下のp型半導体基板(第1導電型半導体領域)21の表面の電位障壁が高くなり、光電流は、第1電荷蓄積ダイオードAD1にのみ流入する。

【0077】

第1電荷蓄積ダイオードAD1の電位井戸が電荷でいっぱいになったときには、第1浮遊拡散領域26に電荷が流れ出すように、第1転送ゲート電極31に印加する第1転送信号TX1<sub>i</sub>の電位を設定する。これにより、第1電荷蓄積ダイオードAD1が電荷でいっぱいになっても、第2電荷蓄積ダイオードAD2側に電荷が溢れ出さないようにできる。又、第2電荷蓄積ダイオードAD2が電荷でいっぱいになったときも、第2浮遊拡散領域27に流れ出すように第2転送ゲート電極32に印加する第2転送信号TX2<sub>i</sub>の電位を設定しておく。

20

【0078】

第2の実施の形態に係る固体撮像装置においては、電荷流入制御ゲート37の直下のチャンネル領域に起因する暗電流が発生する可能性がある。これを抑えるため、電荷流入制御信号SPを電荷流入制御ゲート37に印加して第2の電荷蓄積ダイオードAD2に電荷を流入させる場合には、電荷流入制御ゲート37に例えば1V程度の正の電圧、電荷流入制御ゲート37を閉じて、第1の電荷蓄積ダイオードAD1に電荷を流入させる場合には、電荷流入制御ゲート37に-1V程度の負電圧を与えて動作させるようにすれば良い。電荷流入制御信号SP=-1Vを与えることで、電荷流入制御ゲート37直下のチャンネル領域には、高濃度にホールが蓄積され、暗電流の発生を抑えることができる。これによって、第2の実施の形態に係る固体撮像装置においては、特に高感度側の信号(低照度領域で利用)に対し暗電流を低減できる。

30

【0079】

尚、第1転送信号TX1<sub>i</sub>及び第2転送信号TX2<sub>i</sub>の電位に関しても、電荷蓄積時に-1V程度の負電圧を与えて動作させることも可能であり、暗電流の低減等に効果がある。但し、蓄積の途中で第1転送信号TX1<sub>i</sub>及び第2転送信号TX2<sub>i</sub>の電位を-1Vとし、電荷流入制御ゲート37にも-1Vを与えると、第1のポテンシャル井戸PW1の両側における電位障壁の差及び第2のポテンシャル井戸PW2の両側における電位障壁の差がなくなってしまうので、電荷流入制御ゲート37にも-1Vを与える場合には、第1転送信号TX1<sub>i</sub>及び第2転送信号TX2<sub>i</sub>の電位は、例えば-0.5V程度と、第1転送信号TX1<sub>i</sub>及び第2転送信号TX2<sub>i</sub>の電位より少し少なめの電位を与えるのが好ましい。

40

【0080】

第1電荷蓄積ダイオードAD1に蓄積される電荷の光に対する感度と、第2電荷蓄積ダイオードAD2に蓄積される電荷の光に対する感度の比は、第2電荷蓄積ダイオードAD2への流れ出しを制御するMOSトランジスタのチャンネル幅によっても変えられるが、電

50



荷流入制御信号 S P を電荷流入制御ゲート 3 7 に印加している時間によっても変えることができる。

【 0 0 8 1 】

全体の蓄積時間  $T_F$  に対して、電荷流入制御ゲート 3 7 に高電位の電荷流入制御信号 S P を与えて電位障壁をなくして第 2 電荷蓄積ダイオード A D 2 に電荷が流れ出すようにした時間  $T_{sp}$  との比を  $T_{sp} / T_F$  とし、第 2 電荷蓄積ダイオード A D 2 に蓄積される電荷  $Q_{D2}$  の第 1 電荷蓄積ダイオード A D 1 に蓄積される電荷  $Q_{D1}$  と第 2 電荷蓄積ダイオード A D 2 に蓄積される電荷  $Q_{D2}$  の和 ( $= Q_{D1} + Q_{D2}$ ) に対する比を R とすると、第 1 電荷蓄積ダイオード A D 1 に蓄積される電荷  $Q_{D1}$ 、及び第 2 電荷蓄積ダイオード A D 2 に蓄積される電荷  $Q_{D2}$  は、 $I_{ph}$  を光電流として、それぞれ次式で与えられる：

$$Q_{D1} = T_F I_{ph} - R T_{sp} I_{ph} \quad (1)$$

$$Q_{D2} = R T_{sp} I_{ph} \quad (2)$$

比 R は、電荷流入制御ゲート 3 7 に高電位の電荷流入制御信号 S P が印加されたとき流れ出す電荷の、蓄積時間  $T_F$  において蓄積される全電荷に対する「分配率」を意味する。分配率 R や、第 2 電荷蓄積ダイオード A D 2 への電荷が流れ出す時間  $T_{sp}$  を調整して、図 4 の (b) 部に示すように第 2 電荷蓄積ダイオード A D 2 に蓄積される電荷  $Q_{D2}$  が、光強度が強いときに有意な信号として寄与するようにすることができる。

【 0 0 8 2 】

図 1 8 では、第 2 の実施の形態に係る固体撮像装置の画素  $X_{ij}$  の平面構造として、第 1 の n 型表面埋込領域 2 2 の平面パターンを段差部のある多角形 (1 2 角形) で示しているが、第 1 の n 型表面埋込領域 2 2 の平面パターンが第 2 の n 型表面埋込領域 2 3 の平面パターンと重畳する部分に位置する第 1 の n 型表面埋込領域 2 2 の左辺の幅  $W_{21}$  よりも、第 1 の n 型表面埋込領域 2 2 の平面パターンが第 3 の n 型表面埋込領域 2 8 に対向する部分に位置する第 1 の n 型表面埋込領域 2 2 の右辺の幅  $W_{22}$  を狭くしている。即ち、図 1 8 に示した平面図上、第 1 電荷蓄積ダイオード A D 1 への流入する電荷の流入路の幅  $W_{21}$  を、電荷流入制御ゲート 3 7 のゲート幅  $W_{22}$  よりも短くしている。図 1 8 に示した平面パターンの構造を採用することで、電荷流入制御ゲート 3 7 に高電位の電荷流入制御信号 S P を印加して電荷流入制御ゲート 3 7 直下の電位障壁をなくして、第 2 電荷蓄積ダイオード A D 2 へ電荷を流入させる場合には、フォトダイオード P D で発生した電荷 (電子) の大部分が、第 2 電荷蓄積ダイオード A D 2 側に効率よく流入する電位分布が実現できる。

【 0 0 8 3 】

即ち、第 2 の実施の形態に係る固体撮像装置の画素  $X_{ij}$  の構造によれば、フォトダイオード P D から第 1 電荷蓄積ダイオード A D 1 及び第 2 電荷蓄積ダイオード A D 2 への分配率 R を大きくできるので、分配率 R の画素毎のばらつきの影響を抑制できる。

【 0 0 8 4 】

第 2 の実施の形態に係る固体撮像装置の信号読み出し方法を、図 2 0 のタイミング図を用いて説明する。図 2 0 のタイミング図は、電荷流入制御信号 S P の電位をある一定周期毎に繰り返し高電位に設定し、 $T_{sp} / T_F = 1 / 4$  にしている場合の例である。図 2 0 において、電荷流入制御信号 S P (i) は、固体撮像装置の i 行目に与える電荷流入制御信号 S P の信号波形であり、S (i) は、i 行目の読み出しのための垂直選択信号を示している ( $i = 1, 2, 3, \dots, N - 1, N$ )。このように、同じ行の画素については、同じ電荷流入制御信号 S P 信号を与えることができる。図 2 0 のタイミング図のようすることで、図 1 1 から図 1 6 に示すような高速の信号読み出し動作を用いなくても、低感度信号の信号蓄積時間を相対的に短くしながら、高感度信号と蓄積同時性をほぼ保つことができる。図 2 0 では、電荷流入制御信号 S P (i) 及び垂直選択信号 S (i) のパルス幅は、1 水平読み出し周期に一致している。図 2 0 のタイミング図のようすることで、電荷流入制御信号 S P 信号を繰り返し与えることによって生じるスイッチングノイズの影響をなくすることができる。

【 0 0 8 5 】

( 第 3 の実施の形態 )

本発明の第3の実施の形態に係る固体撮像装置は、その全体構成の図示を省略するが、第1及び第2の実施の形態に係る固体撮像装置の説明に用いた図1と同様に、2次元マトリクス状に多数の画素 $X_{ij}$  ( $i = 1 \sim m$ ;  $j = 1 \sim n$ ;  $m, n$ はそれぞれ整数である。)を配列した画素アレイ部1の左辺部にタイミング発生回路4を介して垂直シフトレジスタ(垂直走査回路)3が、右辺部の下辺側にバイアス発生回路7が設けられ、画素アレイ部1の下辺部には水平シフトレジスタ(水平走査回路)2と、複数のカラム処理回路 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ からなる信号処理部5が配置されている。

【0086】

しかし、第3の実施の形態に係る固体撮像装置では、図21及び図22に示すように、画素アレイ部1を構成する画素 $X_{ij}$ の構造が第2の実施の形態に係る固体撮像装置で説明した第2電荷蓄積ダイオードAD2側への電荷の流入を制御する電荷流入制御ゲートに加え、更に、第1電荷蓄積ダイオードAD1側へ流入する電荷に対しても、その流入を制御する高感度電荷流入制御ゲート(第2電荷流入制御ゲート)38を設けている(第3の実施の形態に係る固体撮像装置では、第2電荷蓄積ダイオードAD2側への電荷の流入を制御する電荷流入制御ゲートを、高感度電荷流入制御ゲート(第2電荷流入制御ゲート)38と区別するために、「低感度電荷流入制御ゲート(第1電荷流入制御ゲート)37」と呼ぶ。)

【0087】

即ち、第3の実施の形態に係る固体撮像装置の画素 $X_{ij}$ は、図21及び図22に示すように、フォトダイオードPDの左側には第1電荷蓄積ダイオードAD1がフォトダイオードPDから離間して配置され、右側には第2電荷蓄積ダイオードAD2がフォトダイオードPDから離間して配置されている。第1電荷蓄積ダイオードAD1は、フォトダイオードPDを構成している第1のn型表面埋込領域22の左側にp型半導体基板(第1導電型半導体領域)21の一部を挟み配置された第2のn型表面埋込領域18と、この第2のn型表面埋込領域18の下部に配置されたp型半導体基板(第1導電型半導体領域)21の一部をアノード領域として備えている。

【0088】

第2電荷蓄積ダイオードAD2は、フォトダイオードPDを構成している第1のn型表面埋込領域22の右側にp型半導体基板(第1導電型半導体領域)21の一部を挟み配置された第3のn型表面埋込領域28と、この第3のn型表面埋込領域28の下部に配置されたp型半導体基板(第1導電型半導体領域)21の一部をアノード領域として備えている。第2のn型表面埋込領域18及び第3のn型表面埋込領域28は、それぞれ不純物密度 $5 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度の比較的高濃度のn型半導体領域である。第2のn型表面埋込領域18の上部には、p型ピニング層19が、第3のn型表面埋込領域28の上部には、p型ピニング層29が配置されている。ダーク電流が問題とならない場合は、p型ピニング層19、p型ピニング層25及びp型ピニング層29を省略しても構わない。

【0089】

第1のn型表面埋込領域22と第2のn型表面埋込領域18との間に挟まれたp型半導体基板(第1導電型半導体領域)21の一部の上に、高感度電荷流入制御ゲート(第2電荷流入制御ゲート)38が形成されている。したがって、第1のn型表面埋込領域22をソース領域、第2のn型表面埋込領域18をドレイン領域、第1のn型表面埋込領域22と第2のn型表面埋込領域18との間に挟まれたp型半導体基板(第1導電型半導体領域)21の表面をチャネル領域、高感度電荷流入制御ゲート(第2電荷流入制御ゲート)38をMOSゲートとする高感度電荷流入制御用MOSトランジスタが形成されている。一方、第1のn型表面埋込領域22と第3のn型表面埋込領域28との間に挟まれたp型半導体基板(第1導電型半導体領域)21の一部の上に、低感度電荷流入制御ゲート(第1電荷流入制御ゲート)37が形成されている。したがって、第1のn型表面埋込領域22をソース領域、第3のn型表面埋込領域28をドレイン領域、第1のn型表面埋込領域22と第3のn型表面埋込領域28との間に挟まれたp型半導体基板(第1導電型半導体領

10

20

30

40

50

域) 21の表面をチャンネル領域、低感度電荷流入制御ゲート(第1電荷流入制御ゲート) 37をMOSゲートとする低感度電荷流入制御用MOSトランジスタが形成されている。

【0090】

図23は、図21において一点鎖線で示したP-P面で、第1浮遊拡散領域26、第2のn型表面埋込領域18、第1のn型表面埋込領域22、第3のn型表面埋込領域28、第2浮遊拡散領域27を切る断面におけるポテンシャル図であり、電荷(電子)を黒丸で示している。図23の中央部が電荷分配電位障壁CDBとなる第1のn型表面埋込領域22の伝導帯端のポテンシャル分布であり、その左側に第1のポテンシャル井戸PW1が示され、更に第1のポテンシャル井戸PW1の左側に、右上がりのハッチングで示した第1浮遊拡散領域26のポテンシャル井戸が示されている。第1のポテンシャル井戸PW1と第1浮遊拡散領域26のポテンシャル井戸との間の矩形の電位障壁は、第1転送ゲート電極31直下のp型半導体基板(第1導電型半導体領域)21の伝導帯端のポテンシャル分布に相当する。同様に、電荷分配電位障壁CDBの右側に第2のポテンシャル井戸PW2が示され、更に第2のポテンシャル井戸PW2の右側に、右上がりのハッチングで示した第2浮遊拡散領域27のポテンシャル井戸が示されている。第2のポテンシャル井戸PW2と第2浮遊拡散領域27のポテンシャル井戸との間の矩形の電位障壁は、第2転送ゲート電極32直下のp型半導体基板(第1導電型半導体領域)21の伝導帯端のポテンシャル分布に相当する。

10

【0091】

電荷分配電位障壁CDBの左側と第1のポテンシャル井戸PW1との間のポテンシャルの高さが高感度電荷流入制御ゲート(第2電荷流入制御ゲート)38に印加する高感度電荷流入制御信号SP1により制御される。即ち、図23の電荷分配電位障壁CDBの第1のポテンシャル井戸に面した肩部のポテンシャルが、ゲート絶縁膜を介して高感度電荷流入制御信号SP1により静電的に制御される。

20

【0092】

一方、電荷分配電位障壁CDBの右側と第2のポテンシャル井戸PW2との間のポテンシャルの高さが低感度電荷流入制御ゲート(第1電荷流入制御ゲート)37に印加する低感度電荷流入制御信号SP2により制御される。即ち、電荷分配電位障壁CDBの第2のポテンシャル井戸に面した肩部のポテンシャルが、ゲート絶縁膜を介して低感度電荷流入制御信号SP2により静電的に制御される。

30

【0093】

したがって、高感度電荷流入制御ゲート(第2電荷流入制御ゲート)38に印加する高感度電荷流入制御信号SP1として低い正電位又は負電位を与え、低感度電荷流入制御ゲート(第1電荷流入制御ゲート)37に印加する低感度電荷流入制御信号SP2として高い正電位を与えることで、図23の(a)部に示すように、高感度電荷流入制御ゲート(第2電荷流入制御ゲート)38の直下のp型半導体基板(第1導電型半導体領域)21の表面の電位障壁を高くし、同時に、フォトダイオードPDから、第2電荷蓄積ダイオードAD2への電位障壁を下げ、光電流の一部を第3のn型表面埋込領域28へ流入させる。第2の実施の形態に係る固体撮像装置において説明したように、高感度電荷流入制御信号SP1 = -1V程度の負電位を与えることで、高感度電荷流入制御ゲート(第2電荷流入制御ゲート)38直下のチャンネル領域には、高濃度にホールが蓄積され、暗電流の発生を抑えることができる。

40

【0094】

逆に、高感度電荷流入制御ゲート(第2電荷流入制御ゲート)38に印加する高感度電荷流入制御信号SP1として高い正電位を与え、低感度電荷流入制御ゲート(第1電荷流入制御ゲート)37に印加する低感度電荷流入制御信号SP2に低い電位又は負電位を与えると、図23の(b)部に示すように、高感度電荷流入制御ゲート(第2電荷流入制御ゲート)38の直下のp型半導体基板(第1導電型半導体領域)21の表面の電位障壁が高くなり、低感度電荷流入制御ゲート(第1電荷流入制御ゲート)37の直下のp型半導体基板(第1導電型半導体領域)21の表面の電位障壁が下がり、光電流は、第1電荷蓄

50

積ダイオードAD1にのみ流入する。低感度電荷流入制御信号SP2 = -1V程度の負電位を与えることで、低感度電荷流入制御ゲート（第1電荷流入制御ゲート）37直下のチャネル領域には、高濃度にホールが蓄積され、暗電流の発生を抑えることができる。これによって、第3の実施の形態に係る固体撮像装置においては、特に高感度側の信号（低照度領域で利用）に対し暗電流を低減できる。

#### 【0095】

第1電荷蓄積ダイオードAD1の電位井戸が電荷でいっぱいになったときには、第1浮遊拡散領域26に電荷が流れ出すように、第1転送ゲート電極31に印加する第1転送信号TX<sub>1j</sub>の電位を設定する。これにより、第1電荷蓄積ダイオードAD1が電荷でいっぱいになっても、第2電荷蓄積ダイオードAD2側に電荷が溢れ出さないようにできる。又、第2電荷蓄積ダイオードAD2が電荷でいっぱいになったときも、第2浮遊拡散領域27に流れ出すように第2転送ゲート電極32に印加する第2転送信号TX<sub>2j</sub>の電位を設定しておく。

10

#### 【0096】

このように高感度電荷流入制御信号SP1と低感度電荷流入制御信号SP2を逆位相、即ち、高感度電荷流入制御信号SP1の電位が高いときは、低感度電荷流入制御信号SP2の電位を低くし、高感度電荷流入制御信号SP1の電位が低いときは、低感度電荷流入制御信号SP2の電位を高くするように信号を加えることで、フォトダイオードPDで発生した光電子の第1電荷蓄積ダイオードAD1又は第2電荷蓄積ダイオードAD2への流入を完全にコントロールでき、式(1)及び(2)における分配率Rをほぼ1にすることができる。

20

#### 【0097】

図22では、第3の実施の形態に係る固体撮像装置の画素X<sub>ij</sub>の平面構造として、第1のn型表面埋込領域22の平面パターンを段差部のある多角形(12角形)で示しているが、第1のn型表面埋込領域22の平面パターンが第2のn型表面埋込領域23の平面パターンと重畳する部分に位置する第1のn型表面埋込領域22の左辺の幅と、第1のn型表面埋込領域22の平面パターンが第3のn型表面埋込領域28に対向する部分に位置する第1のn型表面埋込領域22の右辺の幅とを等しくしても、高感度電荷流入制御ゲート(第2電荷流入制御ゲート)38に印加する高感度電荷流入制御信号SP1の電位と、低感度電荷流入制御ゲート(第1電荷流入制御ゲート)37に印加する低感度電荷流入制御信号SP2の電位を制御することで、フォトダイオードPDから第1電荷蓄積ダイオードAD1及び第2電荷蓄積ダイオードAD2への分配率Rをほぼ1に近い大きな値にできるので、分配率Rの画素毎のばらつきの影響を抑制できる。

30

#### 【0098】

(第4の実施の形態)

図2に示した第1の実施の形態に係る固体撮像装置、図17に示した第2の実施の形態に係る固体撮像装置、或いは、図21に示した第3の実施の形態に係る固体撮像装置では、電荷を検出する第1浮遊拡散領域26を高感度信号用浮遊拡散領域、第2浮遊拡散領域27を低感度信号用浮遊拡散領域とし、コンタクトプラグ35及びコンタクトプラグ35を介して、第1浮遊拡散領域26及び第2浮遊拡散領域27には、共通の電圧読み出し用バッファアンプA<sub>ij</sub>のリセットトランジスタT<sub>Rij</sub>のソース電極が接続されている。

40

#### 【0099】

更に、図2、図17及び図21に示すように、第1浮遊拡散領域26及び第2浮遊拡散領域27にはコンタクトプラグ35及びコンタクトプラグ35を介して、共通の信号読み出しトランジスタ(増幅トランジスタ)T<sub>Aij</sub>のゲート電極が接続されている。信号読み出しトランジスタ(増幅トランジスタ)T<sub>Aij</sub>のドレイン電極は電源V<sub>DD</sub>に接続され、ソース電極は画素選択用の共通のスイッチングトランジスタT<sub>Sij</sub>のドレイン電極に接続されている。共通の画素選択用のスイッチングトランジスタT<sub>Sij</sub>のソース電極は、j列の垂直信号線B<sub>j</sub>に接続され、ゲート電極にはi行の水平ラインの垂直選択信号S<sub>i</sub>が垂直シフトレジスタ(垂直走査回路)3に駆動されてタイミング発生回路4から与えられる。

50

## 【 0 1 0 0 】

本発明の第 4 の実施の形態に係る固体撮像装置は、図 1 7 に示した第 3 の実施の形態に係る固体撮像装置の画素  $X_{ij}$  と同様な画素  $X_{ij}$  の構造であるが、図 2 4 に示すようにコンタクトプラグ 3 5 を介して、第 1 浮遊拡散領域 2 6 には、第 1 電圧読み出し用バッファアンプ  $A_{ij1}$  の第 1 リセットトランジスタ  $T_{Rij1}$  のソース電極が接続されている。更に、第 1 浮遊拡散領域 2 6 にはコンタクトプラグ 3 5 を介して、第 1 電圧読み出し用バッファアンプ  $A_{ij1}$  を構成する第 1 信号読み出しトランジスタ（増幅トランジスタ） $T_{Aij1}$  のゲート電極が接続されている。第 1 信号読み出しトランジスタ  $T_{Aij1}$  のドレイン電極は電源  $V_{DD}$  に接続され、ソース電極は画素選択用の第 1 スイッチングトランジスタ  $T_{Sij1}$  のドレイン電極に接続されている。第 1 スイッチングトランジスタ  $T_{Sij1}$  のソース電極は、j 列の第 1 垂直信号線  $B_{j1}$  に接続され、ゲート電極には i 行の水平ラインの垂直選択信号  $S_i$  が垂直シフトレジスタ（垂直走査回路）3 に駆動されてタイミング発生回路 4 から与えられる。第 1 垂直信号線  $B_{j1}$  には、共通の負荷となる第 1 定電流トランジスタ  $T_{LNj1}$  が接続され、第 1 電圧読み出し用バッファアンプ  $A_{ij1}$  と、第 1 定電流トランジスタ  $T_{LNj1}$  とによって、第 1 ソースフォロワ回路が形成され、第 1 ソースフォロワ回路の出力  $V_{outj1}$  がカラム処理回路  $Q_j$  に読み出される。第 1 電圧読み出し用バッファアンプ  $A_{ij1}$  の画素選択用の第 1 スイッチングトランジスタ  $T_{Sij1}$  のゲート電極に i 行の垂直選択信号  $S_i$  をハイレベル（ $S_i = "1"$ ）にする信号を印加してスイッチングトランジスタ  $T_{Sij1}$  を導通させ、且つ、第 1 定電流トランジスタ  $T_{LNj1}$  のゲート電極に、バイアス発生回路 7（図 1 参照。）から一定電圧  $V_{b1}$  を印加することにより、第 1 信号読み出しトランジスタ（増幅トランジスタ） $T_{Aij1}$  で増幅された第 1 浮遊拡散領域 2 6 に蓄積された電荷（第 1 電荷蓄積ダイオード  $AD1$  の信号）を第 1 ソースフォロワ回路の出力  $V_{outj1}$  として画素アレイ部 1 の外に読み出す。

10

20

## 【 0 1 0 1 】

一方、図 2 4 に示すようにコンタクトプラグ 3 6 を介して、第 2 浮遊拡散領域 2 7 には、第 1 電圧読み出し用バッファアンプ  $A_{ij1}$  とは独立した別個な回路として、第 2 電圧読み出し用バッファアンプ  $A_{ij2}$  の第 2 リセットトランジスタ  $T_{Rij2}$  のソース電極が接続されている。更に、第 2 浮遊拡散領域 2 7 にはコンタクトプラグ 3 6 を介して、第 2 電圧読み出し用バッファアンプ  $A_{ij2}$  を構成する第 2 信号読み出しトランジスタ  $T_{Aij2}$  のゲート電極が接続されている。第 2 信号読み出しトランジスタ  $T_{Aij2}$  のドレイン電極は電源  $V_{DD}$  に接続され、ソース電極は第 2 スイッチングトランジスタ  $T_{Sij2}$  のドレイン電極に接続されている。第 2 スイッチングトランジスタ  $T_{Sij2}$  のソース電極は、j 列の第 2 垂直信号線  $B_{j2}$  に接続され、ゲート電極には i 行の水平ラインの垂直選択信号  $S_i$  が垂直シフトレジスタ 3 から与えられる。第 2 垂直信号線  $B_{j2}$  には、共通の負荷となる第 2 定電流トランジスタ  $T_{LNj2}$  が接続され、第 2 電圧読み出し用バッファアンプ  $A_{ij2}$  と、第 2 定電流トランジスタ  $T_{LNj2}$  とによって、第 2 ソースフォロワ回路が形成され、第 2 ソースフォロワ回路の出力  $V_{outj2}$  がカラム処理回路  $Q_j$  に読み出される。第 2 電圧読み出し用バッファアンプ  $A_{ij2}$  の画素選択用の第 2 スイッチングトランジスタ  $T_{Sij2}$  のゲート電極に i 行の垂直選択信号  $S_i$  をハイレベル（ $S_i = "1"$ ）にする信号を印加してスイッチングトランジスタ  $T_{Sij2}$  を導通させ、且つ、第 2 定電流トランジスタ  $T_{LNj2}$  のゲート電極に、バイアス発生回路 7（図 1 参照。）から一定電圧  $V_{b2}$  を印加することにより、第 2 信号読み出しトランジスタ（増幅トランジスタ） $T_{Aij2}$  で増幅された第 2 浮遊拡散領域 2 7 に蓄積された電荷（第 2 電荷蓄積ダイオード  $AD2$  の信号）を第 2 ソースフォロワ回路の出力  $V_{outj2}$  として画素アレイ部 1 の外に読み出す。第 2 定電流トランジスタ  $T_{LNj2}$  のゲート電極に印加される一定電圧  $V_{b2}$  と、第 1 定電流トランジスタ  $T_{LNj1}$  のゲート電極に印加される一定電圧  $V_{b1}$  とは、同一の電圧でよい。

30

40

## 【 0 1 0 2 】

本発明の第 4 の実施の形態に係る固体撮像装置では、第 1 浮遊拡散領域 2 6 と第 2 浮遊拡散領域 2 7 が別個な回路として分離されているため、低感度信号を読み出す際に、低感度電荷流入制御信号  $SP2$  によりフォトダイオード  $PD$  からの光電流の流入を防ぐことが

50

でき、非常に明るい信号を読み出す際の黒反転を避けるのに有効である。

【0103】

本発明の第4の実施の形態に係る固体撮像装置では、1画素のトランジスタ数が増えるが、例えば、上下に隣接した $i-1$ 行の画素 $X_{(i-1)j}$ と画素 $X_{ij}$ において、高感度信号に対しては、第1浮遊拡散領域26、第1リセットトランジスタ $T_{R(i-1)j1}$ 、第1信号読み出しトランジスタ $T_{A(i-1)j1}$ 、第1スイッチングトランジスタ $T_{S(i-1)j1}$ と、対応する第1浮遊拡散領域26、第1リセットトランジスタ $T_{Rij1}$ 、第1信号読み出しトランジスタ $T_{Aij1}$ 、第1スイッチングトランジスタ $T_{Sij1}$ とを共有化し、低感度信号に対しては、第2浮遊拡散領域27、第2リセットトランジスタ $T_{R(i-1)j2}$ 、第2信号読み出しトランジスタ $T_{A(i-1)j2}$ 、第2スイッチングトランジスタ $T_{S(i-1)j2}$ と、対応する第2浮遊拡散領域27、第2リセットトランジスタ $T_{Rij2}$ 、第2信号読み出しトランジスタ $T_{Aij2}$ 、第2スイッチングトランジスタ $T_{Sij2}$ とを共有化することで、1画素あたりのトランジスタ数の増加を抑えることができる。

10

【0104】

本発明の第4の実施の形態に係る固体撮像装置は、その全体構成の図示を省略するが、第1～第3の実施の形態に係る固体撮像装置の説明に用いた図1と同様に、2次元マトリクス状に多数の画素 $X_{ij}$  ( $i=1\sim m$ ;  $j=1\sim n$ ;  $m, n$ はそれぞれ整数である。)を配列した画素アレイ部1の左辺部にタイミング発生回路4を介して垂直シフトレジスタ(垂直走査回路)3が、右辺部の下辺側にバイアス発生回路7が設けられ、画素アレイ部1の下辺部には水平シフトレジスタ(水平走査回路)2と、複数のカラム処理回路 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ からなる信号処理部5が配置されており、それらの重複した説明は省略する。

20

【0105】

(第5の実施の形態)

本発明の第5の実施の形態に係る固体撮像装置は、全体構成の図示を省略するが、第1～第4の実施の形態に係る固体撮像装置の説明に用いた図1と同様に、2次元マトリクス状に多数の画素 $X_{ij}$  ( $i=1\sim m$ ;  $j=1\sim n$ ;  $m, n$ はそれぞれ整数である。)を配列した画素アレイ部1の左辺部にタイミング発生回路4を介して垂直シフトレジスタ(垂直走査回路)3が、右辺部の下辺側にバイアス発生回路7が設けられ、画素アレイ部1の下辺部には水平シフトレジスタ(水平走査回路)2と、複数のカラム処理回路 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ からなる信号処理部5が配置されている。

30

【0106】

しかし、第5の実施の形態に係る固体撮像装置では、図25に示すように、画素アレイ部1を構成する画素 $X_{ij}$ の構造が第1～第4の実施の形態に係る固体撮像装置の画素 $X_{ij}$ の構造とは異なり、1画素内に、低感度の第2フォトダイオードPD2と高感度の第1フォトダイオードPD1を、p型半導体基板(第1導電型半導体領域)21の上部の表面近傍に有する。

【0107】

即ち、第5の実施の形態に係る固体撮像装置の画素 $X_{ij}$ は、図25に示すように、第1フォトダイオードPD1の右側には第2フォトダイオードPD2が第1フォトダイオードPD1から離間して配置されている。第2フォトダイオードPD2は、第1フォトダイオードPD1を構成している第1のn型表面埋込領域16の右側にp型半導体基板(第1導電型半導体領域)21の一部を挟み配置された第2のn型表面埋込領域17と、この第2のn型表面埋込領域17の下部に配置されたp型半導体基板(第1導電型半導体領域)21の一部をアノード領域として備えている。第1のn型表面埋込領域16及び第2のn型表面埋込領域17は、それぞれ、不純物密度 $5 \times 10^{14} \text{ cm}^{-3}$ 程度以上、 $5 \times 10^{16} \text{ cm}^{-3}$ 程度以下、代表的には、例えば $1 \times 10^{15} \text{ cm}^{-3}$ 程度の不純物密度の値が採用可能であり、その厚さは $0.1 \sim 3 \mu\text{m}$ 程度、好ましくは $0.5 \sim 1.5 \mu\text{m}$ 程度とすることが可能である。第2のn型表面埋込領域17の上部には、p型ピニング層25が、第1フォトダイオードPD1を構成している第1のn型表面埋込領域16上部から延在している

40

50

。即ち、1つのp型ピニング層25の下に第1のn型表面埋込領域16及び第2のn型表面埋込領域17が形成されている。ダーク電流が問題とならない場合は、p型ピニング層25を省略しても構わない。

【0108】

第5の実施の形態に係る固体撮像装置では、図25に示すように、第2フォトダイオードPD2の光に対する開口率を、第1フォトダイオードPD1の光に対する開口率より小さくするように遮光膜34のパターンを形成することにより、第2フォトダイオードPD2を「低感度のフォトダイオード」と、第1フォトダイオードPD1を「高感度のフォトダイオード」としているが、これは一例であり、第1フォトダイオードPD1の接合面積よりも、第1フォトダイオードPD1の接合面積を小さくすること等他の手法によっても、第2フォトダイオードPD2を「低感度のフォトダイオード」、第1フォトダイオードPD1を「高感度のフォトダイオード」とすることが可能である。

10

【0109】

このように、第5の実施の形態に係る固体撮像装置では、1画素内に高感度の第1フォトダイオードPD1と低感度の第2フォトダイオードPD2とが組み込まれ、更に、図25に示すように、第5の実施の形態に係る固体撮像装置の画素 $X_{ij}$ は、第1のn型表面埋込領域16の左側に第1転送ゲート電極31が、第2のn型表面埋込領域17の右側に第2転送ゲート電極32が設けられている。このため、第1転送ゲート電極31を用いて、第1のn型表面埋込領域16から第1浮遊拡散領域26に電荷が転送され、第2転送ゲート電極32を用いて、第2のn型表面埋込領域17から第2浮遊拡散領域27に電荷が転送される。

20

【0110】

図26は、図25において一点鎖線で示したP-P面で、第1浮遊拡散領域26、第1のn型表面埋込領域16、第2のn型表面埋込領域17、第2浮遊拡散領域27を切る断面におけるポテンシャル図であり、電荷(電子)を黒丸で示している。図26の中央部の電荷分配電位障壁CDBの左側に、第1フォトダイオードPD1の第1のn型表面埋込領域16がなす第1のポテンシャル井戸PW1が示され、更に第1フォトダイオードPD1がなすポテンシャル井戸の左側に、右上がりのハッチングで示した第1浮遊拡散領域26のポテンシャル井戸が示されている。第1のポテンシャル井戸PW1と第1浮遊拡散領域26のポテンシャル井戸との間の電位障壁は、第1転送ゲート電極31直下のp型半導体基板(第1導電型半導体領域)21の伝導帯端のポテンシャル分布に相当する。同様に、中央部の電荷分配電位障壁CDBの右側に、第2フォトダイオードPD2の第2のn型表面埋込領域17がなす第2のポテンシャル井戸PW2が示され、更に第2フォトダイオードPD2がなす第2のポテンシャル井戸PW2の右側に、右上がりのハッチングで示した第2浮遊拡散領域27のポテンシャル井戸が示されている。第2のポテンシャル井戸PW2と第2浮遊拡散領域27のポテンシャル井戸との間の電位障壁は、第2転送ゲート電極32直下のp型半導体基板(第1導電型半導体領域)21の伝導帯端のポテンシャル分布に相当する。図26から、第1フォトダイオードPD1と第2フォトダイオードPD2との間には、十分高い電位障壁が形成されていることが理解できる。第1フォトダイオードPD1及び第2フォトダイオードPD2に蓄積された電荷は図26に示すように、独立に蓄積され、独立に読み出すことができる。低感度の信号に対しては、第1の実施の形態に係る固体撮像装置において図9~図16のタイミング図に示したすべての読み出し方法が適用可能である。

30

40

【0111】

図26の(a)部は蓄積状態のポテンシャル図を示し、図26の(b)部は、高感度フォトダイオードである第1フォトダイオードPD1から電荷が溢れ出している様子を示している。第1フォトダイオードPD1と第2フォトダイオードPD2の間にはp型半導体基板(第1導電型半導体領域)21の一部が挟まれているので、第1フォトダイオードPD1と第2フォトダイオードPD2の間には、十分高い電位障壁が形成され、第1フォトダイオードPD1から溢れ出した電荷は、低感度フォトダイオードである第2フォト

50

ダイオードPD2側には流れ込まない。

【0112】

図26の(c)部は、高感度信号の第1フォトダイオードPD1からの読み出し時の画素内の電位分布を示しており、図26の(d)部は、低感度信号の第2フォトダイオードPD2からの読み出し時の電位分布を示している。

【0113】

(第6の実施の形態)

本発明の第6の実施の形態に係る固体撮像装置は、全体構成の図示を省略するが、第1～第5の実施の形態に係る固体撮像装置の説明に用いた図1と同様に、2次元マトリクス状に多数の画素 $X_{ij}$  ( $i = 1 \sim m$ ;  $j = 1 \sim n$ ;  $m, n$ はそれぞれ整数である。)を配列した画素アレイ部1の左辺部にタイミング発生回路4を介して垂直シフトレジスタ(垂直走査回路)3が、右辺部の下辺側にバイアス発生回路7が設けられ、画素アレイ部1の下辺部には水平シフトレジスタ(水平走査回路)2と、複数のカラム処理回路 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ からなる信号処理部5が配置されている。

【0114】

しかし、第6の実施の形態に係る固体撮像装置では、図27に示すように、画素アレイ部1を構成する画素 $X_{ij}$ の構造が第1～第5の実施の形態に係る固体撮像装置の画素 $X_{ij}$ の構造とは異なり、1画素内に、1つのフォトダイオードPDと、フォトダイオードPDから溢れ出した電荷を蓄積する電荷蓄積ダイオードADをp型半導体基板(第1導電型半導体領域)21の上部の表面近傍に有する。

【0115】

即ち、第6の実施の形態に係る固体撮像装置の画素 $X_{ij}$ は、図27に示すように、フォトダイオードPDの右側には電荷蓄積ダイオードADが、その上部の一部をフォトダイオードPDの上部の一部に接して配置されている。電荷蓄積ダイオードADは、フォトダイオードPDを構成している第1のn型表面埋込領域14の右側にp型半導体基板(第1導電型半導体領域)21の一部を下部で挟むように配置された第2のn型表面埋込領域15と、この第2のn型表面埋込領域15の下部に配置されたp型半導体基板(第1導電型半導体領域)21の一部をアノード領域として備えている。第1のn型表面埋込領域14及び第2のn型表面埋込領域15は、それぞれ、不純物密度 $5 \times 10^{16} \text{ cm}^{-3}$ 程度以上、 $5 \times 10^{17} \text{ cm}^{-3}$ 程度以下、代表的には、例えば $4 \times 10^{16} \text{ cm}^{-3}$ 程度の不純物密度の値が採用可能であり、その厚さは $0.1 \sim 3 \mu\text{m}$ 程度、好ましくは $0.5 \sim 1.5 \mu\text{m}$ 程度とすることが可能である。第2のn型表面埋込領域15の上部には、p型ピニング層25が、フォトダイオードPDを構成している第1のn型表面埋込領域14上部から延在している。即ち、図28に示すように、第6の実施の形態に係る固体撮像装置の画素 $X_{ij}$ では、1つのp型ピニング層25の下に第1のn型表面埋込領域14及び第2のn型表面埋込領域15が形成されている。ダーク電流が問題とならない場合は、p型ピニング層25を省略しても構わない。

【0116】

更に、図27に示すように、第6の実施の形態に係る固体撮像装置の画素 $X_{ij}$ は、第1のn型表面埋込領域16の左側に第1転送ゲート電極31が、第2のn型表面埋込領域17の右側に第2転送ゲート電極32が設けられている。このため、第1転送ゲート電極31を用いて、第1のn型表面埋込領域16から第1浮遊拡散領域26に電荷が転送され、第2転送ゲート電極32を用いて、第2のn型表面埋込領域17から第2浮遊拡散領域27に電荷が転送される。このとき、第1転送ゲート電極31に印加される第1転送信号 $TX_{1i}$ の電位を下げ、第1転送ゲート電極31を遮断状態にしたときには、フォトダイオードPDから溢れ出す電荷が電荷蓄積ダイオードADへ流れ込むように、適当な高さの電位障壁が形成されるように、第1のn型表面埋込領域14及び第2のn型表面埋込領域15の間隔が調整される。或いは、第1のn型表面埋込領域14及び第2のn型表面埋込領域15の間に比較的低濃度の浅いn型層を形成することによっても、フォトダイオードPDから電荷蓄積ダイオードADへ電荷の溢れ出しを可能にする適当な高さの電位障壁の



高さが調整可能である。或いは、電荷蓄積ダイオードADへの電位障壁を形成するために、第1のn型表面埋込領域14及び第2のn型表面埋込領域15の間に溢れ出し制御用ゲート電極を形成し、MOSトランジスタ構造を用いるようにしても良い。

【0117】

第6の実施の形態に係る固体撮像装置では、図27に示すように、電荷蓄積ダイオードADに対しては遮光膜34で光が入射せず、フォトダイオードPDのみに光が入射するように設計されている。

【0118】

図28は、図27において一点鎖線で示したP-P面で、第1浮遊拡散領域26、第1のn型表面埋込領域14、第2のn型表面埋込領域15、第2浮遊拡散領域27を切る断面におけるポテンシャル図であり、電荷(電子)を黒丸で示している。図28の中央部の電荷分配電位障壁CDBの左側に、フォトダイオードPDの第1のn型表面埋込領域16がなす第1のポテンシャル井戸PW1が示され、更に第1のポテンシャル井戸PW1の左側に、右上がりのハッチングで示した第1浮遊拡散領域26のポテンシャル井戸が示されている。第1のポテンシャル井戸PW1と第1浮遊拡散領域26のポテンシャル井戸との間の電位障壁は、第1転送ゲート電極31直下のp型半導体基板(第1導電型半導体領域)21の伝導帯端のポテンシャル分布に相当する。同様に、中央部の電荷分配電位障壁CDBの右側に、電荷蓄積ダイオードADの第2のn型表面埋込領域15がなす第2のポテンシャル井戸PW2が示され、更に第2のポテンシャル井戸PW2の右側に、右上がりのハッチングで示した第2浮遊拡散領域27のポテンシャル井戸が示されている。第2のポテンシャル井戸PW2と第2浮遊拡散領域27のポテンシャル井戸との間の電位障壁は、第2転送ゲート電極32直下のp型半導体基板(第1導電型半導体領域)21の伝導帯端のポテンシャル分布に相当する。

10

20

【0119】

図26では第1フォトダイオードPD1と第2フォトダイオードPD2の間には、十分高い電位障壁が形成されていたが、図28のポテンシャル図では、フォトダイオードPDと電荷蓄積ダイオードADとの間の電位障壁は、フォトダイオードPDから電荷蓄積ダイオードADへ電荷が容易にオーバーフロー可能なように、比較的低く設定されている。第1のポテンシャル井戸PW1に蓄積された電荷及び第2のポテンシャル井戸PW2にオーバーフロー蓄積された電荷は、それぞれ、図28に示すように、独立に読み出すことができる。

30

【0120】

図28の(a)部は蓄積状態のポテンシャル図を示し、図28の(b)部は、高感度フォトダイオードであるフォトダイオードPDから電荷が溢れ出している様子を示している。図28の(c)部は、高感度信号のフォトダイオードPDからの読み出し時の画素内の電位分布を示しており、図28の(d)部は、低感度信号の電荷蓄積ダイオードADからの読み出し時の電位分布を示している。

【0121】

第6の実施の形態に係る固体撮像装置においても、第1の実施の形態に係る固体撮像装置において図9~図16のタイミング図を用いて説明した読み出し方法が適用可能である。高速の複数回の読み出しは、電荷蓄積ダイオードADに蓄積された、フォトダイオードPDから溢れ出した電荷による信号に対して行う。第6の実施の形態に係る固体撮像装置においては、電荷蓄積ダイオードADから読み出される信号が、フォトダイオードPDから溢れ出された電荷による信号であるため、信号の合成には、特別な配慮が必要である。例えば、高感度信号( $X_L$ )をフォトダイオードPDから先に読み、あるしきい値を越えているかどうかを判断して、越えていなければ、フォトダイオードPDの信号を出力する。越えていれば、電荷蓄積ダイオードADからのオーバーフロー蓄積信号( $X_S$ )とフォトダイオードPDからの高感度信号の加算値を出力する。

40

【0122】

尚、第6の実施の形態に係る固体撮像装置の画素 $X_{ij}$ の構造において、電荷蓄積ダイオ

50

ードADの代わりに、半導体チップの表面又は内部に電荷蓄積用コンデンサを構成し、電荷蓄積用コンデンサに電荷を蓄えるようにしても良い。半導体チップの表面に電荷蓄積用コンデンサを形成する場合は、MOSキャパシタやMIMキャパシタ等を用いれば良い。一方、半導体チップの内部に電荷蓄積用コンデンサを形成する場合はpn接合キャパシタ等を用いれば良い。

#### 【0123】

(第7の実施の形態)

本発明の第7の実施の形態に係る固体撮像装置は、その全体構成の図示を省略するが、第1の実施の形態に係る固体撮像装置の説明に用いた図1と同様に、2次元マトリクス状に多数の画素 $X_{ij}$  ( $i = 1 \sim m$ ;  $j = 1 \sim n$ ;  $m, n$ はそれぞれ整数である。)を配列した画素アレイ部1の左辺部にはタイミング発生回路4を介して垂直シフトレジスタ(垂直走査回路)3が、右辺部の下辺側にはバイアス発生回路7が設けられ、画素アレイ部1の下辺部には水平シフトレジスタ(水平走査回路)2と、複数のカラム処理回路 $Q_1, Q_2, \dots, Q_j, \dots, Q_m$ からなる信号処理部5が配置されているが、画素アレイ部1を構成する画素 $X_{ij}$ の構造が第1の実施の形態に係る固体撮像装置とは異なる。

10

#### 【0124】

即ち、図29にその断面構造、図30にその平面構造を示すように、第7の実施の形態に係る固体撮像装置は、画素 $X_{ij}$ 内にフォトダイオード兼電荷蓄積ダイオードPD/ADと、フォトダイオード兼電荷蓄積ダイオードPD/ADの右側に離間して配置された電荷蓄積ダイオードADを備える。フォトダイオード兼電荷蓄積ダイオードPD/ADは、第1のn型表面埋込領域22と第1のn型表面埋込領域22の左側に接触した第2のn型表面埋込領域13と、第1のn型表面埋込領域22及び第2のn型表面埋込領域13の下部に配置されたp型半導体基板(第1導電型半導体領域)21の一部をアノード領域として備えている。電荷蓄積ダイオードADは、フォトダイオード兼電荷蓄積ダイオードPD/ADを構成している第1のn型表面埋込領域22の右側にp型半導体基板(第1導電型半導体領域)21の一部を挟み配置された第3のn型表面埋込領域28と、この第3のn型表面埋込領域28の下部に配置されたp型半導体基板(第1導電型半導体領域)21の一部をアノード領域として備えている。

20

#### 【0125】

第2のn型表面埋込領域13及び第3のn型表面埋込領域28は、それぞれ不純物密度 $5 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度の比較的高濃度のn型半導体領域である。第2のn型表面埋込領域13の上部には、p型ピニング層25が第1のn型表面埋込領域22の上部から左に延在している。第3のn型表面埋込領域28の上部には、p型ピニング層29が配置されている。ダーク電流が問題とならない場合は、p型ピニング層25及びp型ピニング層29を省略しても構わない。

30

#### 【0126】

第7の実施の形態に係る固体撮像装置では、図29に示すように、光が、低不純物密度の第1のn型表面埋込領域22だけでなく、高不純物密度の第2のn型表面埋込領域13の部分にも照射されるように遮光膜34の開口部が設定されている。第7の実施の形態に係る固体撮像装置においては、第2の実施の形態に係る固体撮像装置の第1の電荷蓄積ダイオードAD1もフォトダイオードの機能を果たすことになる。低感度の信号を蓄積する第3のn型表面埋込領域28の側には、光は照射されないようにその上方を遮光膜34が覆っている。

40

#### 【0127】

第1のn型表面埋込領域22と第3のn型表面埋込領域28との間に挟まれたp型半導体基板(第1導電型半導体領域)21の一部の上に、電荷流入制御ゲート37が形成されている。したがって、第1のn型表面埋込領域22をソース領域、第3のn型表面埋込領域28をドレイン領域、第1のn型表面埋込領域22と第3のn型表面埋込領域28との間に挟まれたp型半導体基板(第1導電型半導体領域)21の表面をチャネル領域、電荷流入制御ゲート37をMOSゲートとする電荷流入制御用MOSトランジスタが形成され

50

ている。

【 0 1 2 8 】

図 3 1 は、図 2 9 において一点鎖線で示した P - P 面で、第 1 浮遊拡散領域 2 6、第 2 の n 型表面埋込領域 1 3、第 1 の n 型表面埋込領域 2 2、第 3 の n 型表面埋込領域 2 8、第 2 浮遊拡散領域 2 7 を切る断面におけるポテンシャル図であり、電荷（電子）を黒丸で示している。図 3 1 の中央部が電荷分配電位障壁 C D B となる第 1 の n 型表面埋込領域 2 2 の伝導帯端のポテンシャル分布であり、その左側に第 2 の n 型表面埋込領域 1 3 がなす第 1 のポテンシャル井戸 P W 1 が示され、更に第 1 のポテンシャル井戸 P W 1 の左側に、右上がりのハッチングで示した第 1 浮遊拡散領域 2 6 のポテンシャル井戸が示されている。第 1 のポテンシャル井戸 P W 1 と第 1 浮遊拡散領域 2 6 のポテンシャル井戸との間の矩形の電位障壁は、第 1 転送ゲート電極 3 1 直下の p 型半導体基板（第 1 導電型半導体領域）2 1 の伝導帯端のポテンシャル分布に相当する。同様に、電荷分配電位障壁 C D B の右側に第 2 のポテンシャル井戸 P W 2 が示され、更に第 2 のポテンシャル井戸 P W 2 の右側に、右上がりのハッチングで示した第 2 浮遊拡散領域 2 7 のポテンシャル井戸が示されている。第 2 のポテンシャル井戸 P W 2 と第 2 浮遊拡散領域 2 7 のポテンシャル井戸との間の矩形の電位障壁は、第 2 転送ゲート電極 3 2 直下の p 型半導体基板（第 1 導電型半導体領域）2 1 の伝導帯端のポテンシャル分布に相当する。

10

【 0 1 2 9 】

電荷分配電位障壁 C D B の右側と第 2 のポテンシャル井戸 P W 2 との間のポテンシャルの高さが電荷流入制御ゲート 3 7 に印加する電荷流入制御信号 S P により制御される。電荷流入制御ゲート 3 7 に印加する電荷流入制御信号 S P として高い電圧を与えることで、図 3 1 の ( a ) 部に示すように、フォトダイオード兼電荷蓄積ダイオード P D / A D から、電荷蓄積ダイオード A D への電位障壁が下がり、光電流の一部が第 3 の n 型表面埋込領域 2 8 へ流入する。

20

【 0 1 3 0 】

一方、電荷流入制御ゲート 3 7 に印加する電荷流入制御信号 S P に低い電位を与えると、図 3 1 の ( b ) 部に示すように、電荷分配電位障壁 C D B の右側と第 2 のポテンシャル井戸 P W 2 との間の電荷流入制御ゲート 3 7 の直下の p 型半導体基板（第 1 導電型半導体領域）2 1 の表面の電位障壁が高くなり、光電流は、フォトダイオード兼電荷蓄積ダイオード P D / A D の第 2 の n 型表面埋込領域 1 3 にのみ流入する。

30

【 0 1 3 1 】

フォトダイオード兼電荷蓄積ダイオード P D / A D の第 2 の n 型表面埋込領域 1 3 の電位の井戸が電荷でいっぱいになったときには、第 1 浮遊拡散領域 2 6 に電荷が流れ出すように、第 1 転送ゲート電極 3 1 に印加する第 1 転送信号 T X 1<sub>i</sub> の電位を設定する。これにより、フォトダイオード兼電荷蓄積ダイオード P D / A D の第 2 の n 型表面埋込領域 1 3 が電荷でいっぱいになっても、電荷蓄積ダイオード A D 側に電荷が溢れ出さないようにできる。又、電荷蓄積ダイオード A D が電荷でいっぱいになったときも、第 2 浮遊拡散領域 2 7 に流れ出すように第 2 転送ゲート電極 3 2 に印加する第 2 転送信号 T X 2<sub>i</sub> の電位を設定しておく。

40

【 0 1 3 2 】

フォトダイオード兼電荷蓄積ダイオード P D / A D の第 2 の n 型表面埋込領域 1 3 に蓄積される電荷の光に対する感度と、電荷蓄積ダイオード A D に蓄積される電荷の光に対する感度の比は、電荷蓄積ダイオード A D への流れ出しを制御する M O S トランジスタのチャネル幅によっても変えられるが、電荷流入制御信号 S P を電荷流入制御ゲート 3 7 に印加している時間によっても変えることができる。

【 0 1 3 3 】

第 7 の実施の形態に係る固体撮像装置では、電荷流入制御ゲート 3 7 を備える構造を示したが、第 1 の実施の形態に係る固体撮像装置のように電荷流入制御ゲート 3 7 がない構造においても、光が、低不純物密度の第 1 の n 型表面埋込領域 2 2 だけでなく、高不純物密度の第 2 の n 型表面埋込領域 1 3 の部分にも照射されるように遮光膜 3 4 の開口部を設

50

定し、第1の実施の形態に係る固体撮像装置の第1の電荷蓄積ダイオードAD1もフォトダイオードの機能を果たすようにしても良い。この場合、低感度の信号を蓄積する第3のn型表面埋込領域28の側には、光は照射されないようにその上方を遮光膜34が覆っておく必要がある。

#### 【0134】

第2の実施の形態に係る固体撮像装置のように、低濃度の第1のn型表面埋込領域22だけに光が入射されるようにした場合には、同じフォトダイオードで検出した信号を、高感度用の第1の電荷蓄積ダイオードAD1及び低感度用の第2の電荷蓄積ダイオードAD2でそれぞれ電荷を蓄積するため、分光感度などの特性を等しくしやすいという特徴がある。一方、第7の実施の形態に係る固体撮像装置のように、光を高感度用電荷蓄積ダイオードの高濃度第2のn型表面埋込領域13にも入射するようにした場合には、高感度信号と低感度信号の特性のずれの問題があるが、遮光膜34の開口率を大きくとることができ、又高感度用電荷蓄積ダイオードとなる第2のn型表面埋込領域13の面積も増やすことができるため感度や、飽和電子数において有利である。

10

#### 【0135】

(その他の実施の形態)

上記のように、本発明は第1～第7の実施の形態によって記載したが、この開示の一部をなす論述及び図面は本発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

20

#### 【0136】

例えば、既に述べた第1～第4の実施の形態の実施の形態の説明において、第2のn型表面埋込領域23, 18及び第3のn型表面埋込領域24, 28は、それぞれ不純物密度 $5 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度の比較的高濃度のn型半導体領域とすることが好ましいと述べたが、必ずしも、第2のn型表面埋込領域23, 18と第3のn型表面埋込領域24, 28とは互いに等しい不純物密度である必要はない。第2のn型表面埋込領域23, 18については、第2のn型表面埋込領域23, 18により構成される第1の蓄積ダイオードAD1により、電荷の完全転送ができないと、暗いところでのノイズが増えたり、残像ができたりするので、完全転送が絶対条件になるため、不純物密度が $5 \times 10^{16} \text{ cm}^{-3} \sim 1 \times 10^{19} \text{ cm}^{-3}$ 程度である必要がある。一方、第2の蓄積ダイオードAD2に関しては、第2の蓄積ダイオードAD2を構成する第3のn型表面埋込領域24, 28の不純物密度を $1 \times 10^{19} \text{ cm}^{-3} \sim 6 \times 10^{20} \text{ cm}^{-3}$ 程度等の非常に高い値にして、完全転送をしない読み出し方法を採用可能である。この場合は、第2の蓄積ダイオードAD2に関して、第2の蓄積ダイオードAD2を構成する第3のn型表面埋込領域24, 28の不純物密度を、通常のMOSトランジスタのソース/ドレイン領域と同じ不純物密度を採用可能ということになる。

30

#### 【0137】

既に述べた第1～第3の実施の形態及び第5～第7の実施の形態の説明においては、図2, 図17, 図21, 図25, 図27, 図29等に示したように、同じ画素内の低感度信号用の第1浮遊拡散領域26と、高感度信号用の第1浮遊拡散領域26とを短絡接続している。この短絡接続のための配線が画素のフォトダイオードPDの開口率を低下させる場合には、ある列( $j = p$ )の画素の低感度信号用の第1浮遊拡散領域26を隣接した列( $j = p \pm 1$ )の画素の高感度信号用の第1浮遊拡散領域26に接続するようにしても良い。画素のレイアウトにも依存するが、これにより、ある列( $j = p$ )の画素と隣接した列( $j = p \pm 1$ )の画素との浮遊拡散領域を共通の半導体領域とすることも可能であり、画素面積の縮小、フォトダイオードPDの開口率の向上、静電容量の減少による感度の向上が可能となる。

40

#### 【0138】

又、既に述べた第1～第7の実施の形態の説明においては、2次元固体撮像装置(エリアセンサ)を例示的に説明したが、本発明の固体撮像装置は2次元固体撮像装置のみに用いられるように限定して解釈すべきではない。例えば、図1に示した2次元マトリクス

50

において、 $j = m = 1$ とした1次元固体撮像装置(ラインセンサ)でも良いことは、上記の開示の内容から容易に理解できるはずである。

【0139】

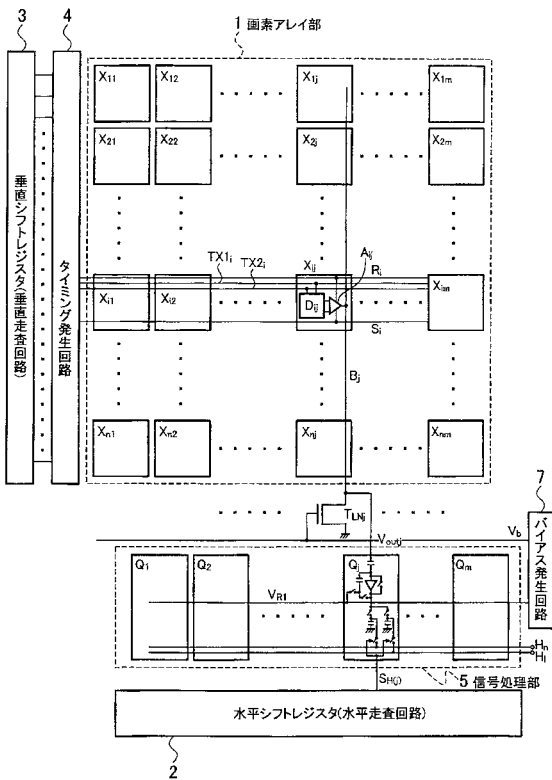
好適な実施の形態において本発明の原理を図示し説明してきたが、本発明は、そのような原理から逸脱することなく配置および詳細において変更され得ることは、当業者によって認識される。このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。したがって、特許請求の範囲およびその精神の範囲から来る全ての修正および変更に権利を請求する。

【産業上の利用可能性】

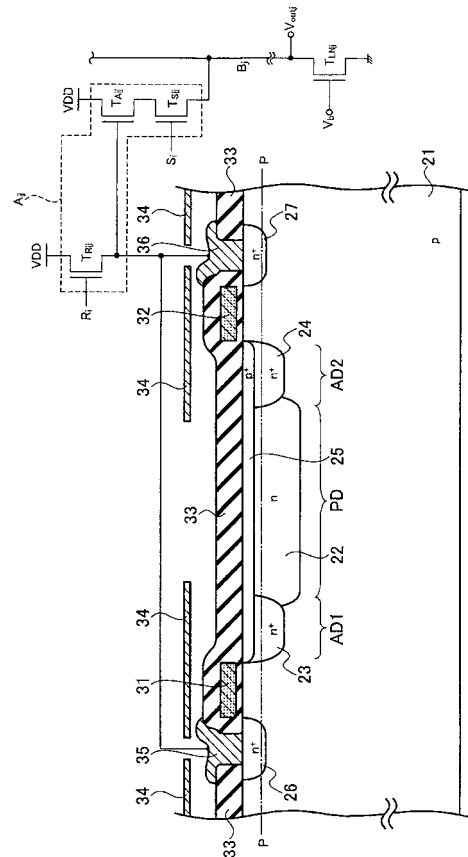
【0140】

以上説明したように、本実施の形態によれば、画素面積の増大を防ぐと共に大きなダイナミックレンジを有する固体撮像装置が提供され、またその画素信号の読みだし方法が提供される。

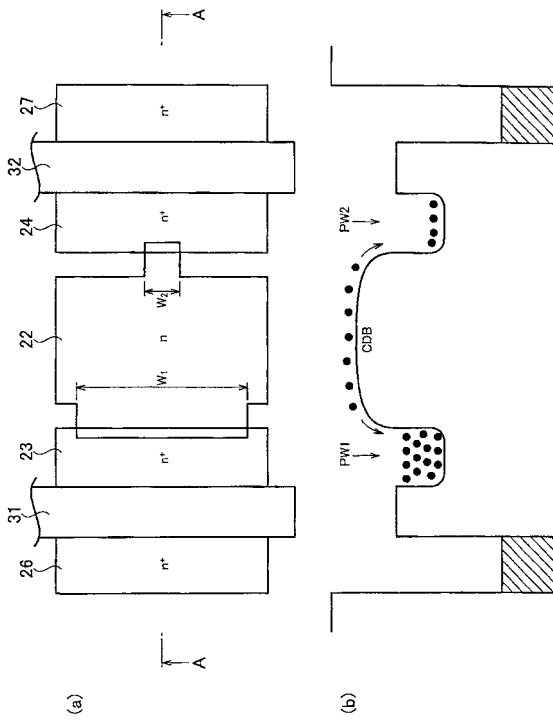
【図1】



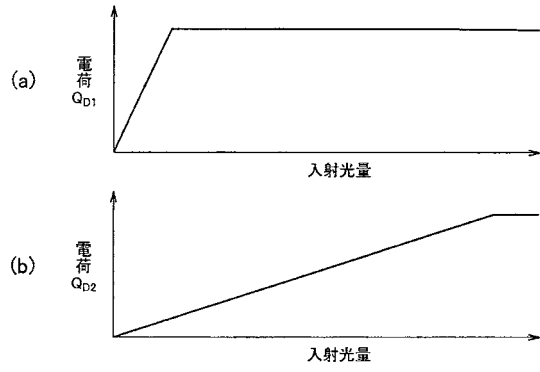
【図2】



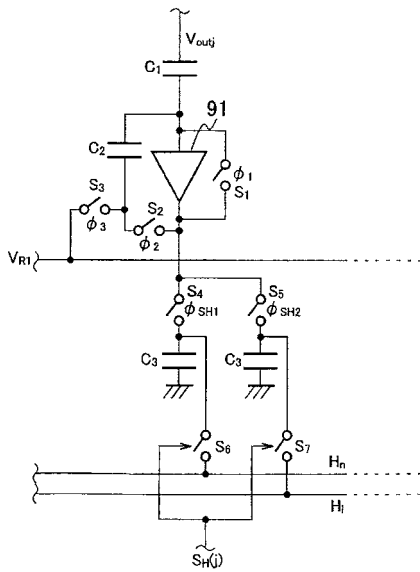
【 図 3 】



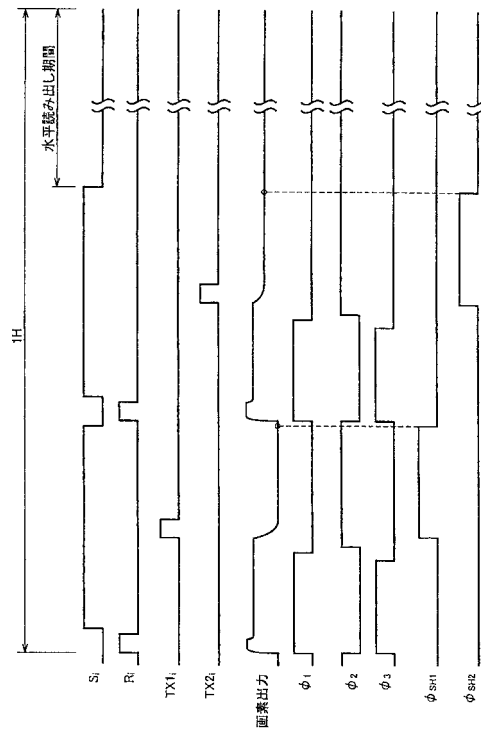
【 図 4 】



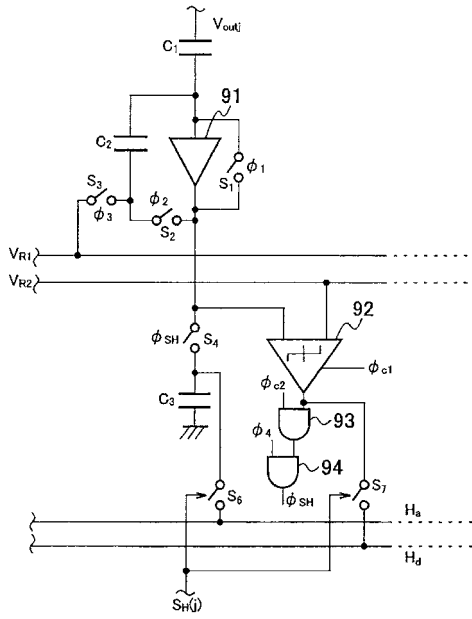
【 図 5 】



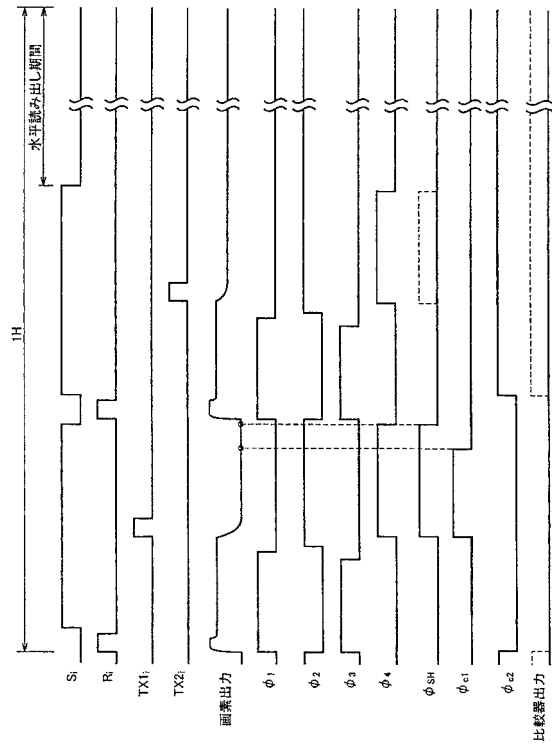
【 図 6 】



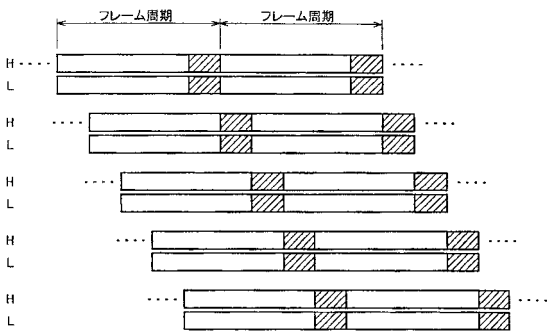
【 図 7 】



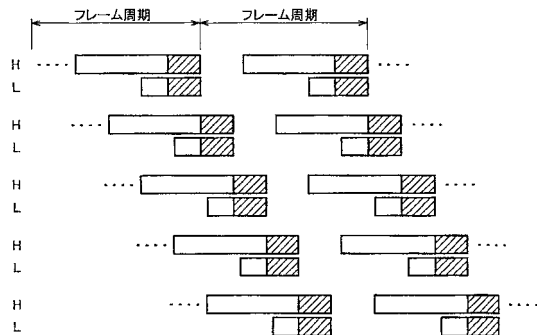
【 図 8 】



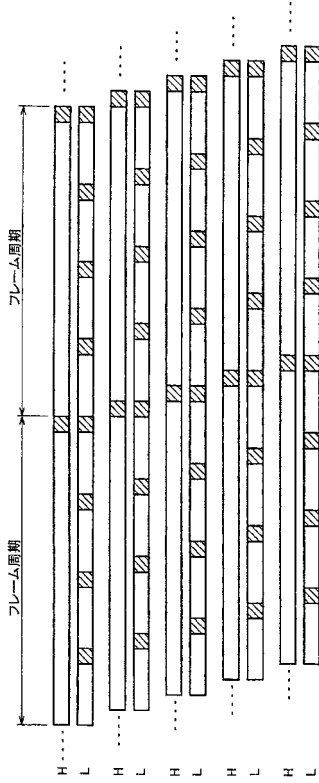
【 図 9 】



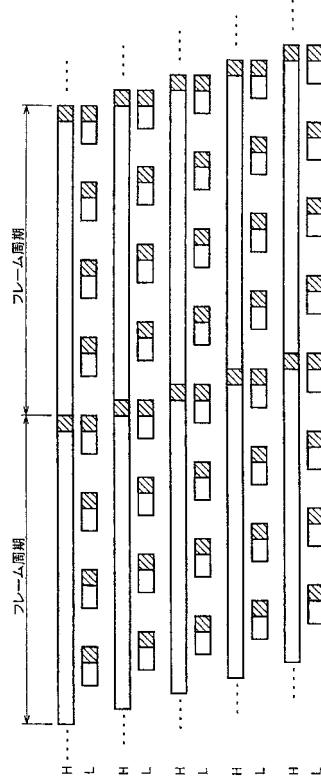
【 図 10 】



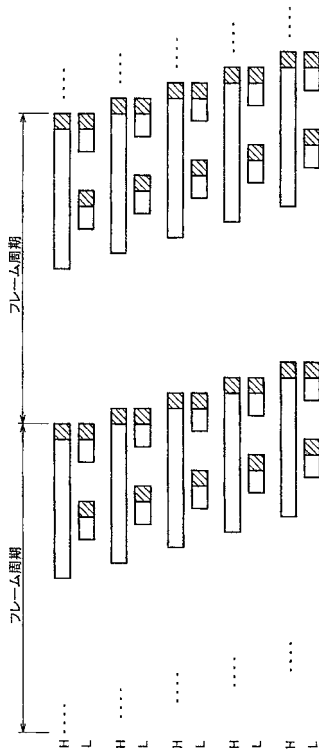
【 図 1 1 】



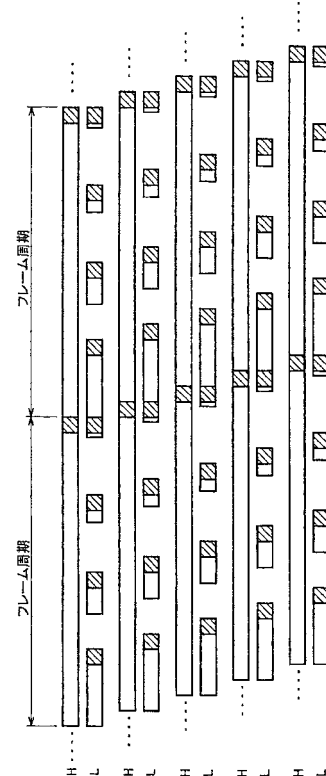
【 図 1 2 】



【 図 1 3 】



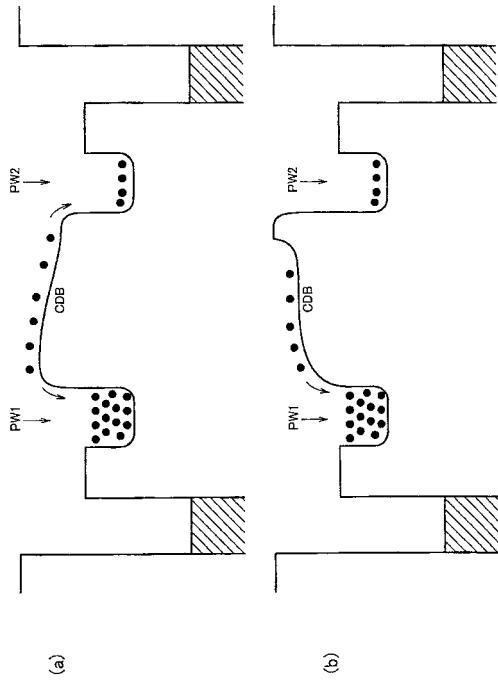
【 図 1 4 】



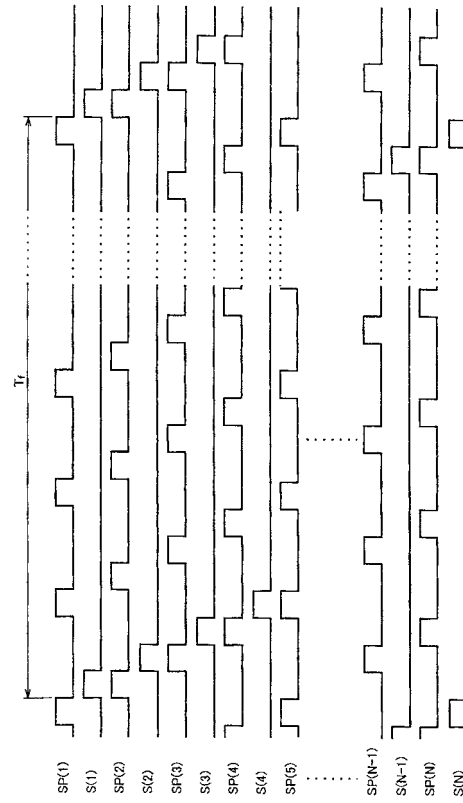




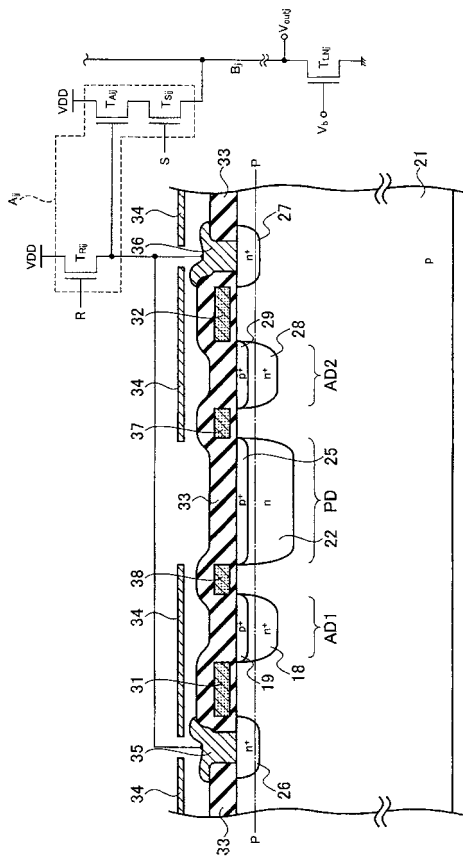
【 図 19 】



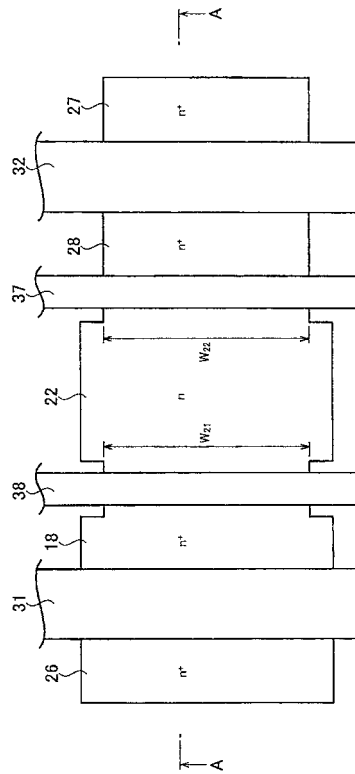
【 図 20 】



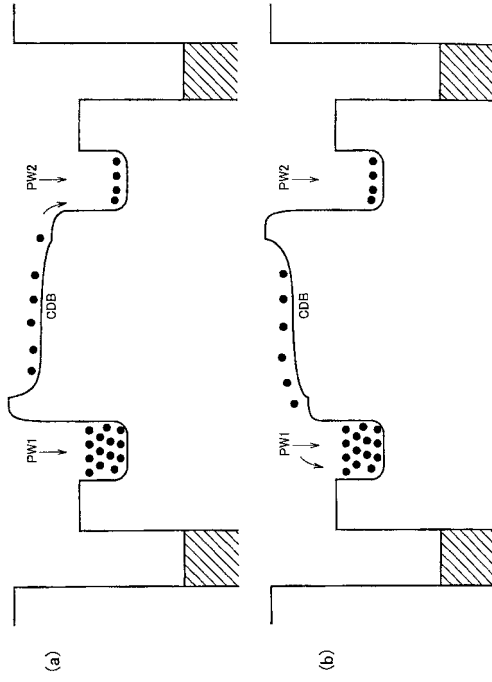
【 図 21 】



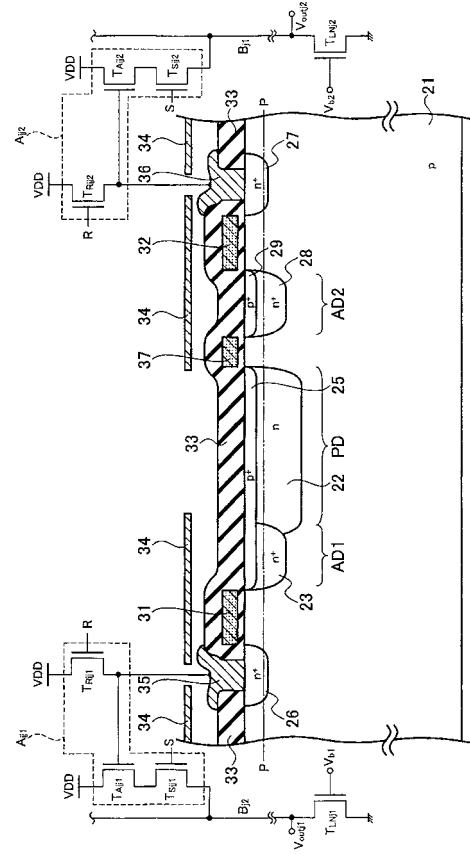
【 図 22 】



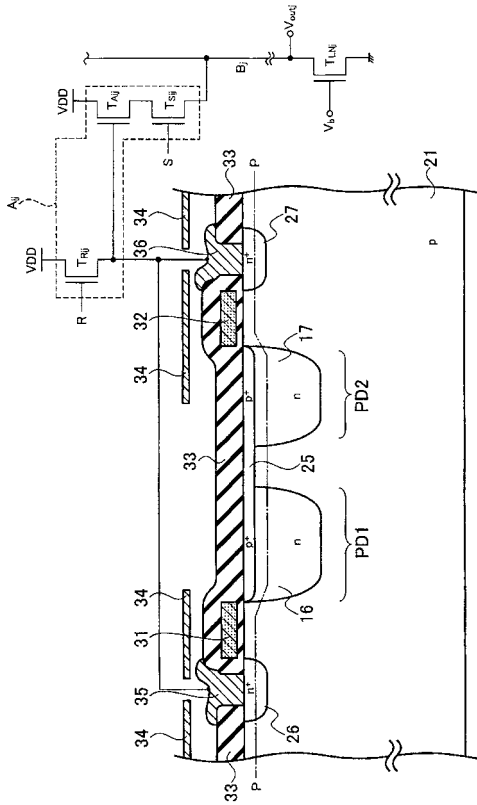
【 2 3 】



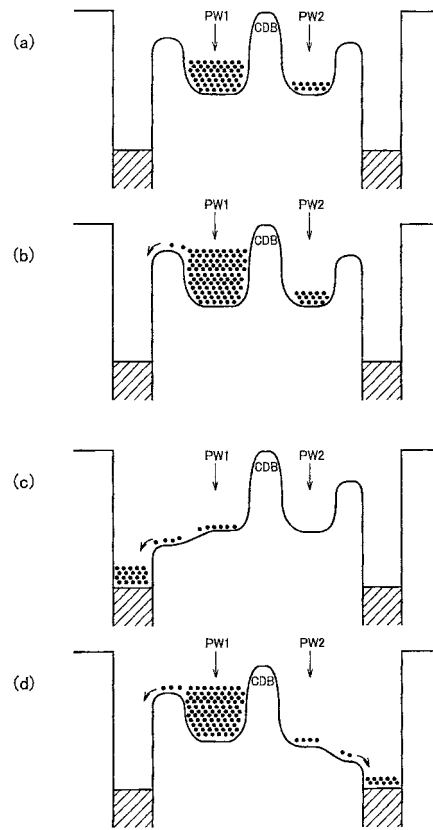
【 2 4 】



【 2 5 】

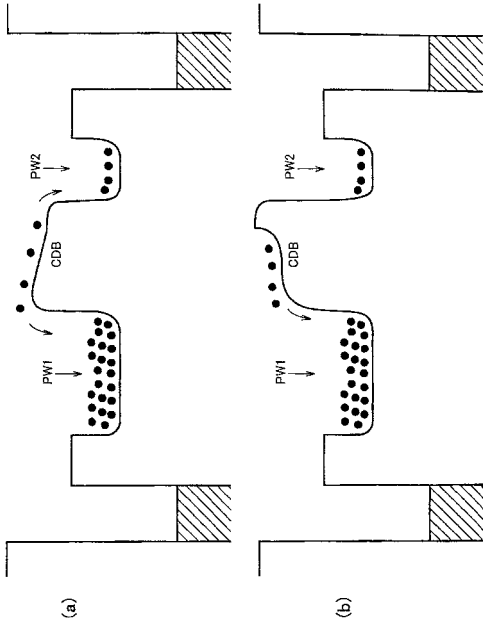


【 2 6 】





【 3 1 】



## 【 国際調査報告 】

<b>INTERNATIONAL SEARCH REPORT</b>		International application No. PCT/JP2007/050698
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> H01L27/146(2006.01) i, H04N5/335(2006.01) i  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) H01L27/146, H04N5/335  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007 Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-159067 A (Victor Company Of Japan, Ltd.), 16 June, 2005 (16.06.05), Full text; all drawings (Family: none)	1-24
A	JP 2004-294420 A (Shoji KAWAHITO), 21 October, 2004 (21.10.04), Full text; all drawings & WO 2004/070313 A1 & US 2006/192938 A1	1-24
A	JP 2005-164363 A (Shimadzu Corp.), 23 June, 2005 (23.06.05), Full text; all drawings (Family: none)	1-24
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 20 February, 2007 (20.02.07)		Date of mailing of the international search report 27 February, 2007 (27.02.07)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2007/050698

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-56048 A (Microsignal Corp.), 19 February, 2004 (19.02.04), Full text; all drawings (Family: none)	1-24

国際調査報告		国際出願番号 PCT/JP2007/050698									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. H01L27/146(2006.01)i, H04N5/335(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. H01L27/146, H04N5/335											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2007年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2007年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2007年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2007年	日本国実用新案登録公報	1996-2007年	日本国登録実用新案公報	1994-2007年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2007年										
日本国実用新案登録公報	1996-2007年										
日本国登録実用新案公報	1994-2007年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
A	JP 2005-159067 A (日本ビクター株式会社) 2005.06.16, 全文, 全図 (ファミリーなし)	1-24									
A	JP 2004-294420 A (川人祥二) 2004.10.21, 全文, 全図 &WO 2004/070313 A1 &US 2006/192938 A1	1-24									
☞ C欄の続きにも文献が列挙されている。		☞ パテントファミリーに関する別紙を参照。									
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献									
国際調査を完了した日 20.02.2007		国際調査報告の発送日 27.02.2007									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 柴山 将隆	4M 3035								
		電話番号 03-3581-1101 内線	3462								

様式PCT/ISA/210 (第2ページ) (2005年4月)



国際調査報告		国際出願番号 PCT/JP2007/050698
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2005-164363 A (株式会社島津製作所) 2005.06.23, 全文, 全図 (ファミリーなし)	1-24
A	JP 2004-56048 A (マイクロシグナル株式会社) 2004.02.19, 全文, 全図 (ファミリーなし)	1-24

## フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

Fターム(参考) 4M118 AA02 AB01 BA14 CA04 CA18 CA24 DA23 DB09 DD04 DD09  
DD12 FA06 FA08 FA33 GB06  
5C024 CX41 CX43 CX46 CX53 CY16 GX03 GY31 GZ36 HX28 JX41

(注)この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。