

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5105549号
(P5105549)

(45) 発行日 平成24年12月26日(2012.12.26)

(24) 登録日 平成24年10月12日(2012.10.12)

(51) Int.Cl.		F I	
GO 1 S 7/486 (2006.01)		GO 1 S	7/486
GO 1 S 17/89 (2006.01)		GO 1 S	17/89
HO 1 L 27/146 (2006.01)		HO 1 L	27/14 A

請求項の数 18 (全 26 頁)

(21) 出願番号	特願2008-548264 (P2008-548264)	(73) 特許権者	304023318 国立大学法人静岡大学 静岡県静岡市駿河区大谷836
(86) (22) 出願日	平成19年11月30日(2007.11.30)	(74) 代理人	100083806 弁理士 三好 秀和
(86) 国際出願番号	PCT/JP2007/073215	(74) 代理人	100108914 弁理士 鈴木 壯兵衛
(87) 国際公開番号	W02008/069141	(72) 発明者	川人 祥二 静岡県浜松市中区城北3丁目5-1 国立 大学法人静岡大学 電子工学研究所内
(87) 国際公開日	平成20年6月12日(2008.6.12)		
審査請求日	平成22年11月29日(2010.11.29)	審査官	大和田 有軌
(31) 優先権主張番号	特願2006-324501 (P2006-324501)		
(32) 優先日	平成18年11月30日(2006.11.30)		
(33) 優先権主張国	日本国(JP)		

最終頁に続く

(54) 【発明の名称】 半導体測距素子及び固体撮像装置

(57) 【特許請求の範囲】

【請求項1】

一定のパルス幅のパルス光を繰り返して出射する光源と、

第1導電型の半導体領域と、

前記半導体領域の上部の一部に埋め込まれ、対象物が反射した前記パルス光を、前記対象物からの反射光として入射する第2導電型の受光用表面埋込領域と、

前記半導体領域の上部の一部に埋め込まれ、前記受光用表面埋込領域よりもポテンシャル井戸の深さが深く、前記受光用表面埋込領域から前記光により生成された信号電荷が転送される第2導電型の第1の電荷蓄積領域と、

前記第1の電荷蓄積領域から前記信号電荷を受け入れる第1の電荷読み出し領域と、

前記受光用表面埋込領域と前記第1の電荷蓄積領域との間の前記半導体領域の上部に形成されるチャンネルの電位を制御して、前記受光用表面埋込領域から前記第1の電荷蓄積領域へ前記信号電荷を転送する第1の電位制御手段と、

前記第1の電荷蓄積領域と前記第1の電荷読み出し領域との間の前記半導体領域の上部に形成されるチャンネルの電位を制御して、前記第1の電荷蓄積領域から前記第1の電荷読み出し領域へ前記信号電荷を転送する第2の電位制御手段と、

前記受光用表面埋込領域から電荷を排出する第1の排出ドレイン領域と、

前記受光用表面埋込領域と前記第1の排出ドレイン領域との間の前記半導体領域の上部に形成されるチャンネルの電位を制御して、前記受光用表面埋込領域から前記第1の排出ドレイン領域へ前記信号電荷を転送する第3の電位制御手段

10

20

とを備え、Nを前記パルス光の繰り返し数として、前記パルス光をN個含む周期である第1繰り返し周期において、前記反射光の遅れ時間に依存する前記信号電荷を、前記受光用表面埋込領域から、前記パルス光に同期してN回繰り返し転送して前記第1の電荷蓄積領域に第1信号電荷として蓄積し、該N回の繰り返し転送と逆位相のタイミングで、前記受光用表面埋込領域から前記第1の排出ドレイン領域へ前記信号電荷を転送し、

前記第1繰り返し周期と同じ長さの周期である第2繰り返し周期において、前記反射光により発生した前記信号電荷のすべてを前記受光用表面埋込領域から前記パルス光に同期してN回繰り返し転送して前記第1の電荷蓄積領域に第2信号電荷として蓄積し、該N回の繰り返し転送と逆位相のタイミングで、前記受光用表面埋込領域から前記第1の排出ドレイン領域へ前記信号電荷を転送し、

N回繰り返し転送されてそれぞれ蓄積された前記第1及び第2信号電荷の総量を、前記第2の電位制御手段を介して、それぞれ前記第1の電荷読み出し領域に一括して転送し、前記第1の電荷読み出し領域から逐次読み出された前記第1及び第2信号電荷の総量の比を求めて、前記遅れ時間を推定し、前記対象物までの距離を測定することを特徴とする半導体測距素子。

【請求項2】

前記受光用表面埋込領域が互いに前記半導体領域の上部に埋め込まれた複数のストライプ状のパターンからなることを特徴とする請求項1に記載の半導体測距素子。

【請求項3】

前記第1の電荷蓄積領域が前記受光用表面埋込領域よりも高不純物密度であることを特徴とする請求項1に記載の半導体測距素子。

【請求項4】

前記第1の電荷蓄積領域が前記受光用表面埋込領域よりも深いことを特徴とする請求項1に記載の半導体測距素子。

【請求項5】

前記半導体領域の上部の一部に前記第1の電荷蓄積領域と離間して埋め込まれ、前記受光用表面埋込領域よりもポテンシャル井戸の深さが深く、前記受光用表面埋込領域から前記光により生成された信号電荷が転送される第2導電型の第2の電荷蓄積領域と、

前記第2の電荷蓄積領域から前記信号電荷を受け入れる第2の電荷読み出し領域と、

前記受光用表面埋込領域と前記第2の電荷蓄積領域との間の前記半導体領域の上部に形成されるチャンネルの電位を制御して、前記受光用表面埋込領域から前記第2の電荷蓄積領域へ前記信号電荷を転送する第4の電位制御手段と、

前記第2の電荷蓄積領域と前記第2の電荷読み出し領域との間の前記半導体領域の上部に形成されるチャンネルの電位を制御して、前記第2の電荷蓄積領域から前記第2の電荷読み出し領域へ前記信号電荷を転送する第5の電位制御手段

とを更に備え、前記第1の電位制御手段と同期して前記第4の電位制御手段を駆動して、前記第1繰り返し周期において、前記反射光の遅れ時間に依存する前記信号電荷を前記受光用表面埋込領域から前記第2の電荷蓄積領域に転送し、前記第2繰り返し周期において、前記反射光により発生した前記信号電荷を前記受光用表面埋込領域から前記第2の電荷蓄積領域に転送し、

前記第2の電位制御手段と同期して前記第5の電位制御手段を駆動して、前記第2の電荷蓄積領域から前記第2の電荷読み出し領域へ前記信号電荷を転送し、前記第1及び第2の電荷読み出し領域から読み出された前記第1及び第2信号電荷の総量の比を求めて、前記遅れ時間を推定し、前記対象物までの距離を測定することを特徴とする請求項1に記載の半導体測距素子。

【請求項6】

前記第2の電荷蓄積領域が前記受光用表面埋込領域よりも高不純物密度であるか、又は前記第2の電荷蓄積領域が前記受光用表面埋込領域よりも深いことを特徴とする請求項5に記載の固体撮像装置。

【請求項7】

10

20

30

40

50

前記受光用表面埋込領域から電荷を排出する第2の排出ドレイン領域と、
 前記受光用表面埋込領域と前記第2の排出ドレイン領域との間の前記半導体領域の上部に形成されるチャンネルの電位を制御して、前記受光用表面埋込領域から前記第2の排出ドレイン領域へ前記信号電荷を転送する第6の電位制御手段
 とを更に備えることを特徴とする請求項5に記載の半導体測距素子。

【請求項8】

第1導電型の半導体領域と、
 前記半導体領域の上部の一部に埋め込まれ、対象物が反射したパルス光を、前記対象物からの反射光として入射する第2導電型の受光用表面埋込領域と、

前記半導体領域の上部の一部に埋め込まれ、前記受光用表面埋込領域よりもポテンシャル井戸の深さが深く、前記受光用表面埋込領域から前記光により生成された信号電荷が転送される第2導電型の第1の電荷蓄積領域と、

前記第1の電荷蓄積領域から前記信号電荷を受け入れる第1の電荷読み出し領域と、
 前記受光用表面埋込領域と前記第1の電荷蓄積領域との間の前記半導体領域の上部に形成されるチャンネルの電位を制御して、前記受光用表面埋込領域から前記第1の電荷蓄積領域へ前記信号電荷を転送する第1の電位制御手段と、

前記第1の電荷蓄積領域と前記第1の電荷読み出し領域との間の前記半導体領域の上部に形成されるチャンネルの電位を制御して、前記第1の電荷蓄積領域から前記第1の電荷読み出し領域へ前記信号電荷を転送する第2の電位制御手段と、

前記受光用表面埋込領域から電荷を排出する第1の排出ドレイン領域と、
 前記受光用表面埋込領域と前記第1の排出ドレイン領域との間の前記半導体領域の上部に形成されるチャンネルの電位を制御して、前記受光用表面埋込領域から前記第1の排出ドレイン領域へ前記信号電荷を転送する第3の電位制御手段 とを備える画素を複数個配列した半導体チップと、

前記パルス光を、一定のパルス幅で繰り返して出射する光源と
 を備え、Nを前記パルス光の繰り返し数として、前記パルス光をN個含む周期である第1繰り返し周期において、前記反射光の遅れ時間に依存する前記信号電荷を、前記受光用表面埋込領域から、前記パルス光に同期してN回繰り返し転送して前記第1の電荷蓄積領域に第1信号電荷として蓄積し、該N回の繰り返し転送と逆位相のタイミングで、前記受光用表面埋込領域から前記第1の排出ドレイン領域へ前記信号電荷を転送し、

前記第1繰り返し周期と同じ長さの周期である第2繰り返し周期において、前記反射光により発生した前記信号電荷のすべてを前記受光用表面埋込領域から前記パルス光に同期してN回繰り返し転送して前記第1の電荷蓄積領域に第2信号電荷として蓄積し、該N回の繰り返し転送と逆位相のタイミングで、前記受光用表面埋込領域から前記第1の排出ドレイン領域へ前記信号電荷を転送し、

N回繰り返し転送されてそれぞれ蓄積された前記第1及び第2信号電荷の総量を、前記第2の電位制御手段を介して、それぞれ前記第1の電荷読み出し領域に一括して転送し、前記第1の電荷読み出し領域から逐次読み出された前記第1及び第2信号電荷の総量の比を求めて、前記遅れ時間を推定し、前記対象物までの距離を測定することを特徴とする固体撮像装置。

【請求項9】

前記受光用表面埋込領域が互いに前記半導体領域の表面に埋め込まれた複数のストライプ状のパターンからなることを特徴とする請求項8に記載の固体撮像装置。

【請求項10】

前記第1の電荷蓄積領域が前記受光用表面埋込領域よりも高不純物密度であることを特徴とする請求項8に記載の固体撮像装置。

【請求項11】

前記第1の電荷蓄積領域が前記受光用表面埋込領域よりも深いことを特徴とする請求項8に記載の固体撮像装置。

【請求項12】

10

20

30

40

50

前記画素が、前記第 1 の電荷読み出し領域に転送された前記信号電荷に依存した電圧を読み出す電圧読み出し用バッファアンプを更に備えることを特徴とする請求項 8 に記載の固体撮像装置。

【請求項 1 3】

前記受光用表面埋込領域から前記第 1 の電荷蓄積領域への前記信号電荷を前記すべての画素で一斉に転送することを特徴とする請求項 8 に記載の固体撮像装置。

【請求項 1 4】

前記半導体領域の上部の一部に前記第 1 の電荷蓄積領域と離間して埋め込まれ、前記受光用表面埋込領域よりもポテンシャル井戸の深さが深く、前記受光用表面埋込領域から前記光により生成された信号電荷が転送される第 2 導電型の第 2 の電荷蓄積領域と、

前記第 2 の電荷蓄積領域から前記信号電荷を受け入れる第 2 の電荷読み出し領域と、

前記受光用表面埋込領域と前記第 2 の電荷蓄積領域との間の前記半導体領域の上部に形成されるチャンネルの電位を制御して、前記受光用表面埋込領域から前記第 2 の電荷蓄積領域へ前記信号電荷を転送する第 4 の電位制御手段と、

前記第 2 の電荷蓄積領域と前記第 2 の電荷読み出し領域との間の前記半導体領域の上部に形成されるチャンネルの電位を制御して、前記第 2 の電荷蓄積領域から前記第 2 の電荷読み出し領域へ前記信号電荷を転送する第 5 の電位制御手段

とを更に備え、前記第 1 の電位制御手段と同期して前記第 4 の電位制御手段を駆動して

前記第 1 繰り返し周期において、前記反射光の遅れ時間に依存する前記信号電荷を前記受光用表面埋込領域から前記第 2 の電荷蓄積領域に転送し、前記第 2 繰り返し周期において、前記反射光により発生した前記信号電荷を前記受光用表面埋込領域から前記第 2 の電荷蓄積領域に転送し、

前記第 2 の電位制御手段と同期して前記第 5 の電位制御手段を駆動して、前記第 2 の電荷蓄積領域から前記第 2 の電荷読み出し領域へ前記信号電荷を転送し、前記第 1 及び第 2 の電荷読み出し領域から読み出された前記第 1 及び第 2 信号電荷の総量の比を求めて、前記遅れ時間を推定し、前記対象物までの距離を測定することを特徴とする請求項 8 に記載の半導体測距素子。

【請求項 1 5】

前記第 2 の電荷蓄積領域が前記受光用表面埋込領域よりも高不純物密度であるか、又は前記第 2 の電荷蓄積領域が前記受光用表面埋込領域よりも深いことを特徴とする請求項 1 4 に記載の固体撮像装置。

【請求項 1 6】

前記受光用表面埋込領域から電荷を排出する第 2 の排出ドレイン領域と、

前記受光用表面埋込領域と前記第 2 の排出ドレイン領域との間の前記半導体領域の上部に形成されるチャンネルの電位を制御して、前記受光用表面埋込領域から前記第 2 の排出ドレイン領域へ前記信号電荷を転送する第 6 の電位制御手段 とを更に備えることを特徴とする請求項 1 4 に記載の半導体測距素子。

【請求項 1 7】

前記画素が、前記第 1 及び第 2 の電荷読み出し領域にそれぞれ転送された前記信号電荷に依存した電圧を読み出す共通の電圧読み出し用バッファアンプを更に備えることを特徴とする 1 6 に記載の固体撮像装置。

【請求項 1 8】

前記画素が、前記第 1 及び第 2 の電荷読み出し領域に転送された前記信号電荷に依存した電圧をそれぞれ読み出す第 1 及び第 2 の電圧読み出し用バッファアンプを更に備えることを特徴とする請求項 1 4 に記載の固体撮像装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体測距素子に係り、更には半導体測距素子を複数個配列した固体撮像装置に関する。

10

20

30

40

50

【背景技術】

【0002】

1995年頃に発表されたCCDを用いた1次元の距離画像センサを発端とし、光の飛行時間を用いて距離画像を取得する光飛行時間型(TOF)型距離センサの開発が多方面で進んでいる。

【0003】

しかしながら、現在実現されているTOF型距離センサの解像度は、2万画素以内程度に留まっている。又、CCDを用いた方式の場合、画素数が大きくなると画素の駆動が難しくなり、CMOSとCCDの混在プロセスを用いた方式では、製作コストが高くなる。

【0004】

一方、本発明者の一人は、高感度化に有効で且つ電荷転送を高速に行うCMOS技術に基づく手法を既に提案している。

【0005】

しかし、従来のTOF型距離画像センサは、距離分解能や空間解像度の点で改善すべき点もある。したがって、低コストで、且つ高い距離分解能と空間解像度を有するTOF型距離画像センサが待望されている。

【発明の開示】

【0006】

本発明は、高速電荷転送を行える半導体測距素子を提供し、更にはこの半導体測距素子を画素として複数個配列して、低コストで、且つ高い距離分解能と空間解像度を有する固体撮像装置を提供することを目的とする。

【0007】

本発明の第1の態様は、(イ)第1導電型の半導体領域と、(ロ)半導体領域の上部の一部に埋め込まれ、対象物が反射した光を入射する第2導電型の受光用表面埋込領域と、(ハ)半導体領域の上部の一部に受光用表面埋込領域と離間して埋め込まれ、受光用表面埋込領域よりもポテンシャル井戸の深さが深く、受光用表面埋込領域から光による信号電荷が転送される第2導電型の電荷蓄積領域と、(ニ)電荷蓄積領域により蓄積した信号電荷を受け入れる電荷読み出し領域と、(ホ)受光用表面埋込領域と電荷蓄積領域との間の半導体領域の上部に形成されるチャンネルの電位を制御して、受光用表面埋込領域から電荷蓄積領域へ信号電荷を転送する第1の電位制御手段と、(ヘ)電荷蓄積領域と電荷読み出し領域との間の半導体領域の上部に形成されるチャンネルの電位を制御して、電荷蓄積領域から電荷読み出し領域へ信号電荷を転送する第2の電位制御手段と、(ト)受光用表面埋込領域から電荷を排出する排出ドレイン領域と、(チ)受光用表面埋込領域と排出ドレイン領域との間の半導体領域の上部に形成されるチャンネルの電位を制御して、受光用表面埋込領域から排出ドレイン領域へ信号電荷を転送する第3の電位制御手段とを備え、第1繰り返し周期において反射光の遅れ時間に依存する信号電荷を、受光用表面埋込領域から繰り返し転送して電荷蓄積領域に第1信号電荷として蓄積し、第1繰り返し周期とは異なる第2繰り返し周期において反射光により発生した信号電荷のすべてを受光用表面埋込領域から繰り返し転送して電荷蓄積領域に第2信号電荷として蓄積し、蓄積された第1及び第2信号電荷の総量の比を求めて、対象物までの距離を測定する半導体測距素子であることを要旨とする。ここで、「第1繰り返し周期」とは、例えば奇数フレームの周期、「第2繰り返し周期」とは、偶数フレームの周期のように選択可能であるが、数フレーム毎飛びに選択しても構わない。又、第1導電型と第2導電型とは互いに反対導電型である。即ち、第1導電型がn型であれば、第2導電型はp型であり、第1導電型がp型であれば、第2導電型はn型である。

【0008】

本発明の第2の態様は、(イ)第1導電型の半導体領域と、(ロ)半導体領域の上部の一部に埋め込まれ、対象物が反射した光を入射する第2導電型の受光用表面埋込領域と、(ハ)半導体領域の上部の一部に受光用表面埋込領域と離間して埋め込まれ、受光用表面埋込領域よりもポテンシャル井戸の深さが深く、受光用表面埋込領域から光による信号電

10

20

30

40

50

荷が転送される第2導電型の電荷蓄積領域と、(ニ)電荷蓄積領域により蓄積した信号電荷を受け入れる電荷読み出し領域と、(ホ)受光用表面埋込領域と電荷蓄積領域との間の半導体領域の上部に形成されるチャンネルの電位を制御して、受光用表面埋込領域から電荷蓄積領域へ信号電荷を転送する第1の電位制御手段と、(ヘ)電荷蓄積領域と電荷読み出し領域との間の半導体領域の上部に形成されるチャンネルの電位を制御して、電荷蓄積領域から電荷読み出し領域へ信号電荷を転送する第2の電位制御手段と、(ト)受光用表面埋込領域から電荷を排出する排出ドレイン領域と、(チ)受光用表面埋込領域と排出ドレイン領域との間の半導体領域の上部に形成されるチャンネルの電位を制御して、受光用表面埋込領域から排出ドレイン領域へ信号電荷を転送する第3の電位制御手段とを備える画素を複数個配列し、第1繰り返し周期において反射光の遅れ時間に依存する信号電荷を、受光用表面埋込領域から繰り返し転送して電荷蓄積領域に第1信号電荷として蓄積し、第2繰り返し周期において反射光により発生した信号電荷のすべてを受光用表面埋込領域から繰り返し転送して電荷蓄積領域に第2信号電荷として蓄積し、蓄積された第1及び第2信号電荷の総量の比を求めて、対象物までの距離を測定する固体撮像装置であることを要旨とする。

10

【図面の簡単な説明】

【0009】

【図1】図1は、本発明の第1の実施の形態に係る固体撮像装置(2次元イメージセンサ)の半導体チップ上のレイアウトを説明する模式的平面図である。

【図2】図2は、本発明の第1の実施の形態に係る固体撮像装置の画素の一部となる半導体測距素子の構成を説明する概略的な平面図である。

20

【図3】図3(a)は、図2のA-A面から見た模式的な断面図である。図3(b)は、信号電荷の転送の様子を説明するポテンシャル図である。

【図4】図4(a)は、信号電荷の転送の様子を説明するポテンシャル図である。図4(b)は、信号電荷の転送の様子を説明するポテンシャル図である。図4(c)は、信号電荷の転送の様子を説明するポテンシャル図である。

【図5】図5は、本発明の第1の実施の形態に係る固体撮像装置の動作を説明するタイミングチャートである。

【図6】図6は、発明の第1の実施の形態に係るTOF測定方法を説明するタイミングチャートである。

30

【図7】図7(a)、図7(b)、図7(c)は、本発明の第1の実施の形態に係る半導体測距素子及び固体撮像装置の製造方法を説明する工程断面図である。

【図8】図8(a)、図8(b)、図8(c)は、本発明の第1の実施の形態に係る半導体測距素子及び固体撮像装置の製造方法を説明する工程断面図である。

【図9】図9は、本発明の第1の実施の形態の変形例に係る固体撮像装置の画素の一部となる半導体測距素子の構成を説明する概略的な平面図である。

【図10】図10(a)は、本発明の第1の実施の形態の変形例に係る固体撮像装置の画素の一部となる半導体測距素子の構成を説明する模式的な断面図である。図10(b)は、図10(a)のB-B面から見た模式的な断面図である。

【図11】図11は、本発明の第2の実施の形態に係る固体撮像装置の画素の一部となる半導体測距素子の構成を説明する概略的な平面図である。

40

【図12】図12(a)は、図11のC-C面から見た模式的な断面図である。図12(b)は、信号電荷の転送の様子を説明するポテンシャル図である。図12(c)は、信号電荷の転送の様子を説明するポテンシャル図である。

【図13】図13(a)は、信号電荷の転送の様子を説明するポテンシャル図である。図13(b)は、信号電荷の転送の様子を説明するポテンシャル図である。

【図14】図14(a)は、図11のD-D面から見た模式的な断面図である。図14(b)は、信号電荷の転送の様子を説明するポテンシャル図である。図14(c)は、信号電荷の転送の様子を説明するポテンシャル図である。

【図15】図15(a)は、図11のC-C面から見た模式的な他の断面図である。図1

50

5 (b) は、信号電荷の転送の様子を説明するポテンシャル図である。

【図 1 6】図 1 6 は、信号電荷の転送の様子を説明するポテンシャル図である。

【図 1 7】図 1 7 は、本発明の他の実施の形態に係る固体撮像装置に係る半導体測距素子の構成を説明する概略的な平面図である。

【発明を実施するための最良の形態】

【 0 0 1 0 】

次に、図面を参照して、本発明の第 1 及び第 2 の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。但し、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

10

【 0 0 1 1 】

又、以下に示す第 1 及び第 2 の実施の形態は、本発明の技術的思想を具体化するための装置や方法を例示するものであって、本発明の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。本発明の技術的思想は、特許請求の範囲に記載された技術的範囲内において、種々の変更を加えることができる。

【 0 0 1 2 】

(第 1 の実施の形態)

本発明の第 1 の実施の形態に係る固体撮像装置 (2 次元イメージセンサ) は、図 1 に示すように、画素アレイ部 ($X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$) と周辺回路部 (1 0 4 , 1 0 5 , 1 0 6 , $NC_1 \sim NC_m$) とを同一の半導体チップ上に集積化している。画素アレイ部には、2次元マトリクス状に多数の画素 X_{ij} ($i = 1 \sim m; j = 1 \sim n$: m, n はそれぞれ整数である。) が配列されており、方形状の撮像領域を構成している。そして、この画素アレイ部の下辺部には、画素行 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ 方向に沿って水平シフトレジスタ 1 0 6 が設けられ、画素アレイ部の左辺部には画素列 $X_{11} \sim X_{n1}; X_{12} \sim X_{n2}; \dots; X_{1j} \sim X_{nj}; \dots; X_{1m} \sim X_{nm}$ 方向に沿って垂直シフトレジスタ 1 0 5 が設けられている。垂直シフトレジスタ 1 0 5 及び水平シフトレジスタ 1 0 6 には、タイミング発生回路 1 0 4 が接続されている。

20

【 0 0 1 3 】

タイミング発生回路 1 0 4、水平シフトレジスタ 1 0 6 及び垂直シフトレジスタ 1 0 5 によって画素アレイ部内の画素 X_{ij} が順次走査され、画素信号の読み出しや電子シャッタ動作が実行される。即ち、本発明の第 1 の実施の形態に係る固体撮像装置では、画素アレイ部を各画素行 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ 単位で垂直方向に走査することにより、各画素行 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ の画素信号を各画素列 $X_{11} \sim X_{n1}; X_{12} \sim X_{n2}; \dots; X_{1j} \sim X_{nj}; \dots; X_{1m} \sim X_{nm}$ 毎に設けられた垂直信号線によって画素信号を読み出す構成となっている。

30

【 0 0 1 4 】

第 1 の実施の形態に係る固体撮像装置のそれぞれの画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ 内の TOF 画素回路として機能する半導体測距素子の平面構造の一例を、図 2 に、対応する断面図を図 3 (a) に示す。

40

【 0 0 1 5 】

図 3 (a) は、図 2 に示した半導体測距素子の A - A 面から見た断面構造であり、先に図 3 (a) を説明する。図 3 (a) に示すように、半導体測距素子は、第 1 導電型 (p 型) の半導体領域 (半導体基板) 1 と、半導体領域 1 の上部の一部に埋め込まれ、対象物からの反射光を光信号として受光し信号電荷に変換する第 2 導電型 (n 型) の受光用表面埋め込み領域 (受光カソード領域) 1 1 a と、半導体領域 1 の上部の一部に受光カソード領域 1 1 a と離間して埋め込まれ、受光カソード領域 1 1 a よりも高不純物密度であり、受光カソード領域 1 1 a により生成した信号電荷を蓄積する第 2 導電型 (n⁺ 型) の電荷蓄積領域 1 2 a と、電荷蓄積領域 1 2 a により蓄積した信号電荷を受け入れる電荷読み出し

50

領域 1 3 と、受光カソード領域 1 1 a により生成した信号電荷を排出する排出ドレイン領域 1 4 を備える。図 3 (a) では「第 1 導電型の半導体領域」として、第 1 導電型の半導体基板を例示しているが、半導体基板の代わりに、第 1 導電型の半導体基板上に形成したこの半導体基板よりも低不純物密度の第 1 導電型のシリコンエピタキシャル成長層を採用しても良い。

【 0 0 1 6 】

受光カソード領域 1 1 a と、受光カソード領域 1 1 a の直下の半導体基板 (アノード領域) 1 とでフォトダイオード D 1 を構成している。電荷蓄積領域 (カソード領域) 1 2 a と、電荷蓄積領域 1 2 a 直下の半導体基板 1 (アノード領域) とで電荷蓄積ダイオード D 2 を構成している。

10

【 0 0 1 7 】

受光カソード領域 1 1 a の上には、 p^+ 型ピニング層 1 1 b が配置されている。電荷蓄積領域 1 2 a の上には、 p^+ 型ピニング層 1 2 b が配置されている。 p^+ 型ピニング層 1 1 b 及び p^+ 型ピニング層 1 2 b は、ダーク時の表面でのキャリアの生成を抑制する層であり、ダーク電流削減のために好ましい層として用いている。ダーク電流が問題とならない用途 (応用) 等では、構造上、 p^+ 型ピニング層 1 1 b 及び p^+ 型ピニング層 1 2 b を省略しても構わない。

【 0 0 1 8 】

p^+ 型ピニング層 1 1 b 及び p^+ 型ピニング層 1 2 b 上、更には p^+ 型ピニング層 1 1 b と p^+ 型ピニング層 1 2 b との間の半導体基板 1 上、電荷蓄積領域 1 2 a と電荷読み出し領域 1 3 との間の半導体基板 1 上、受光カソード領域 1 1 a と排出ドレイン領域 1 4 との間の半導体基板 1 上、及び受光カソード領域 1 1 a と排出ドレイン領域 1 4 上には絶縁膜 2 が形成されている。絶縁膜 2 としては、シリコン酸化膜 (SiO_2 膜) が好適であるが、シリコン酸化膜 (SiO_2 膜) 以外の種々の絶縁膜を用いた絶縁ゲート型トランジスタ (M I S トランジスタ) の絶縁ゲート構造をなしても良い。例えば、シリコン酸化膜 (SiO_2 膜) / シリコン窒化膜 (Si_3N_4 膜) / シリコン酸化膜 (SiO_2 膜) の 3 層積層膜からなる O N O 膜でもよい。更には、ストロンチウム (S r)、アルミニウム (A l)、マグネシウム (M g)、イットリウム (Y)、ハフニウム (H f)、ジルコニウム (Z r)、タンタル (T a)、ビスマス (B i) のいずれか一つの元素を少なくとも含む酸化物、又はこれらの元素を含むシリコン窒化物等が絶縁膜 2 として使用可能である。

20

30

【 0 0 1 9 】

絶縁膜 2 上には、受光カソード領域 1 1 a と電荷蓄積領域 1 2 a との間の半導体基板 1 の表面 (上部) に定義される第 1 転送チャネルの電位を制御して、受光カソード領域 1 1 a から電荷蓄積領域 1 2 a へ信号電荷を転送する転送ゲート電極 3 1 が配置され、第 1 の電位制御手段を構成している。更に、絶縁膜 2 上には、電荷蓄積領域 1 2 a と電荷読み出し領域 1 3 との間の半導体基板 1 の表面 (上部) に定義される第 2 転送チャネルの電位を制御して、電荷蓄積領域 1 2 a から電荷読み出し領域 1 3 へ信号電荷を転送する読み出しゲート電極 3 2 が配置され、第 2 の電位制御手段を構成している。更に、絶縁膜 2 上には、受光カソード領域 1 1 a と排出ドレイン領域 1 4 との間の半導体基板 1 の表面 (上部) に定義される第 3 転送チャネルの電位を制御して、受光カソード領域 1 1 a から排出ドレイン領域 1 4 へ信号電荷を吐き出す排出ゲート電極 3 3 が配置され、第 3 の電位制御手段を構成している。

40

【 0 0 2 0 】

図 2 の平面図では、図 3 (a) から分かるように、受光カソード領域 1 1 a の上に配置された矩形の p^+ 型ピニング層 1 1 b を図示しているが、受光カソード領域 1 1 a も平面パターンとしては矩形である。この受光カソード領域 1 1 a と電荷蓄積領域 1 2 a の上に配置された p^+ 型ピニング層 1 2 b との間に転送ゲート電極 3 1 が延伸している。 p^+ 型ピニング層 1 2 b の下方には、 p^+ 型ピニング層 1 2 b とほぼ同様な平面パターンで電荷蓄積領域 1 2 a が存在している。更に、 p^+ 型ピニング層 1 2 b と n^+ 型電荷読み出し領域 1 3 との間には読み出しゲート電極 3 2 が延伸している。更に、 p^+ 型ピニング層 1 1 b と

50

排出ドレイン領域 1 4 との間には排出ゲート電極 3 3 が延伸している。

【 0 0 2 1 】

図 1 に示した光源 1 0 1 から繰り返しパルス信号として照射された光は、対象物 1 0 2 で反射され、レンズ 1 0 3 を介して、それぞれの画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots$; $X_{n1} \sim X_{nm}$ に入射する。即ち、図 2 に示したように、それぞれの画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots$; $X_{n1} \sim X_{nm}$ の遮光膜 4 1 の開口部 4 2 を介して、それぞれの画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots$; $X_{n1} \sim X_{nm}$ のフォトダイオード D 1 に入射する。フォトダイオード D 1 は、遮光膜の開口部 4 2 を介して入射したパルス光を光信号として受光し、この光信号を信号電荷に変換する。

【 0 0 2 2 】

図 3 (b) は、図 3 (a) において一点鎖線で示した P - P 面で、受光カソード領域 1 1 a、電荷蓄積領域 1 2 a、電荷読み出し領域 1 3 を切る断面におけるポテンシャル図であり、電荷 (電子) を黒丸で示している。図 3 (a) の左側に受光カソード領域 1 1 a の伝導帯端のポテンシャル井戸 (第 1 のポテンシャル井戸) P W 1 を示す。更に、第 1 のポテンシャル井戸 P W 1 の右側に、電荷蓄積領域 1 2 a の伝導帯端のポテンシャル井戸 (第 2 のポテンシャル井戸) P W 2 を示す。第 1 のポテンシャル井戸 P W 1 と、第 2 のポテンシャル井戸 P W 2 との間の電位障壁は、転送ゲート電極 3 1 直下の半導体基板 1 の伝導帯端のポテンシャル分布に相当する。更に、第 2 のポテンシャル井戸 P W 2 の右側に、電荷読み出し領域 1 3 のポテンシャル井戸を右上がりのハッチングで示す。第 2 のポテンシャル井戸 P W 2 と、電荷読み出し領域 1 3 のポテンシャル井戸との間の電位障壁は、読み出しゲート電極 3 2 直下の半導体基板 1 の伝導帯端のポテンシャル分布に相当する。ここで、電荷蓄積領域 1 2 a の不純物密度が、受光カソード領域 1 1 a の不純物密度よりも高いので、第 2 のポテンシャル井戸 P W 2 の深さが、第 1 のポテンシャル井戸 P W 1 の深さよりも深い。

【 0 0 2 3 】

図 3 (b) に示すように、転送ゲート電極 3 1 に制御信号 G S として低い電圧 (0 V、又は負電圧) を与えると、第 1 ポテンシャル井戸 P W 1 と第 2 ポテンシャル井戸 P W 2 との間に電子に対する電位障壁が形成され、受光カソード領域 1 1 a から電荷蓄積領域 1 2 a には信号電荷は転送されない。

【 0 0 2 4 】

図 4 (a) に示すように、転送ゲート電極 3 1 に制御信号 G S として高い電圧 (正の電圧) を与えると、受光カソード領域 1 1 a と電荷蓄積領域 1 2 a との間の電位障壁の高さが減少、もしくは消滅し、受光カソード領域 1 1 a から電荷蓄積領域 1 2 a へ信号電荷が転送される。既に説明したように、第 2 のポテンシャル井戸 P W 2 の深さが、第 1 のポテンシャル井戸 P W 1 の深さよりも深くなるように設定されているので、受光カソード領域 1 1 a から電荷蓄積領域 1 2 a にすべての信号電荷を転送する完全転送が実現できる。この完全転送により、残像を防止でき、残電荷によるランダムノイズの発生を防止できる。

【 0 0 2 5 】

図 4 (b) に示すように、排出ゲート電極 3 3 に制御信号 C D として高い電圧 (正の電圧) を印加したとき、受光カソード領域 1 1 a から排出ドレイン領域 1 4 との間に電子に対する電位障壁の高さが減少、もしくは消滅し、受光カソード領域 1 1 a から排出ドレイン領域 1 4 に信号電荷を排出する。

【 0 0 2 6 】

図 4 (c) に示すように、読み出しゲート電極 3 2 に制御信号 T X として高い電圧 (正の電圧) を与えると、電荷蓄積領域 1 2 a と電荷読み出し領域 1 3 との間の電位障壁の高さが減少、もしくは消滅し、電荷蓄積領域 1 2 a から電荷読み出し領域 1 3 へ信号電荷が転送される。

【 0 0 2 7 】

このように、受光カソード領域 1 1 a 及び電荷蓄積領域 1 2 a において信号電荷を蓄積することなく、信号電荷の流れの方向を排出ゲート電極 3 5 と転送ゲート電極 3 1 で制御

10

20

30

40

50

することができる。したがって、受光カソード領域 1 1 a 及び電荷蓄積領域 1 2 a で信号電荷をためる必要がないため、受光カソード領域 1 1 a 及び電荷蓄積領域 1 2 a の電位の深さを浅くしてもよく、信号電荷を高速に移動させる構造を作りやすい。

【 0 0 2 8 】

図 3 (a) に示すように、電荷読み出し領域 1 3 には、読み出し用バッファアンプ 1 0 8 を構成する信号読み出しトランジスタ (増幅トランジスタ) MA_1 のゲート電極が接続されている。信号読み出しトランジスタ (増幅トランジスタ) MA_1 のドレイン電極は電源 VDD に接続され、ソース電極は画素選択用のスイッチングトランジスタ MS_1 のドレイン電極に接続されている。画素選択用のスイッチングトランジスタ MS_1 のソース電極は、垂直信号線 B_1 に接続され、ゲート電極には水平ラインの選択用制御信号 S が垂直シフトレジスタ 1 0 5 から与えられる。選択用制御信号 S をハイ (H) レベルにすることにより、スイッチングトランジスタ MS_1 が導通し、信号読み出しトランジスタ (増幅トランジスタ) MA_1 で増幅された電荷読み出し領域 1 3 の電位に対応する電流が垂直信号線 B_1 に流れる。更に、電荷読み出し領域 1 3 には、読み出し用バッファアンプ 1 0 8 を構成するリセットトランジスタ TR のソース電極が接続されている。リセットトランジスタ TR のドレイン電極は電源 VDD に接続され、ゲート電極にはリセット信号 R が与えられる。リセット信号をハイ (H) レベルにして、受光カソード領域 1 1 a 及び電荷蓄積領域 1 2 a に蓄積された信号電荷を吐き出し、受光カソード領域 1 1 a 及び電荷蓄積領域 1 2 a をリセットする。

【 0 0 2 9 】

半導体基板 1 は、不純物密度 $5 \times 10^{12} \text{ cm}^{-3}$ 程度以上、 $5 \times 10^{16} \text{ cm}^{-3}$ 程度以下程度が好ましい。特に、半導体基板 1 を不純物密度 $4 \times 10^{14} \text{ cm}^{-3}$ 程度以上、 $3 \times 10^{16} \text{ cm}^{-3}$ 程度以下のシリコン基板とすれば、通常の CMOS プロセスが採用でき、絶縁膜 2 としては、素子分離に用いられる LOCOS (Local oxidation of silicon) 法と称される選択酸化法により形成された絶縁膜 (フィールド酸化膜) が利用可能である。

【 0 0 3 0 】

受光カソード領域 1 1 a の不純物密度は、 $1 \times 10^{17} \text{ cm}^{-3}$ 程度以上、 $8 \times 10^{18} \text{ cm}^{-3}$ 程度以下、好ましくは $2 \times 10^{17} \text{ cm}^{-3}$ 程度以上、 $1 \times 10^{18} \text{ cm}^{-3}$ 程度以下、代表的には、例えば $8 \times 10^{17} \text{ cm}^{-3}$ 程度の比較的空乏化が容易な値が採用可能であり、その厚さは $0.1 \sim 3 \mu\text{m}$ 程度、好ましくは $0.5 \sim 1.5 \mu\text{m}$ 程度とすることが可能である。一方、電荷蓄積領域 1 2 a の不純物密度は、 $1 \times 10^{19} \text{ cm}^{-3}$ 程度以上、 $1 \times 10^{21} \text{ cm}^{-3}$ 程度以下、好ましくは $2 \times 10^{19} \text{ cm}^{-3}$ 程度以上、 $5 \times 10^{20} \text{ cm}^{-3}$ 程度以下、代表的には、例えば $3 \times 10^{19} \text{ cm}^{-3}$ 程度の値が採用可能であり、その厚さは $0.1 \sim 3 \mu\text{m}$ 程度、好ましくは $0.5 \sim 1.5 \mu\text{m}$ 程度とすることが可能である。電荷蓄積領域 1 2 a の不純物密度は、受光カソード領域 1 1 a の不純物密度の $5 \sim 1000$ 倍、好ましくは $10 \sim 300$ 倍程度に設定しておけば良い。

【 0 0 3 1 】

絶縁膜 2 を熱酸化膜で形成する場合は、熱酸化膜の厚さは、 150 nm 程度以上、 1000 nm 程度以下、好ましくは 200 nm 程度以上、 400 nm 程度以下とすれば良い。絶縁膜 2 を熱酸化膜以外の誘電体膜とする場合は、熱酸化膜の比誘電率 ϵ_r (1 MHz で $\epsilon_r = 3.8$) で換算した等価な厚さとすれば良い。例えば、比誘電率 $\epsilon_r = 4.4$ である CVD 酸化膜を用いるのであれば上記厚さを $4.4 / 3.8 = 1.16$ 倍した厚さを、比誘電率 $\epsilon_r = 7$ であるシリコン窒化物 (Si_3N_4) 膜を用いるのであれば上記厚さを $7 / 3.8 = 1.84$ 倍した厚さを採用すれば良い。但し、標準的な CMOS 技術で形成される酸化膜 (SiO_2 膜) を用いるのが好ましく、CMOS 技術におけるフィールド酸化膜を用いるのが製造工程の簡略化に適している。

【 0 0 3 2 】

図 3 (a) に示すように、遮光膜 4 1 の開口部 4 2 は、光電荷の発生が、フォトダイオード D_1 を構成している受光カソード領域 1 1 a の直下の半導体基板 1 で生じるように選択的に設けられている。図 3 (a) では、絶縁膜 2 のみを示しているが、遮光膜 4 1 は、

図示を省略した多層配線構造をなす複数の層間絶縁膜のうちのいずれかの上部に設けられたアルミニウム (A1) 等の金属薄膜で構成すれば良い。

【0033】

< 固体撮像装置の動作 >

図1に概略構成を示した本発明の第1の実施の形態に係る固体撮像装置 (2次元イメージセンサ) の動作を図5に示したタイミングチャートを用いて説明する。

【0034】

(イ) 先ず、電子シャッタ時間 T_{SH} の前に、図1に示した画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ のそれぞれに制御信号 GS 、制御信号 $TX(1) \sim TX(N)$ 、及びリセット信号 $R(1) \sim R(N)$ のパルスを投入して、受光カソード領域 11a 及び電荷蓄積領域 12a の信号電荷を同時に排出してリセットしておく。

10

【0035】

(ロ) その後、電子シャッタ時間 T_{SH} において光源 101 からパルス光を出射し、対象物 102 で反射されたパルス光は、それぞれの画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ の遮光膜 41 の開口部 42 を介して、それぞれの受光カソード領域 11a に入射する。受光カソード領域 11a は、入射したパルス光により生成された信号電荷を蓄積する。なお、電子シャッタ時間 T_{SH} は任意に設定することができる。

【0036】

(ハ) 電子シャッタ時間 T_{SH} が終了するときに、すべての画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ のそれぞれに制御信号 $TX(1) \sim TX(N)$ 及びリセット信号のパルスを、図5に示すようなタイミングで一斉に与え、電荷蓄積領域 12a に漏れこんだ光等により発生する電荷等、不要な電荷をすべての画素において排出する。なお、この漏れこみ光等による電子の排出は、省略することも可能である。

20

【0037】

(ニ) 電子シャッタ時間 T_{SH} の終了後、すべての画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ において、制御信号 GS を与えて受光カソード領域 11a から電荷蓄積領域 12a へ信号電荷を転送する。

【0038】

(ホ) その後、信号読み出し時間 $T_{H(1)}, T_{H(2)}, \dots, T_{H(N)}$ では、垂直シフトレジスタの出力によって選択されたある1行分の画素信号に対して、画素内での電荷転送と同期して、読み出し動作が行われる。即ち、1水平ライン毎に、対応するカラムのノイズキャンセル回路 $NC_1 \sim NC_m$ に電荷読み出し領域 13 の蓄積した信号電荷に依存したレベルを読み出し、それぞれのノイズキャンセル回路 $NC_1 \sim NC_m$ においてノイズキャンセルを行った後、水平走査を行う。先ず、リセット信号 $R(1)$ のパルスを与えて、電荷読み出し領域 13 をリセットしたときのリセットレベルを R パルスによってノイズキャンセル回路 NC_1 内のキャパシタ C_1 にサンプルし、記憶する。次いで、制御信号 $TX(1)$ を与え、受光カソード領域 11a から電荷蓄積領域 12a を経て電荷読み出し領域 13 に信号電荷の転送を行う。そのときの信号レベルを、 S パルスによってノイズキャンセル回路 NC_1 の別のキャパシタ C_2 にサンプルし、記憶する。この動作は、1行分の画素に対して同時に行われ、ノイズキャンセル回路 $NC_1 \sim NC_m$ の1行分の信号が記憶される。ノイズキャンセル回路 $NC_1 \sim NC_m$ に記憶された信号を、水平選択制御信号 $SH(1) \sim SH(M)$ を与えることで、順次読み出し、差動アンプ 107 に入力する。差動アンプ 107 が、ノイズキャンセル回路 $NC_1 \sim NC_m$ に記憶されたりリセットレベルと信号レベルとの差分を求めることにより、増幅トランジスタ等が発生する固定パターンノイズと、浮遊拡散層で発生するリセットノイズをキャンセルする。差動アンプ 107 からの画像信号を順次水平走査により外部に読み出す。このような処理を、1行目から、最終行まで行うことで、すべての画像信号が読み出される。1水平ラインの選択は、制御信号 S を画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ 内の電圧読み出し用バッファアンプ 108 の画素選択用のスイッチングトランジスタ MS_1 に与えることで行い、垂直信号に対応する水平ラインの信号が現れる。

30

40

50

【 0 0 3 9 】

<光飛行時間を用いた距離画像の取得方法>

次に、本発明の第1の実施の形態に係る固体撮像装置（2次元イメージセンサ）の応用例として、光飛行時間を用いた距離画像の取得方法を図6のタイミングチャートを用いて説明する。図6に示すように、繰り返しパルス光源を用いて対象部にパルス光（送信光）を照射し、その反射光（受信光）を各画素で捕らえたとき、対象物までの距離によって光の遅れ時間 T_d が変化する。

【 0 0 4 0 】

（イ）ここでは、第1繰り返し周期と第2繰り返し周期とに分けて距離画像を取得する。

10

【 0 0 4 1 】

例えば、「第1繰り返し周期」を奇数フレームの周期、「第2繰り返し周期」を偶数フレームの周期とすれば良い。第1繰り返し周期（奇数フレーム）では、送信光のパルスの直後に転送ゲート電極（第1の電位制御手段）31に制御信号GS（A）のパルスを与え、受光カソード領域11aから電荷蓄積領域12aへ信号電荷を転送する。このため、遅れ時間 T_d の範囲の受信光の一部により構成される信号電荷が転送ゲート電極（第1の電位制御手段）31により繰り返し転送される。その後、読み出しゲート電極（第2の電位制御手段）32に制御信号TXを印加して、電荷蓄積領域12aに蓄積された信号電荷が読み出しゲート電極（第2の電位制御手段）32により読み出される。

【 0 0 4 2 】

（ロ）更に、第1繰り返し周期（奇数フレーム）では、制御信号GS（A）と逆位相で制御信号CD（A）のパルスを排出ゲート電極（第3の電位制御手段）33に与え、受光カソード領域11aから電荷蓄積領域12aへ転送しないときの信号電荷を、受光カソード領域11aから排出ドレイン領域14へ排出ゲート電極（第3の電位制御手段）33により吐き出す。

20

【 0 0 4 3 】

（ハ）第2繰り返し周期（偶数フレーム）では、光（送信光）のパルスの立ち上がりと同時に制御信号GS（B）のパルスを立ち上げ転送ゲート電極（第1の電位制御手段）31に印加し、光（送信光）のパルス幅 T_0 よりも長い一定期間にわたって受光カソード領域11aから電荷蓄積領域12aへ信号電荷を繰り返し転送する。このため、常に受信光の全体による信号電荷が、電荷蓄積領域12aに蓄積される。その後、読み出しゲート電極（第2の電位制御手段）32に制御信号TXを印加して、電荷蓄積領域12aに蓄積された信号電荷が読み出しゲート電極（第2の電位制御手段）32により読み出される。

30

【 0 0 4 4 】

（ニ）又、図示を省略するが、第2繰り返し周期（偶数フレーム）では、制御信号GS（B）と逆位相の制御信号CD（B）を与え、受光カソード領域11aから電荷蓄積領域12aへ転送しないときの信号電荷が、受光カソード領域11aから排出ドレイン領域14へ吐き出されるようにしてもよい。

【 0 0 4 5 】

第1繰り返し周期（奇数フレーム）において、受光カソード領域11aから電荷蓄積領域12aへ転送される信号電荷（第1の信号電荷） Q_{s1} は、第1繰り返し周期（奇数フレーム）の光パルスの繰り返し数をN、光電流を I_{ph} として、式（1）のように表される。

40

【 0 0 4 6 】

$$Q_{s1} = I_{ph} \times T_d \times N \cdots (1)$$

第2繰り返し周期（偶数フレーム）において、受光カソード領域11aから電荷蓄積領域12aへ転送される信号電荷（第2の信号電荷） Q_{s2} は、第2繰り返し周期（偶数フレーム）の光パルスの繰り返し数をN、光電流を I_{ph} として、式（2）のように表される。

【 0 0 4 7 】

50

$$Q_{s2} = I_{ph} \times T_0 \times N \quad \dots (2)$$

式(1)及び式(2)により、遅れ時間 T_d は、式(3)のように求めることができる。

【0048】

$$T_d = T_0 \times (Q_{s1}/Q_{s2}) \quad \dots (3)$$

対象物までの距離 D は、光速を c として、式(4)のように求められる。

【0049】

$$D = (c/2) \times T_d = (c/2) \times T_0 \times (Q_{s1}/Q_{s2}) \quad \dots (4)$$

したがって、第1繰り返し周期(奇数フレーム)で電荷蓄積領域12aに蓄積した信号電荷 Q_{s1} 及び第2繰り返し周期(偶数フレーム)で電荷蓄積領域12aに蓄積した信号電荷 Q_{s2} の総量の比を求めることにより、対象物までの距離 D を測定することが可能となる。

【0050】

本発明の第1の実施の形態に係る半導体測距素子及び固体撮像装置(2次元イメージセンサ)によれば、低コスト且つ高い距離分解能が得られ、構造も単純であるため、多数の画素を配置した空間解像度の高いTOF型距離画像センサが実現できる。

10

20

【0051】

<半導体測距素子及び固体撮像装置の製造方法>

次に、本発明の第1の実施の形態に係る半導体測距素子及び固体撮像装置の製造方法を図7(a)~図9を用いて説明する。尚、以下に述べる半導体測距素子及び固体撮像装置の製造方法は、一例であり、この変形例を含めて、これ以外の種々の製造方法により、実現可能であることは勿論である。

【0052】

(イ) 先ず、図示を省略するが、 $30 \sim 0.65 \text{ cm}$ 程度(不純物密度 $4 \times 10^{14} \text{ cm}^{-3}$ 程度以上、 $3 \times 10^{16} \text{ cm}^{-3}$ 程度以下)の(100)面を主表面とするp型半導体基板を用意する。このp型半導体基板の主表面に 150 nm 程度の熱酸化膜(SiO_2 膜)を形成後、フォトレジスト膜を塗布し、これをフォトリソグラフィ技術によりパターンニングしてpウェル形成領域を開口する。次に、pウェル形成領域に熱酸化膜を通して $10^{12} \sim 10^{13} \text{ cm}^{-2}$ 程度のドーズ量でボロン($^{11}\text{B}^+$)をイオン注入する。次に、熱酸化膜のウェル形成領域の部分をエッチング除去する。又、フォトレジスト膜も除去し、所定の清浄化工程を終えてから、約 1200°C でイオン注入されたボロンを熱拡散してpウェルを形成する。このとき周辺回路部及びそれぞれの画素 X_{ij} の内部に配置される読み出し用バッファアンプ108にも、同時にpウェルが形成される。又、周辺回路部には、同様にしてnウェルも形成される。更に、p型半導体基板の主表面の熱酸化膜をすべて除去して剥離してから、再び膜厚 100 nm 程度のパッド酸化膜(SiO_2 膜)を半導体基板の主表面に熱酸化法で形成する。その後、CVD法を用いて膜厚 200 nm 程度の窒化膜(Si_3N_4 膜)を成長させる。この窒化膜の上にフォトリソグラフィ技術によりパターンニングされたフォトレジスト膜を形成し、これをマスクに反応性イオンエッチング(RIE)を行って、選択酸化(LOCOS)用の窒化膜のマスクを形成する。そして、LOCOS法を用いて窒化膜の開口部42に、厚さ 150 nm 程度以上、 1000 nm 程度以下、 200 nm 程度以上、 400 nm 程度以下のフィールド酸化膜を形成する。素子形成領域を覆う窒化膜は、シリコンに比較して酸化速度が著しく遅いので酸化防止膜として用いられる。

30

40

【0053】

(ロ) 次に、図示を省略するが、窒化膜を除去してから、素子形成領域に膜厚が数 10 nm のダミー酸化膜を形成する。次に、ゲートしきい値電圧制御(V_{th} 制御)イオン注入

50

を行う。まずフォトリソグラフィ技術により、周辺回路のpウェルをフォトレジスト膜で被覆してからpMOSのゲートしきい値電圧制御用の不純物をイオン注入する。次に、フォトレジスト膜を除去してからpウェル以外の領域上に、フォトリソグラフィ技術により、フォトレジスト膜のパターンを形成し、続いて周辺回路及び読み出し用バッファンプ108のpウェルと同時に、pウェルにnMOSのゲートしきい値電圧制御用の不純物をイオン注入する。その後、フォトレジスト膜を除去する。更に、V_{th}制御イオン注入イオン注入時の保護膜として使用されたダミー酸化膜を剥離する。

【0054】

(八)次に、半導体基板1の表面を熱酸化し、図7(a)に示すようにゲート酸化膜2を形成する。更に、ゲート酸化膜2の上の全面にCVD法によりポリシリコン膜3を200~400nm程度堆積する。そして、フォトリソグラフィ技術によりパターンニングされたフォトレジスト膜51をポリシリコン膜3上に、図7(b)に示すように形成する。そして、このフォトレジスト膜51をマスクとして、RIE等によりポリシリコン膜3をエッチングする。その後、フォトレジスト膜51を除去すれば、図7(c)に示すように、転送ゲート電極31、読み出しゲート電極32及び排出ゲート電極33のパターンが形成される。

【0055】

(二)次に、フォトリソグラフィ技術を用いて、半導体基板1上にフォトレジスト膜52を被覆する。そして、図8(a)に示すように転送ゲート電極31、読み出しゲート電極32及び排出ゲート電極33をマスクとして、自己整合的に、半導体基板1に燐(³¹P⁺)を 10^{15} cm^{-2} のオーダーでイオン注入する。同時に、周辺回路及び読み出し用バッファンプ108のpウェルにも同様に、ポリシリコンゲート電極をマスクとして、自己整合的にイオン注入する。このとき、ポリシリコンからなる転送ゲート電極31、読み出しゲート電極32及び排出ゲート電極33や図示を省略した周辺回路のpウェル等の上のポリシリコンゲート電極にも燐(³¹P⁺)がイオン注入される。その後、フォトレジスト膜52を除去する。

【0056】

(ホ)次に、フォトリソグラフィ技術を用いて、半導体基板1上にフォトレジスト膜53を被覆する。そして、図8(b)に示すように転送ゲート電極31、読み出しゲート電極32及び排出ゲート電極33をマスクとして、自己整合的に、半導体基板1に砒素(⁷⁵As⁺)を $8 \times 10^{15} \sim 5 \times 10^{16} \text{ cm}^{-2}$ のオーダーでイオン注入する。同時に、必要に応じて、周辺回路及び電圧読み出し用バッファンプ108のpウェルにも同様に、ポリシリコンゲート電極をマスクとして、自己整合的にイオン注入する。このとき、ポリシリコンからなる転送ゲート電極31、読み出しゲート電極32及び排出ゲート電極33や図示を省略した周辺回路のpウェル等の上のポリシリコンゲート電極にも砒素(⁷⁵As⁺)がイオン注入される。その後、フォトレジスト膜53を除去する。

【0057】

(ヘ)次に、フォトリソグラフィ技術を用いて、半導体基板1上に他のフォトレジスト膜54を被覆する。そして、図8(c)に示すように転送ゲート電極31、読み出しゲート電極32及び排出ゲート電極33をマスクとして、自己整合的に、半導体基板1にホウ素(¹¹B⁺)を $3 \times 10^{15} \sim 1 \times 10^{16} \text{ cm}^{-2}$ のオーダーでイオン注入する。同時に、必要に応じて、周辺回路及び電圧読み出し用バッファンプ108のnウェルにも同様に、ポリシリコンゲート電極をマスクとして、自己整合的にイオン注入する。このとき、ポリシリコンからなる転送ゲート電極31、読み出しゲート電極32及び排出ゲート電極33や図示を省略した周辺回路のpウェル等の上のポリシリコンゲート電極にもホウ素(¹¹B⁺)がイオン注入される。その後、フォトレジスト膜54を除去して、半導体基板1を活性化熱処理すれば、半導体基板1には、図9に示すように、n型の受光カソード領域11a、p⁺型ピニング層11b、受光カソード領域11aより不純物密度が高いn⁺型の電荷蓄積領域12a、p⁺型半導体領域12b、n⁺型の電荷読み出し領域13、排出ドレイン領域14が形成される。同様に、図示を省略した周辺回路のpウェル等にn型ソースノド

10

20

30

40

50

レイン領域が形成される。このとき、転送ゲート電極 3 1、読み出しゲート電極 3 2 及び排出ゲート電極 3 3 に注入された磷 ($^{31}\text{P}^+$)、砒素 ($^{75}\text{As}^+$) 及びホウ素 ($^{11}\text{B}^+$) も活性化されるので、転送ゲート電極 3 1、読み出しゲート電極 3 2 及び排出ゲート電極 3 3 が低抵抗化する。

【0058】

(ト)次に、図示を省略するが、各画素を接続する垂直信号線や水平走査線、或いは周辺回路の各トランジスタ間を接続する金属配線層やゲート電極を形成するポリシリコン膜間の絶縁のため、層間絶縁膜を堆積させる。この層間絶縁膜は、CVD法により堆積された膜厚 $0.5\ \mu\text{m}$ 程度の酸化膜 (CVD-SiO₂) と、この酸化膜 (CVD-SiO₂) の上に、CVD法により堆積された膜厚 $0.5\ \mu\text{m}$ 程度の PSG 膜又は BPSG 膜の 2 層構造から構成された複合膜等種々の誘電体膜が使用可能である。CVD法で堆積後、熱処理することにより、この複合膜の上層の BPSG 膜は、リフローされて層間絶縁膜の表面が平坦化される。この表面に、フォトリソグラフィ技術を用いてパターンニングされたフォトレジスト膜をマスクにして、RIE若しくはECRIオンエッチング等により層間絶縁膜をエッチングし、金属配線層とトランジスタを接続するコンタクト孔を形成する。その後、このコンタクト孔を形成に用いたフォトレジスト膜を除去する。次に、スパッタリング法又は電子ビーム真空蒸着法等によりシリコン等を含有するアルミニウム合金膜 (Al-Si, Al-Cu-Si) を形成する。この上に、フォトリソグラフィ技術を用いて、フォトレジスト膜のマスクを形成し、このマスクを用いて、RIEにより、アルミニウム合金膜をパターンニングするという一連の処理を順次繰り返して、各画素を接続する垂直信号線や水平走査線、或いは周辺回路の各トランジスタ間を接続する金属配線層を形成する。更に、金属配線層の上に他の層間絶縁膜を堆積させ、フォトリソグラフィ技術を用いて、各画素の半導体領域の直上に開口部 4 2 を有する金属膜を形成し、遮光膜 4 1 とする。そして、機械的損傷防止と、水分や不純物の浸入の防止を目的とした膜厚 $1\ \mu\text{m}$ 程度のパッシベーション膜を遮光膜の上にCVD法により積層すれば、本発明の第1の実施の形態に係る固体撮像装置が完成する。パッシベーション膜にはPSG膜や窒化膜等が利用される。

【0059】

以上説明したように、本発明の第1の実施の形態に係る半導体測距素子及び固体撮像装置の製造方法によれば、受光カソード領域 1 1 a、p⁺型ピニング層 1 1 b、電荷蓄積領域 1 2 a、p⁺型半導体領域 1 2 b 及び電荷読み出し領域 1 3 の形成は、標準的なCMOSイメージセンサの製造工程に、図8(b)に示した追加工程として、イオン注入等の簡単な工程を追加するだけで実現できる。したがって、標準CMOSプロセスを基本としながら、CCDと同様に高速信号転送が可能なTOF型距離画像センサを標準的なCMOSプロセスで実現可能となる。

【0060】

<第1の実施の形態の変形例>

第1の実施の形態の変形例に係る固体撮像装置では、それぞれの画素 $X_{11} \sim X_{1m}; X_{21} \sim X_{2m}; \dots; X_{n1} \sim X_{nm}$ 内の半導体測距素子の平面構造として、図10(a)に示すように、縞状(ストライプ状)にn⁺型受光カソード領域 1 1 aのパターンが複数形成されていても良い。図10(a)のB-B面から見た断面構造を図10(b)に示す。p⁺型ピニング層 1 1 bは、受光カソード領域 1 1 aと同様にストライプ状の複数のパターンとなっていて、連続したパターンとなっていて構わない。

【0061】

電荷蓄積領域 1 2 a と受光カソード領域 1 1 a とを異なる不純物密度にする代わりに、受光カソード領域 1 1 a の平面パターンを細くすることにより、受光カソード領域 1 1 a 側のみが容易に空乏化する。即ち、第1のポテンシャル井戸PW1の底(空乏化したときの電位)を実効的に第2のポテンシャル井戸PW2の底よりも高くすることができ、信号電荷の完全転送を行うことができる。

【0062】

10

20

30

40

50

この場合は、受光カソード領域 1 1 a と電荷蓄積領域 1 2 a との不純物密度は同一でよいので、図 8 (b) に示したような追加の工程が不要で、工程が簡略化できる。

【 0 0 6 3 】

(第 2 の実施の形態)

本発明の第 2 の実施の形態に係る固体撮像装置 (2 次元イメージセンサ) の全体構成は、図 1 にしたブロック図と同一であるため、重複した説明を省略する。第 2 の実施の形態に係る固体撮像装置のそれぞれの画素 $X_{11} \sim X_{1m}$; $X_{21} \sim X_{2m}$; \dots ; $X_{n1} \sim X_{nm}$ 内の T O F 画素回路として機能する半導体測距素子の平面構造の一例を図 1 1 に、対応する断面を図 1 2 (a) に示す。

【 0 0 6 4 】

図 1 2 (a) は、図 1 1 に示した半導体測距素子の C - C 面から見た断面構造であり、先に説明する。図 1 2 (a) に示すように、半導体測距素子は、第 1 導電型 (p 型) の半導体基板 (半導体領域) 1 と、半導体基板 1 の上部の一部に埋め込まれ、対象物からの反射光を光信号として受光し信号電荷に変換する第 2 導電型 (n 型) の受光用表面埋め込み領域 (受光カソード領域) 1 1 a と、半導体基板 1 の上部の一部に受光カソード領域 1 1 a と離間して互いに対向するように埋め込まれ、受光カソード領域 1 1 a により生成した信号電荷をそれぞれ蓄積する第 2 導電型 (n⁺ 型) の第 1 電荷蓄積領域 1 2 a 及び第 2 電荷蓄積領域 1 4 a と、第 1 電荷蓄積領域 1 2 a により蓄積した信号電荷を受け入れる第 1 電荷読み出し領域 1 3 と、第 2 電荷蓄積領域 1 4 a により蓄積した信号電荷を受け入れる第 2 電荷読み出し領域 1 5 とを備える。

【 0 0 6 5 】

受光カソード領域 1 1 a と、受光カソード領域 1 1 a の直下の半導体基板 (アノード領域) 1 とでフォトダイオード D 1 を構成している。第 1 電荷蓄積領域 (カソード領域) 1 2 a と、第 1 電荷蓄積領域 1 2 a 直下の半導体基板 1 (アノード領域) とで第 1 電荷蓄積ダイオード D 2 を構成している。第 2 電荷蓄積領域 (カソード領域) 1 4 a と、第 2 電荷蓄積領域 1 4 a 直下の半導体基板 1 (アノード領域) とで第 2 電荷蓄積ダイオード D 3 を構成している。

【 0 0 6 6 】

受光カソード領域 1 1 a の上には、p⁺型ピニング層 1 1 b が配置されている。第 1 電荷蓄積領域 1 2 a の上には、p⁺型ピニング層 1 2 b が配置されている。第 2 電荷蓄積領域 1 4 a の上には、p⁺型ピニング層 1 4 b が配置されている。ダーク電流が問題とならない用途 (応用) 等では、構造上、p⁺型ピニング層 1 1 b , 1 2 b , 1 4 b を省略しても構わない。

【 0 0 6 7 】

p⁺型ピニング層 1 1 b , 1 2 b , 1 4 b 上には絶縁膜 2 が形成されている。絶縁膜 2 上には、受光カソード領域 1 1 a と第 1 電荷蓄積領域 1 2 a との間の半導体基板 1 の表面 (上部) に形成される転送チャネルの電位を制御して、受光カソード領域 1 1 a から第 1 電荷蓄積領域 1 2 a へ信号電荷を転送する第 1 転送ゲート電極 3 1 が配置され、第 1 の電荷蓄積領域用電位制御手段を構成している。更に、絶縁膜 2 上には、第 1 電荷蓄積領域 1 2 a と第 1 電荷読み出し領域 1 3 との間の半導体基板 1 の表面 (上部) に形成される転送チャネルの電位を制御して、第 1 電荷蓄積領域 1 2 a から第 1 電荷読み出し領域 1 3 へ信号電荷を転送する第 1 読み出しゲート電極 3 2 が配置され、第 1 の電荷読み出し領域用電位制御手段を構成している。更に、絶縁膜 2 上には、受光カソード領域 1 1 a と第 2 電荷蓄積領域 1 4 a との間の半導体基板 1 の表面 (上部) に形成される転送チャネルの電位を制御して、受光カソード領域 1 1 a から第 2 電荷蓄積領域 1 4 a へ信号電荷を転送する第 2 転送ゲート電極 3 3 が配置され、第 2 の電荷蓄積領域用電位制御手段を構成している。更に、絶縁膜 2 上には、第 2 電荷蓄積領域 1 4 a と第 2 電荷読み出し領域 1 5 との間の半導体基板 1 の表面 (上部) に形成される転送チャネルの電位を制御して、第 2 電荷蓄積領域 1 4 a から第 2 電荷読み出し領域 1 5 へ信号電荷を転送する第 2 読み出しゲート電極 3 4 が配置され、第 2 の電荷読み出し領域用電位制御手段を構成している。

【 0 0 6 8 】

図 1 1 に示した D - D 方向から見た断面構造を図 1 4 (a) に示す。図 1 4 (a) に示すように、半導体基板 1 の上部の一部に、受光カソード領域 1 1 a と離間して、第 1 排出ドレイン領域 1 6 a 及び第 2 排出ドレイン領域 1 6 b がそれぞれ配置されている。図 1 1 の平面構造に示すように、図 1 2 (a) から分かるように、受光カソード領域 1 1 a と第 1 排出ドレイン領域 1 6 a との間を第 1 排出ゲート電極 3 3 a が延伸している。また、受光カソード領域 1 1 a と第 2 排出ドレイン領域 1 6 b の間を第 2 排出ゲート電極 3 3 b が延伸している。

【 0 0 6 9 】

図 1 2 (a) に示すように、第 2 電荷読み出し領域 1 5 は第 1 電荷読み出し領域 1 3 と表面配線で短絡し、第 1 電荷読み出し領域 1 3 と第 2 電荷読み出し領域 1 5 とを共通の信号読み出しトランジスタ (増幅トランジスタ) MA_1 のゲート電極に接続している。第 1 電荷読み出し領域 1 3 と第 2 電荷読み出し領域 1 5 の電位を共通の信号読み出しトランジスタ (増幅トランジスタ) で読み出す構成である。

【 0 0 7 0 】

図 1 1 の平面構造に示すように、図 1 2 (a) から分かるように、受光カソード領域 1 1 a 上に配置された矩形の p⁺型ピニング層 1 1 b と、第 1 電荷蓄積領域 1 2 a 上に配置された p⁺型ピニング層 1 1 b との間に第 1 転送ゲート電極 3 1 が延伸している。第 1 電荷蓄積領域 1 2 a 上に配置された p⁺型ピニング層 1 2 b と、第 1 電荷読み出し領域 1 3 との間に第 1 読み出しゲート電極 3 2 が延伸している。更に、受光カソード領域 1 1 a 上に配置された矩形の p⁺型ピニング層 1 1 b と、第 2 電荷蓄積領域 1 4 a 上に配置された p⁺型ピニング層 1 4 b との間に第 2 転送ゲート電極 3 3 が延伸している。第 2 電荷蓄積領域 1 4 a 上に配置された p⁺型ピニング層 1 4 b と、第 2 電荷読み出し領域 1 5 との間に第 2 読み出しゲート電極 3 4 が延伸している。

【 0 0 7 1 】

図 1 2 (b) は、図 1 2 (a) において一点鎖線で示した P - P 面で、第 2 電荷読み出し領域 1 5、第 2 電荷蓄積領域 1 4 a、受光カソード領域 1 1 a、第 1 電荷蓄積領域 1 2 a 及び第 1 電荷読み出し領域 1 3 を切る断面におけるポテンシャル図であり、電荷 (電子) を黒丸で示している。図 1 2 (b) の左側に受光カソード領域 1 1 a の伝導帯端のポテンシャル井戸 (第 1 のポテンシャル井戸) PW 1 を示す。更に、第 1 のポテンシャル井戸 PW 1 の右側に、第 1 電荷蓄積領域 1 2 a の伝導帯端のポテンシャル井戸 (第 2 のポテンシャル井戸) PW 2 を示す。第 1 のポテンシャル井戸 PW 1 と、第 2 のポテンシャル井戸 PW 2 との間の電位障壁は、第 1 転送ゲート電極 3 1 直下の半導体基板 1 の伝導帯端のポテンシャル分布に相当する。更に、第 2 のポテンシャル井戸 PW 2 の右側に、第 1 電荷読み出し領域 1 3 のポテンシャル井戸を右上がりのハッチングで示す。第 2 のポテンシャル井戸 PW 2 と、第 1 電荷読み出し領域 1 3 のポテンシャル井戸との間の電位障壁は、第 1 読み出しゲート電極 3 2 直下の半導体基板 1 の伝導帯端のポテンシャル分布に相当する。

【 0 0 7 2 】

更に、第 1 のポテンシャル井戸 PW 1 の左側に、第 2 電荷蓄積領域 1 4 a の伝導帯端のポテンシャル井戸 (第 3 のポテンシャル井戸) PW 3 を示す。第 1 のポテンシャル井戸 PW 1 と、第 3 のポテンシャル井戸 PW 3 との間の電位障壁は、第 2 転送ゲート電極 3 3 直下の半導体基板 1 の伝導帯端のポテンシャル分布に相当する。更に、第 3 のポテンシャル井戸 PW 3 の左側に、第 2 電荷読み出し領域 1 5 のポテンシャル井戸を右上がりのハッチングで示す。第 3 のポテンシャル井戸 PW 3 と、第 2 電荷読み出し領域 1 5 のポテンシャル井戸との間の電位障壁は、第 2 読み出しゲート電極 3 4 直下の半導体基板 1 の伝導帯端のポテンシャル分布に相当する。受光カソード領域 1 1 a の不純物密度が、第 1 電荷蓄積領域 1 2 a 及び第 2 電荷蓄積領域 1 4 a の不純物密度よりも高いので、第 2 のポテンシャル井戸 PW 2 及び第 3 のポテンシャル井戸 PW 3 の深さが、第 1 のポテンシャル井戸 PW 1 の深さよりも深い。

【 0 0 7 3 】

10

20

30

40

50

図12(b)に示すように、第1転送ゲート電極31及び第2転送ゲート電極33のそれぞれに制御信号GSとして低い電圧(0V、又は負電位)を与えた場合、信号電荷は転送されない。又、図12(c)に示すように、第1転送ゲート電極31及び第2転送ゲート電極33のそれぞれに制御信号GSとして高い電圧(正の電圧)を与えた場合、受光カソード領域11aの信号電荷を第1電荷蓄積領域12a及び第2電荷蓄積領域14aにそれぞれ転送することができる。

【0074】

又、図13(a)に示すように、第1読み出しゲート電極32及び第2読み出しゲート電極34のそれぞれに制御信号TXとして低い電圧(0V、又は負電位)を印加することにより、信号電荷は転送されない。一方、図13(b)に示すように、第1読み出しゲート電極32及び第2読み出しゲート電極34のそれぞれに制御信号TXとして高い電圧(正の電圧)を印加することにより、第1電荷蓄積領域12a及び第2電荷蓄積領域14aに蓄積された信号電荷を第1電荷読み出し領域13及び第2電荷読み出し領域15のそれぞれに転送することができる。

【0075】

本発明の第2の実施の形態において、例えば、制御パルス信号TXが第1転送ゲート電極31及び第2転送ゲート電極33に与えられて、左右に信号電荷の転送を行っているときには、第1排出ゲート電極33a及び第2排出ゲート電極33bに負の電圧を与えて、図14(b)に示すように電位障壁を形成し、第1排出ドレイン領域16a及び第2排出ドレイン領域16bに電荷が転送されないようにしておく。

【0076】

一方、信号電荷を吐き出すときには、図14(c)に示すように、第1排出ゲート電極33a及び第2排出ゲート電極33bに高い電位を与えて、第1排出ドレイン領域16a及び第2排出ドレイン領域16bに信号電荷を吐き出す。

【0077】

尚、図14(c)に示した電圧の印加方法は例示であり、図14(c)の左右の第1排出ゲート電極33a及び第2排出ゲート電極33bに印加する電圧CDは、特に同じ電圧である必要はなく、互いに±の電圧を加えても排出できる。又、図14(c)のとおり同じプラスの電圧を加えても信号電荷を排出できる。即ち、図14(c)の左右の第1排出ゲート電極33a及び第2排出ゲート電極33bに印加する電圧CDには、柔軟性を持った種々の電圧の与え方が可能であり、種々の電圧を印加することにより、効果的に信号電荷の影響を除去できる。

【0078】

本発明の第2の実施の形態に係る固体撮像装置の動作は、本発明の第1の実施の形態に係る固体撮像装置の動作と基本的に同様であるので、重複した説明を省略する。

【0079】

以上説明したように、第2の実施の形態に係る半導体測距素子及び固体撮像装置によれば、第1の実施の形態と同様に、低コスト且つ高い距離分解能が得られ、構造も単純であるため、多数の画素を配置した空間解像度の高いTOF型距離画像センサが実現できる。

【0080】

<第2の実施の形態の第1変形例>

本発明の第2の実施の形態の変形例に係る固体撮像装置のそれぞれの画素 $X_{11} \sim X_{1m}$; $X_{21} \sim X_{2m}$; \dots ; $X_{n1} \sim X_{nm}$ 内の半導体測距素子の制御信号の設定方法として、図12に示す構成において、第1転送ゲート電極31を第1繰り返し周期(奇数フレーム)用とし、第2転送ゲート電極33を第2繰り返し周期(偶数フレーム)用として、互いに独立した制御信号 $GS1 = GS(A)$, $GS2 = GS(B)$ を与えても良い。 $GS(A)$ 及び $GS(B)$ は、図6に示した制御信号である。第1転送ゲート電極31及び第2転送ゲート電極33のそれぞれに制御信号 $GS1$, $GS2$ を異なる値にして印加すれば、第1繰り返し周期(奇数フレーム)では第1電荷蓄積領域12aに、第2繰り返し周期(偶数フレーム)では第2電荷蓄積領域14aにそれぞれ独立して信号電荷を転送することが

10

20

30

40

50

できる。例えば、第2転送ゲート電極33に制御信号GS2として低い電圧(0V、又は負電位)を印加した状態で、第1転送ゲート電極31に制御信号GS1 = GS(A)として高い電圧(正の電圧)を印加することにより、受光カソード領域11aの信号電荷を第1電荷蓄積領域12aにのみ転送することができる。

【0081】

第1電荷読み出し領域13と第2電荷読み出し領域15とを表面配線で短絡し、第1電荷読み出し領域13と第2電荷読み出し領域15とを共通の信号読み出しトランジスタ(増幅トランジスタ)MA₁のゲート電極に接続すれば、1画素内のトランジスタ数を少なくできるとともに、電位の共通した拡散層で電荷検出を行うことで、変換利得などの特性を等しくすることができ、精度が向上する。このため、図12(a)では、第1電荷読み出し領域13と第2電荷読み出し領域15の電位を共通の信号読み出しトランジスタ(増幅トランジスタ)で読み出す構成を示している。

10

【0082】

<第2の実施の形態の第2変形例>

画素の構造が複雑になる欠点はあるが、図15(a)に示すように、第1電荷読み出し領域13及び第2電荷読み出し領域15のそれぞれに、互いに独立した第1電圧読み出し用バッファアンプ108a及び第2電圧読み出し用バッファアンプ108bが接続されていても良い。第1電荷読み出し領域13には、電圧読み出し用バッファアンプ108aを構成する信号読み出しトランジスタ(増幅トランジスタ)MA₁のゲート電極が接続される。信号読み出しトランジスタ(増幅トランジスタ)MA₁のドレイン電極は電源VDDに接続され、ソース電極は画素選択用のスイッチングトランジスタMS₁のドレイン電極に接続されている。画素選択用のスイッチングトランジスタMS₁のソース電極は、垂直信号線B₁に接続され、ゲート電極には水平ラインの選択用制御信号Sが垂直シフトレジスタ105から与えられる。

20

【0083】

一方、第2電荷読み出し領域15には、電圧読み出し用バッファアンプ108bの信号読み出しトランジスタ(増幅トランジスタ)MA₂のゲート電極が接続されている。信号読み出しトランジスタ(増幅トランジスタ)MA₂のドレイン電極は電源VDDに接続され、ソース電極は画素選択用のスイッチングトランジスタMS₂のドレイン電極に接続されている。画素選択用のスイッチングトランジスタMS₂のソース電極は、垂直信号線B₂に接続され、ゲート電極には水平ラインの選択用制御信号Sが垂直シフトレジスタ105から与えられる。

30

【0084】

第2変形例では、第1変形例と同様に、第1転送ゲート電極31を第1繰り返し周期(奇数フレーム)用とし、第2転送ゲート電極33を第2繰り返し周期(偶数フレーム)用として、互いに独立した制御信号GS1 = GS, GS2を与え、更に第1繰り返し周期(奇数フレーム)では第1読み出しゲート電極32に、第2繰り返し周期(偶数フレーム)では第2読み出しゲート電極34に互いに独立した制御信号TX1, TX2を与える。

【0085】

例えば、図15(b)に示すように、第1繰り返し周期(奇数フレーム)では第2転送ゲート電極33に制御信号GS2として低い電圧(0V、又は負電位)を印加した状態で、第1転送ゲート電極31に制御信号GS1 = GS(A)として高い電圧(正の電圧)を印加することにより、受光カソード領域11aの信号電荷を第1電荷蓄積領域12aにのみ転送することができる。

40

【0086】

例えば、図16に示すように、第1繰り返し周期(奇数フレーム)では第2読み出しゲート電極34に制御信号TX2として低い電圧(0V、又は負電位)を印加した状態で、第1読み出しゲート電極32に制御信号TX1として高い電圧(正の電圧)を印加することにより、第1電荷蓄積領域12aの信号電荷を第1電荷読み出し領域15にのみ転送することができる。

50

【 0 0 8 7 】

選択用制御信号 S をハイレベルにすることにより、スイッチングトランジスタ MS_1 、 MS_2 が導通し、信号読み出しトランジスタ（増幅トランジスタ） MA_1 、 MA_2 で増幅された第 1 電荷読み出し領域 1 3、第 2 電荷読み出し領域 1 5 の電位に対応する電流が垂直信号線 B_1 、 B_2 に流れる。

【 0 0 8 8 】

（その他の実施の形態）

上記のように、本発明は第 1 及び第 2 の実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

10

【 0 0 8 9 】

例えば、既に述べた第 1 及び第 2 の実施の形態の説明では、「第 1 繰り返し周期」を奇数フレームの周期、「第 2 繰り返し周期」を偶数フレームの周期として説明したが、これに限定されず、数フレーム毎に、飛び飛びに選択して、「第 1 繰り返し周期」と「第 2 繰り返し周期」とを定義しても構わない。又、第 1 導電型を p 型、第 2 導電型を n 型として説明したが、例示に過ぎず、第 1 導電型が n 型、第 2 導電型を p 型としても、電気的な極性を反対にすれば同様な効果が得られることは容易に理解できるであろう。

【 0 0 9 0 】

又、第 1 及び第 2 の実施の形態の説明においては、2 次元固体撮像装置（エリアセンサ）としての TOF 型距離画像センサを例示的に説明したが、本発明の半導体測距素子は 2 次元固体撮像装置の画素のみに用いられるように限定して解釈すべきではない。例えば、図 1 に示した 2 次元マトリクスにおいて、 $j = m = 1$ とした 1 次元固体撮像装置（ラインセンサ）の画素として複数の半導体測距素子を 1 次元に配列しても良いことは、上記開示の内容から、容易に理解できるはずである。

20

【 0 0 9 1 】

又、第 1 及び第 2 の実施の形態の説明においては、転送ゲート電極（第 1 の電位制御手段）3 1 に制御信号 GS として正のバイアスを印加し、受光カソード領域 1 1 a と電荷蓄積領域 1 2 a との間に反転層を形成して信号電荷を転送する ノーマリ・オフ形（エンハンスメント形）の nMOSFET で転送手段を実現する場合を説明したが、図 1 7 に示すように、転送ゲート電極 3 1 の直下の n 型（第 2 導電型）の受光カソード領域 1 1 a と n 型（第 2 導電型）の電荷蓄積領域 1 2 a との間に n 型（第 2 導電型）の表面埋込領域 1 7 を n 型チャンネル領域として形成した ノーマリ・オン形（ディプリーション形）の nMOSFET で転送手段を実現するようにしても良い。図 1 7 に示す構造の場合、転送ゲート電極 3 1 に制御信号 GS として 0 V（接地電位）を印加した状態が、第 1 の実施の形態で説明した図 4（a）に示すポテンシャル図になり、受光カソード領域 1 1 a から電荷蓄積領域 1 2 a へ信号電荷が転送される。図 3（b）に示すように、第 1 ポテンシャル井戸 PW1 と第 2 ポテンシャル井戸 PW2 との間に電子に対する電位障壁が形成され、受光カソード領域 1 1 a から電荷蓄積領域 1 2 a に信号電荷は転送されないようにするためには、転送ゲート電極 3 1 に制御信号 GS として負の電圧を印加すれば良い。即ち、図 1 7 に示す構造の場合、ゲート電極 3 1 に印加する制御信号 GS には、第 1 及び第 2 の実施の形態で説明した構造の場合と逆の極性のパルスを用いることとなる。

30

40

【 0 0 9 2 】

転送ゲート電極 3 1 の直下に第 2 導電型の表面埋込領域を設けて、ノーマリ・オン形（ディプリーション形）の MOSFET を構成することにより、絶縁膜 2 と半導体領域（半導体基板）1 との界面順位、若しくは表面ポテンシャルの影響を抑制できるので、より高速に信号電荷を移動させることができる。このより高速な電荷の転送により、残像を防止でき、残電荷によるランダムノイズの発生をより有効に防止できる。なお、図 1 7 では図 3（b）及び図 4（a）等のポテンシャル図を示す P - P 面を一点鎖線で示す都合上、表面埋込領域 1 7 の深さを誇張して深く記載しているが、現実には、表面埋込領域 1 7 の深さは、p⁺型ピニング層 1 1 b 及び p⁺型ピニング層 1 2 b の深さと同程度に浅く形成すれ

50

ば良い。

【0093】

図17に示すn型の表面埋込領域17は、工程数が増大するが、受光カソード領域11a及び電荷蓄積領域12aを形成する場合と同様に、半導体基板1にn型不純物をイオン注入した後、熱処理することで形成可能である。

【0094】

又、電荷蓄積領域12aと電荷読み出し領域13との間及び受光カソード領域11aと排出ドレイン領域14との間にそれぞれn型のチャンネル領域を形成しても良い。

【0095】

このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

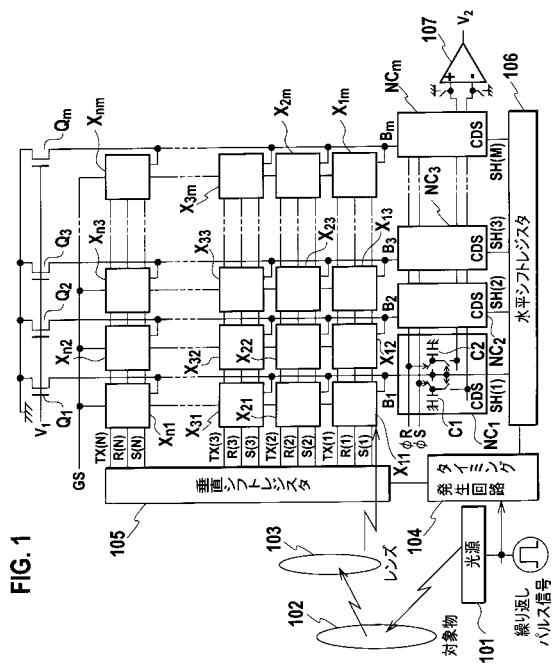
【産業上の利用の可能性】

【0096】

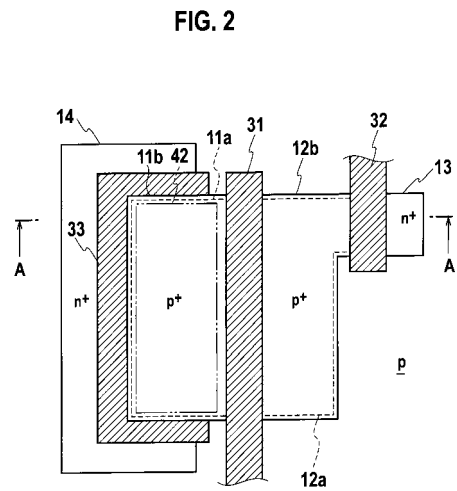
本発明によれば、高速電荷転送を行える半導体測距素子を提供でき、更にはこの半導体測距素子を画素として複数個配列して、低コストで、且つ高い距離分解能と空間解像度を有する固体撮像装置を提供できるので、自動車用の距離センサの分野や3次元画像の取得や生成の分野に応用可能である。更に3次元画像を利用した運動競技選手の動作解析やゲーム機の分野にも利用可能である。

10

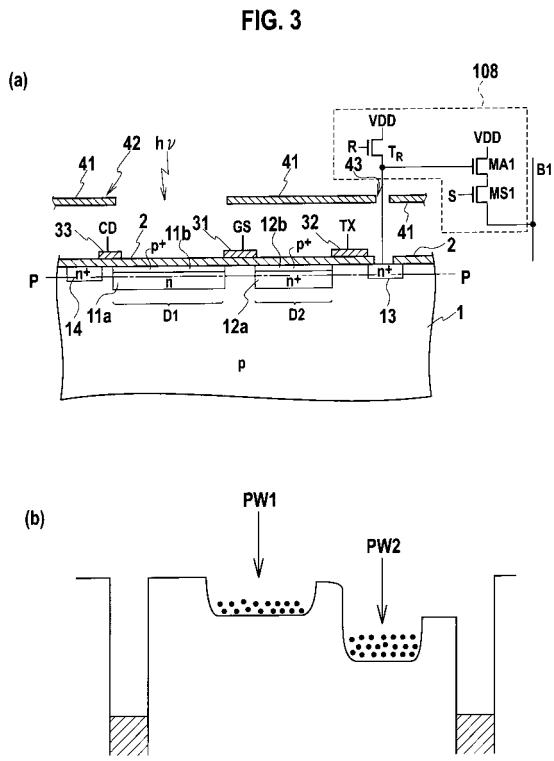
【図1】



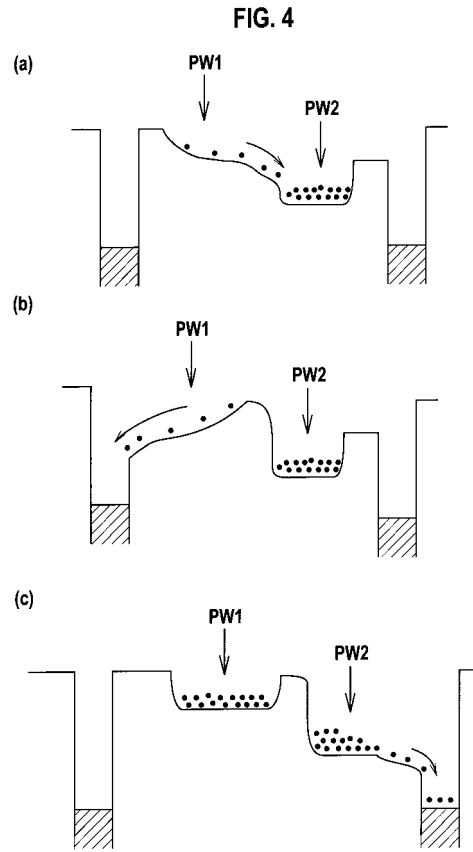
【図2】



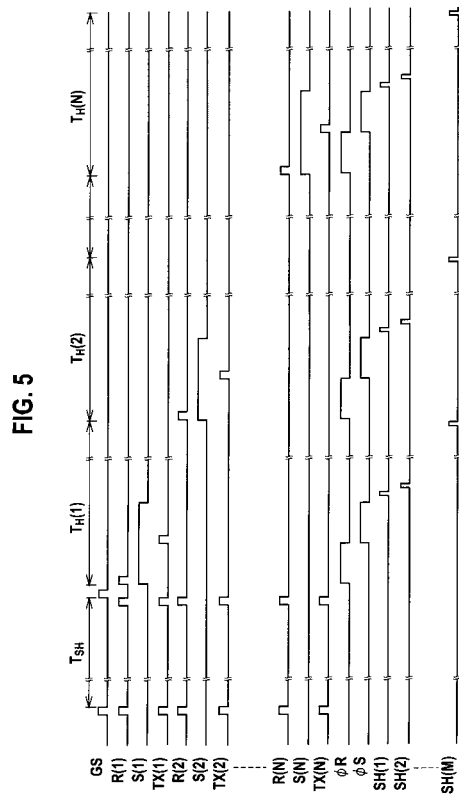
【 図 3 】



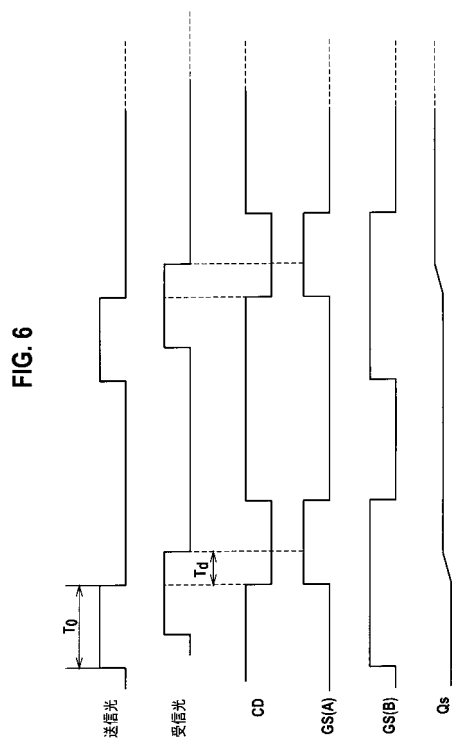
【 図 4 】



【 図 5 】

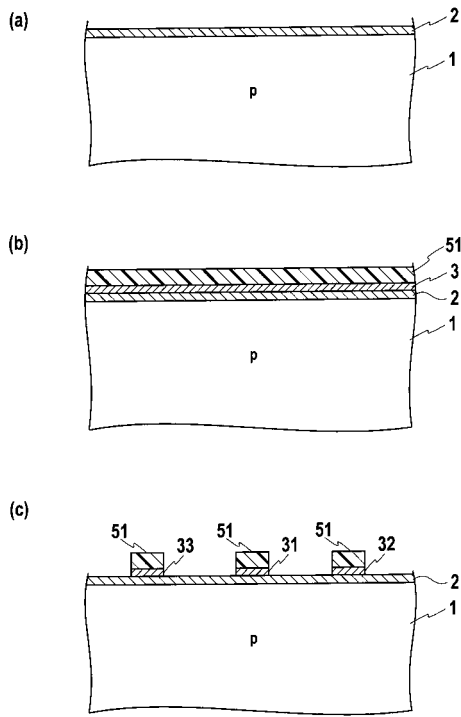


【 図 6 】



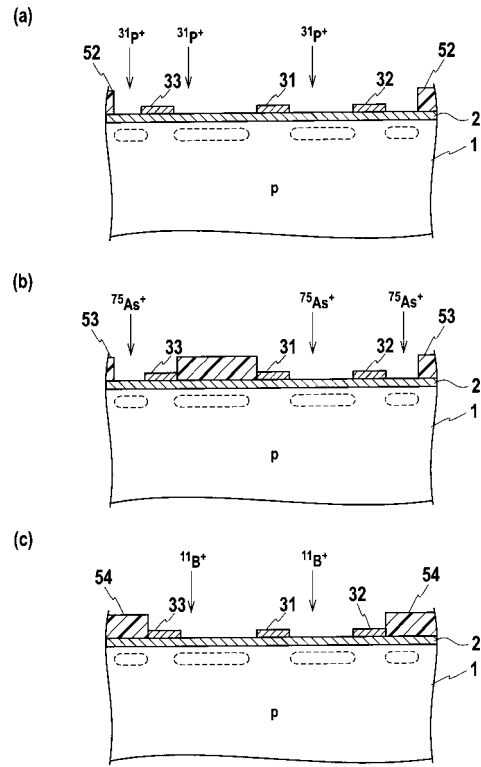
【 図 7 】

FIG. 7



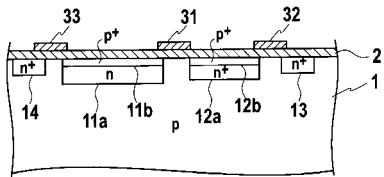
【 図 8 】

FIG. 8



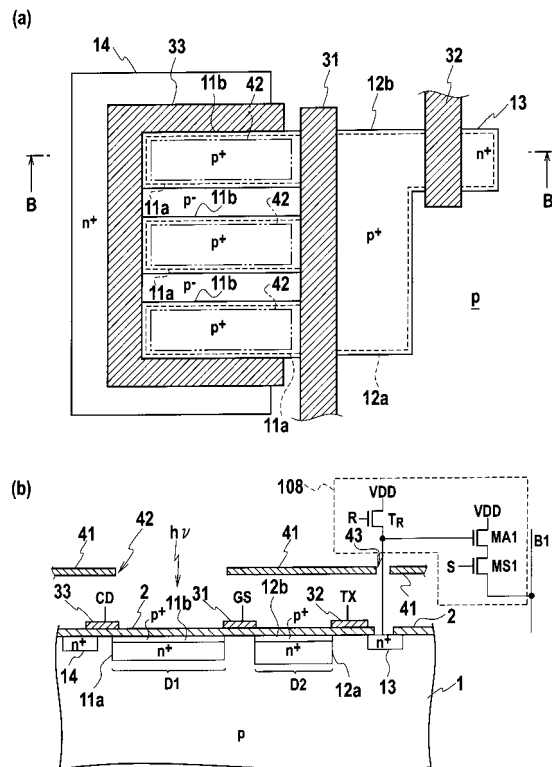
【 図 9 】

FIG. 9



【 図 10 】

FIG. 10



【 図 1 1 】

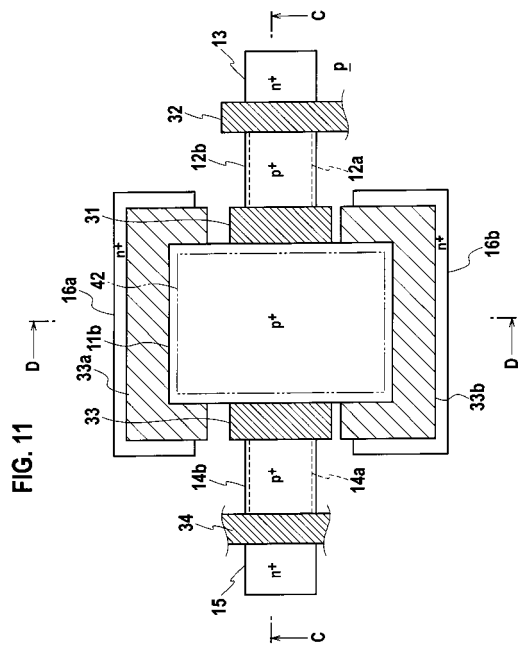


FIG. 11

【 図 1 2 】

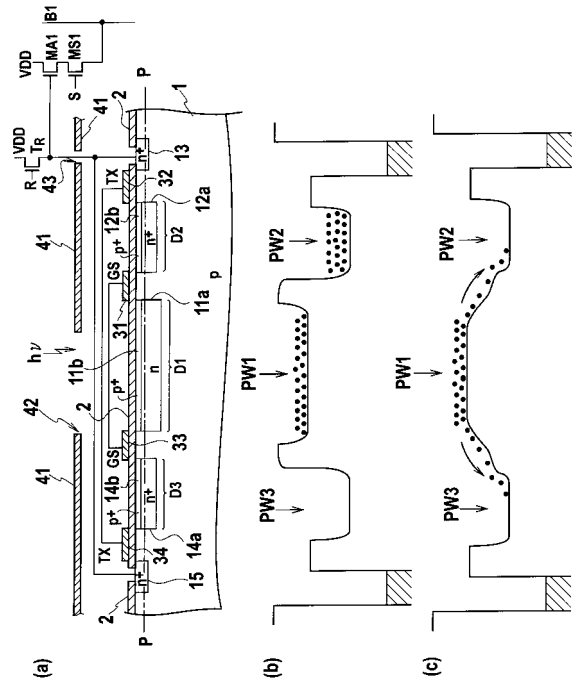


FIG. 12

【 図 1 3 】

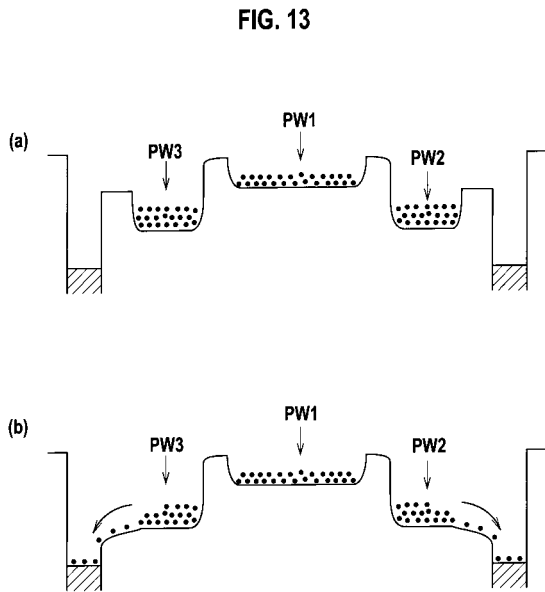


FIG. 13

【 図 1 4 】

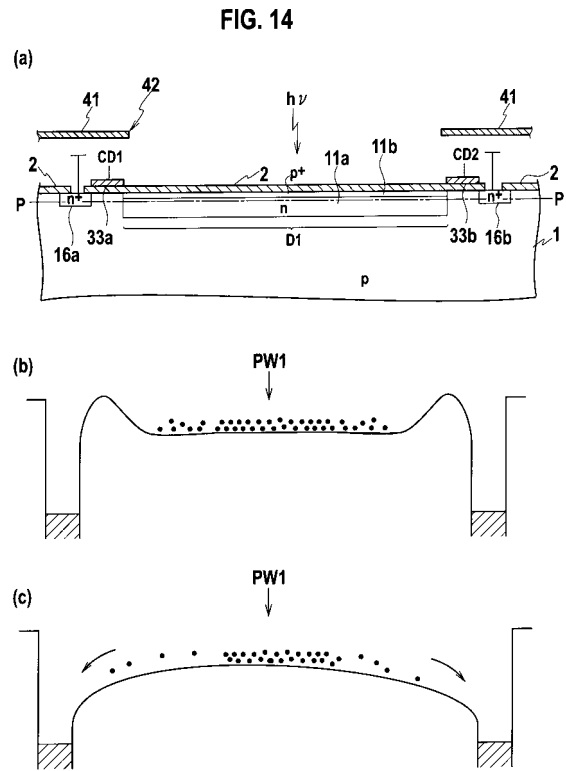
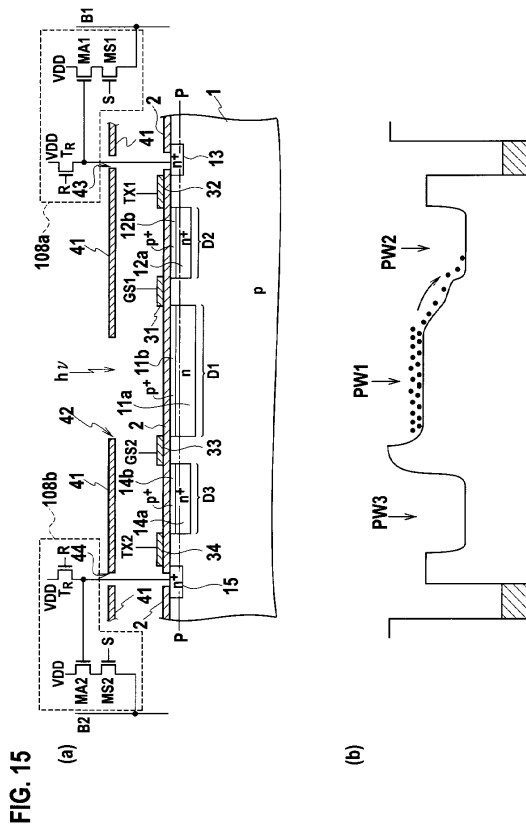


FIG. 14

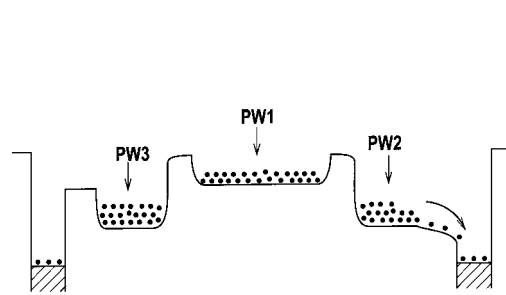
【 15 】

15/17



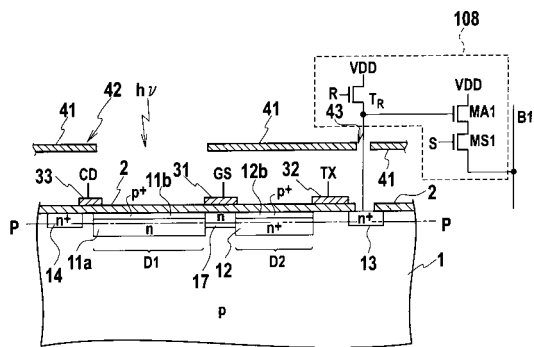
【 16 】

FIG. 16



【 17 】

FIG. 17



フロントページの続き

- (56)参考文献 特開平04 - 268764 (JP, A)
国際公開第2007 / 119626 (WO, A1)
特許第4649623 (JP, B2)
特開2008 - 135800 (JP, A)
国際公開第2007 / 026779 (WO, A1)
国際公開第2007 / 026777 (WO, A1)
特開2006 - 120685 (JP, A)
特開2005 - 235893 (JP, A)
特開2004 - 294420 (JP, A)
特開2002 - 368205 (JP, A)
特開2001 - 268445 (JP, A)
特開平01 - 189158 (JP, A)
澤田友成、外8名, “距離画像CMOSセンサ”, 社団法人映像情報メディア学会技術報告, 2006年10月18日, Vol.30, No.52, p.21-24

(58)調査した分野(Int.Cl., DB名)

G01S 7/48 - 7/51
G01S 17/00 - 17/95
G01C 3/00 - 3/32
G01B 11/00 - 11/30
H01L 27/14 - 27/148
H01L 31/10 - 31/119
H04N 5/30 - 5/378