

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-205285  
(P2008-205285A)

(43) 公開日 平成20年9月4日(2008.9.4)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/095 (2006.01)	HO 1 L 29/80 E	5 F 0 3 8
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 A	5 F 1 0 2
HO 1 L 27/04 (2006.01)		

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号 特願2007-41018 (P2007-41018)  
(22) 出願日 平成19年2月21日 (2007.2.21)

(71) 出願人 504173471  
国立大学法人 北海道大学  
北海道札幌市北区北8条西5丁目8番地  
(74) 代理人 100088155  
弁理士 長谷川 芳樹  
(74) 代理人 100092657  
弁理士 寺崎 史朗  
(74) 代理人 100124800  
弁理士 諏澤 勇司  
(72) 発明者 葛西 誠也  
北海道札幌市北区北14条西9丁目 国立  
大学法人北海道大学 情報科学研究科内  
Fターム(参考) 5F038 AV01 AV06 CA02 CA05 CA06  
EZ02 EZ20  
5F102 GA01 GB01 GC01 GD01 GJ05  
GL05 GM06 GQ01 GS07

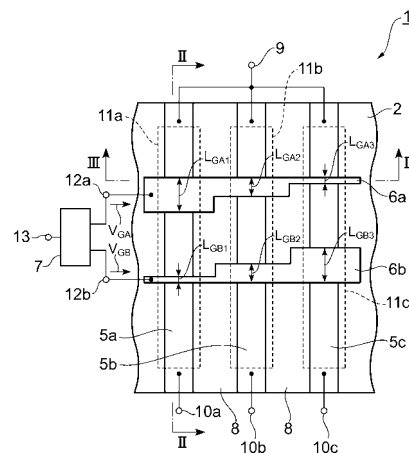
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】入力信号に応じて出力信号の出力端子を選択する素子を、容易に小型化すること。

【解決手段】この半導体装置1は、GaAs基板2上に並設されたチャネル層5a、5b、5cと、チャネル層5a、5b、5cの一端に共通接続された入力端子9と、チャネル層5a、5b、5cの他端に独立に接続された出力端子10a、10b、10cと、チャネル層5a、5b、5cの中央領域11a、11b、11cに跨って布設されたゲート電極6a、6bとを備え、ゲート電極6aとチャネル層5a、5b、5cとは、チャネル層5a、5b、5cを導通させるためのゲート電極6aの入力信号の閾値電圧が、チャネル層5a、5b、5cの順に増加するように構成され、且つ、チャネル層5a、5b、5cを導通させるためのゲート電極6bの入力信号の閾値電圧が、チャネル層5a、5b、5cの順に減少するように構成されている。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

入力信号に応じて、複数の出力端子から選択的に出力信号を出力する半導体装置であって、

半導体基板上において分離して並設された第 1 ~ 第 N ( N は 3 以上の整数 ) のチャネル層と、

前記第 1 ~ 第 N のチャネル層の一端に接続され、前記第 1 ~ 第 N のチャネル層に入力電圧を印加するための入力端子と、

前記第 1 ~ 第 N のチャネル層の他端にそれぞれ独立に接続された前記第 1 ~ 第 N の出力端子と、

前記第 1 ~ 第 N のチャネル層の前記一端と前記他端との間の中央領域のうちの複数のチャネル層の中央領域に跨って布設され、第 1 の入力信号を印加するための第 1 のゲート電極と、

前記第 1 ~ 第 N のチャネル層の前記一端と前記他端との間の中央領域のうちの複数のチャネル層の中央領域に跨って布設され、第 2 の入力信号を印加するための第 2 のゲート電極とを備え、

前記第 1 のゲート電極と前記第 1 ~ 第 N のチャネル層とは、少なくとも前記第 1 ~ 第 N - 1 のチャネル層の前記一端と前記他端間をオン / オフさせるための前記第 1 の入力信号の閾値電圧が、前記第 1 ~ 第 N - 1 のチャネル層の順に増加するように構成され、且つ、少なくとも前記第 2 ~ 第 N のチャネル層の前記一端と前記他端間をオン / オフさせるための前記第 2 の入力信号の閾値電圧が、前記第 2 ~ 第 N のチャネル層の順に減少するように構成されている、

ことを特徴とする半導体装置。

## 【請求項 2】

前記第 1 及び第 2 のゲート電極と前記第 1 ~ 第 N のチャネル層とは、ノーマリオフ型のデバイス特性を有するように構成され、前記第 1 ~ 第 N のチャネル層の前記第 1 の入力信号の閾値電圧が、前記第 1 ~ 第 N のチャネル層の順に増加するように構成され、且つ、前記第 1 ~ 第 N のチャネル層の前記第 2 の入力信号の閾値電圧が、前記第 1 ~ 第 N のチャネル層の順に減少するように構成されている、

ことを特徴とする請求項 1 記載の半導体装置。

## 【請求項 3】

前記第 1 ~ 第 N - 1 のチャネル層上における第 1 のゲート電極のゲート長が、前記第 1 ~ 第 N - 1 のチャネル層の順に小さくなるように形成され、前記第 2 ~ 第 N のチャネル層上における第 2 のゲート電極のゲート長が、前記第 2 ~ 第 N のチャネル層の順に大きくなるように形成されている、

ことを特徴とする請求項 1 又は 2 記載の半導体装置。

## 【請求項 4】

第 1 のゲート電極が設けられた領域における前記第 1 ~ 第 N - 1 のチャネル層のチャネル幅が、前記第 1 ~ 第 N - 1 のチャネル層の順に大きくなるように形成され、第 2 のゲート電極が設けられた領域における前記第 2 ~ 第 N のチャネル層のチャネル幅が、前記第 2 ~ 第 N のチャネル層の順に小さくなるように形成されている、

ことを特徴とする請求項 1 又は 2 記載の半導体装置。

## 【請求項 5】

前記第 1 及び第 2 のゲート電極は、絶縁膜を介して前記第 1 ~ 第 N のチャネル層上に布設され、

第 1 のゲート電極が設けられた領域における前記第 1 ~ 第 N - 1 のチャネル層上の前記絶縁膜の膜厚が、前記第 1 ~ 第 N - 1 のチャネル層の順に大きくなるように形成され、第 2 のゲート電極が設けられた領域における前記第 2 ~ 第 N のチャネル層上の前記絶縁膜の膜厚が、前記第 2 ~ 第 N のチャネル層の順に小さくなるように形成されている、

ことを特徴とする請求項 1 又は 2 記載の半導体装置。

10

20

30

40

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、入力信号に応じて複数の出力端子から選択的に出力信号を出力する半導体装置に関するものである。

## 【背景技術】

## 【0002】

半導体メモリの各セルを選択する回路として、3端子素子であるトランジスタを組み合わせさせて構成されたセクタ回路が用いられている。また、従来から、複数種類以上のレベルを持つ入力信号により、そのレベル数に対応した複数個の出力端子から選択的に出力信号を出力する回路素子が知られており、複数のトランジスタを組み合わせさせて構成することができる(下記特許文献1参照)。このような素子は、多値論理回路の1種である「多値決定グラフ(MDD:Multiple value Decision Diagram)」と呼ばれる論理演算回路を構成するための基本回路素子としても使用される。

【特許文献1】特開平10-256481号公報

## 【発明の開示】

## 【発明が解決しようとする課題】

## 【0003】

上述した従来のセクタ回路やMDD回路に使用されている回路素子は、複数の3端子素子が組み合わせられて構成されているため、機能を集積させた場合に回路規模が大きくなる傾向にあった。特に、半導体メモリの大容量化や多値論理回路の高機能化に伴い、回路を構成する素子をできるだけ高集積化することが求められていた。

## 【0004】

そこで、本発明はかかる課題に鑑みて為されたものであり、入力信号に応じて出力信号の出力端子を選択する素子を、容易に小型化することが可能な半導体装置を提供することを目的とする。

## 【課題を解決するための手段】

## 【0005】

上記課題を解決するため、本発明の半導体装置は、入力信号に応じて、複数の出力端子から選択的に出力信号を出力する半導体装置であって、半導体基板上において分離して並設された第1~第N(Nは3以上の整数)のチャンネル層と、第1~第Nのチャンネル層の一端に接続され、第1~第Nのチャンネル層に入力電圧を印加するための入力端子と、第1~第Nのチャンネル層の他端にそれぞれ独立に接続された第1~第Nの出力端子と、第1~第Nのチャンネル層の一端と他端との間の中央領域のうちの複数のチャンネル層の中央領域に跨って布設され、第1の入力信号を印加するための第1のゲート電極と、第1~第Nのチャンネル層の一端と他端との間の中央領域のうちの複数のチャンネル層の中央領域に跨って布設され、第2の入力信号を印加するための第2のゲート電極とを備え、第1のゲート電極と第1~第Nのチャンネル層とは、少なくとも第1~第N-1のチャンネル層の一端と他端間をオン/オフさせるための第1の入力信号の閾値電圧が、第1~第N-1のチャンネル層の順に増加するように構成され、且つ、少なくとも第2~第Nのチャンネル層の一端と他端間をオン/オフさせるための第2の入力信号の閾値電圧が、第2~第Nのチャンネル層の順に減少するように構成されている。

## 【0006】

このような半導体装置によれば、半導体基板上に並設されたN本のチャンネル層の入力端と出力端との間の中央領域に設けられた第1のゲート電極と第2のゲート電極とに、互いに相補的なレベルを有する2つの入力信号が印加された場合に、第1~第Nのチャンネル層のうちから1本のチャンネル層が電界効果を用いて選択的に導通され、1つの出力端子から選択的に出力電流を出力させることができる。なお、ここでいう「相補的なレベル」とは、一方の信号のレベルが増加した場合に他方の信号のレベルが減少するような関係を言うものとする。このように、N本のチャンネル層に共通に2本のゲート電極を設けた構成を有

10

20

30

40

50

することで、1つの素子における出力端子の増加によりチャンネル数が増えたり、複数の素子を組み合わせる場合でも高集積化が容易となり、装置全体の小型化が実現される。

【0007】

第1及び第2のゲート電極と第1～第Nのチャンネル層とは、ノーマリオフ型のデバイス特性を有するように構成され、第1～第Nのチャンネル層の第1の入力信号の閾値電圧が、第1～第Nのチャンネル層の順に増加するように構成され、且つ、第1～第Nのチャンネル層の第2の入力信号の閾値電圧が、第1～第Nのチャンネル層の順に減少するように構成されていることも好ましい。

【0008】

こうすれば、第1のゲート電極と第2のゲート電極とに、互いに相補的なレベルを有し、第1～第Nのチャンネル層のうちの一部のチャンネル層を導通させるための2つの入力信号が印加された場合に、第1～第Nのチャンネル層のうちから1本のチャンネル層が選択的に導通され、出力電流を1つの出力端子から選択的に出力させることができる。

10

【0009】

また、第1～第N-1のチャンネル層上における第1のゲート電極のゲート長が、第1～第N-1のチャンネル層の順に小さくなるように形成され、第2～第Nのチャンネル層上における第2のゲート電極のゲート長が、第2～第Nのチャンネル層の順に大きくなるように形成されていることが好ましい。

【0010】

この場合、2つのゲート電極の形状をチャンネル間で変化させることで、第1～第N-1のチャンネル層の第1の入力信号の閾値電圧、及び第2～第Nのチャンネル層の第2の入力信号の閾値電圧を、容易に制御することができる。

20

【0011】

また、第1のゲート電極が設けられた領域における第1～第N-1のチャンネル層のチャンネル幅が、第1～第N-1のチャンネル層の順に大きくなるように形成され、第2のゲート電極が設けられた領域における第2～第Nのチャンネル層のチャンネル幅が、第2～第Nのチャンネル層の順に小さくなるように形成されていることも好ましい。

【0012】

かかる構成を採れば、チャンネル層の形状を変化させることで、第1～第N-1のチャンネル層の第1の入力信号の閾値電圧、及び第2～第Nのチャンネル層の第2の入力信号の閾値電圧を、容易に制御することができる。

30

【0013】

さらに、第1及び第2のゲート電極は、絶縁膜を介して第1～第Nのチャンネル層上に布設され、第1のゲート電極が設けられた領域における第1～第N-1のチャンネル層上の絶縁膜の膜厚が、第1～第N-1のチャンネル層の順に大きくなるように形成され、第2のゲート電極が設けられた領域における第2～第Nのチャンネル層上の絶縁膜の膜厚が、第2～第Nのチャンネル層の順に小さくなるように形成されていることも好ましい。

【0014】

こうすれば、絶縁膜の膜厚をチャンネル間で変化させることで、第1～第N-1のチャンネル層の第1の入力信号の閾値電圧、及び第2～第Nのチャンネル層の第2の入力信号の閾値電圧を、容易に制御することができる。

40

【発明の効果】

【0015】

本発明によれば、入力信号に応じて出力信号の出力端子を選択する素子を、容易に小型化することができる。

【発明を実施するための最良の形態】

【0016】

以下、図面に基づいて、本発明による半導体装置の好適な実施形態について詳細に説明する。なお、図面の説明においては同一又は相当部分には同一符号を付し、重複する説明を省略する。

50

## 【 0 0 1 7 】

## [ 第 1 実施形態 ]

まず、本発明の第 1 実施形態について説明する。図 1 は、本発明の第 1 実施形態である半導体装置 1 の平面図、図 2 は、図 1 の半導体装置 1 の II - II 線に沿った断面図、図 3 は、図 1 の半導体装置 1 の III - III 線に沿った断面図である。半導体装置 1 は、GaAs 基板 2 と GaAs 層 3 及び AlGaAs 層 4 からなる 3 本のチャネル層 5 a , 5 b , 5 c と 2 つのゲート電極 6 a , 6 b と入力信号生成回路 7 とを備える。

## 【 0 0 1 8 】

3 本のチャネル層 5 a , 5 b , 5 c は、GaAs 基板 2 上において幅数百 nm の幅で GaAs 層 3 及び AlGaAs 層 4 がこの順で直線状に積層されて成り、変調ドープヘテロ接合構造を有する。すなわち、チャネル層 5 a , 5 b , 5 c は、GaAs 層 3 と AlGaAs 層 4 との界面にキャリア濃度が高い高コンダクタンス層（図示せず）が形成されている。これらのチャネル層 5 a , 5 b , 5 c は、互いに分離して並列に設けられており、GaAs 基板 2 上のチャネル層 5 a , 5 b , 5 c 以外の領域に絶縁層 8 がさらに形成されることにより、互いに電氣的に絶縁されている。

10

## 【 0 0 1 9 】

このような構成の導電性のチャネルであるチャネル層 5 a , 5 b , 5 c の一端には、オーミック接触により共通に接続された 1 つの入力端子 9 が設けられ、チャネル層 5 a , 5 b , 5 c の他端には、それぞれ、オーミック接触により接続された出力端子 10 a , 10 b , 10 c が電氣的に独立して設けられている。この入力端子 9 には、電源が接続されることにより所定の正電圧が印加され、それぞれの出力端子 10 a , 10 b , 10 c からは、後述するゲート電極 6 a , 6 b に印加される入力信号のレベルに応じた出力電流が出力される。

20

## 【 0 0 2 0 】

ゲート電極 6 a , 6 b は、それぞれのチャネル層 5 a , 5 b , 5 c の入力端子 9 側の一端と出力端子 10 a , 10 b , 10 c 側の他端との間の中央領域 11 a , 11 b , 11 c を跨って、チャネル層 5 a , 5 b , 5 c の形成方向に対してほぼ垂直な方向に形成された金属薄膜であり、チャネル層 5 a , 5 b , 5 c との間で金属 / 半導体（ショットキー）接触構造を有する。このゲート電極 6 a は、チャネル層 5 a , 5 b , 5 c 上のそれぞれのゲート長  $L_{GA1}$  ,  $L_{GA2}$  ,  $L_{GA3}$  が、500 nm 以下で、且つこの順で段階的に小さくなるような、すなわち、 $L_{GA1} > L_{GA2} > L_{GA3}$  となるような階段状の形状を有する。一方、ゲート電極 6 b は、チャネル層 5 a , 5 b , 5 c 上のそれぞれのゲート長  $L_{GB1}$  ,  $L_{GB2}$  ,  $L_{GB3}$  が、500 nm 以下で、且つこの順で段階的に大きくなるような、すなわち、 $L_{GB1} < L_{GB2} < L_{GB3}$  となるような階段状の形状を有する。

30

## 【 0 0 2 1 】

上記構成のゲート電極 6 a , 6 b の端部には、それぞれ、入力端子 12 a , 12 b が接続され、入力端子 12 a , 12 b のそれぞれに電圧レベルが段階的に変化する入力信号  $V_{GA}$  ,  $V_{GB}$  が入力されることによって、ゲート電極 6 a , 6 b に入力信号  $V_{GA}$  ,  $V_{GB}$  が印加される。このとき、ゲート電極 6 a , 6 b が設けられたチャネル層 5 a , 5 b , 5 c は、ノーマリオフ型のデバイス特性を有するように構成されている。従って、入力信号  $V_{GA}$  にはそれぞれのチャネル層 5 a , 5 b , 5 c の入力端子 9 と出力端子 10 a , 10 b , 10 c 間を導通させるための正の閾値電圧  $V_{thA1}$  ,  $V_{thA2}$  ,  $V_{thA3}$  が存在し、同様に、入力信号  $V_{GB}$  には正の閾値電圧  $V_{thB1}$  ,  $V_{thB2}$  ,  $V_{thB3}$  が存在する。これらの閾値電圧はゲート電極のゲート長が 500 nm 以下ではゲート長が大きくなるほど大きくなるので、上述したゲート長  $L_{GA1}$  ,  $L_{GA2}$  ,  $L_{GA3}$  の関係からゲート電極 6 a に対応する閾値電圧は  $V_{thA1} > V_{thA2} > V_{thA3}$  の関係を有する。言い換えれば、入力信号  $V_{GA}$  の閾値電圧  $V_{thA1}$  ,  $V_{thA2}$  ,  $V_{thA3}$  は、チャネル層 5 a , 5 b , 5 c の順に次第に減少するようにされる。同様に、ゲート長  $L_{GB1}$  ,  $L_{GB2}$  ,  $L_{GB3}$  の関係からゲート電極 6 b に対応する閾値電圧は  $V_{thB1} < V_{thB2} < V_{thB3}$  の関係を有し、入力信号  $V_{GB}$  の閾値電圧  $V_{thB1}$  ,  $V_{thB2}$  ,  $V_{thB3}$

40

50

$V_{thB2}$ 、 $V_{thB3}$  は、チャンネル層 5a、5b、5c の順に次第に増加するようにされる。

#### 【0022】

入力信号生成回路 7 は、段階的に変化する電圧レベルを有する入力信号  $V_{GA}$ 、 $V_{GB}$  を生成するための回路である。具体的には、入力信号生成回路 7 は、入力端子 13 から入力される 3 値のデジタル信号に応じて、3 種類の電圧レベル  $V_{GA0}$ 、 $V_{GA1}$ 、 $V_{GA2}$  ( $V_{GA0} < V_{GA1} < V_{GA2}$ ) を有する入力信号  $V_{GA}$ 、及び 3 種類の電圧レベル  $V_{GB0}$ 、 $V_{GB1}$ 、 $V_{GB2}$  ( $V_{GB0} > V_{GB1} > V_{GB2}$ ) を有する入力信号  $V_{GB}$  を同時に生成する。ここで、入力信号生成回路 7 は、入力信号  $V_{GA}$ 、 $V_{GB}$  を  $V_{GB} = -aV_{GA} + b$  ( $a$  は正の定数、 $b$  は定数) を満たすように生成する。つまり、2 つの入力信号  $V_{GA}$ 、 $V_{GB}$  が、一方の信号のレベルが増加した場合に他方の信号のレベルが減少するような相補的な関係を有するようにする。さらに具体的には、電圧レベル  $V_{GA0}$  の入力信号  $V_{GA}$  に対応して電圧レベル  $V_{GB0} = -aV_{GA0} + b$  の入力信号  $V_{GB}$  が、電圧レベル  $V_{GA1}$  の入力信号  $V_{GA}$  に対応して電圧レベル  $V_{GB1} = -aV_{GA1} + b$  の入力信号  $V_{GB}$  が、電圧レベル  $V_{GA2}$  の入力信号  $V_{GA}$  に対応して電圧レベル  $V_{GB2} = -aV_{GA2} + b$  の入力信号  $V_{GB}$  が、それぞれ生成される。このような機能を有する入力信号生成回路 7 としては、例えば、入力デジタル信号に応じて分圧抵抗をスイッチング素子で切り替えるような公知の構成を採用することができる。

10

#### 【0023】

ここで、ゲート電極 6a、6b のゲート長  $L_{GA1}$ 、 $L_{GA2}$ 、 $L_{GA3}$ 、 $L_{GB1}$ 、 $L_{GB2}$ 、 $L_{GB3}$ 、及び入力信号生成回路 7 の生成する入力信号  $V_{GA}$ 、 $V_{GB}$  は、以下の関係が成り立つように設定されている。すなわち、同時に生成される入力信号  $V_{GA}$ 、 $V_{GB}$  の組 ( $V_{GA0}$ 、 $V_{GB0}$ ) が、下記式 (1)；  
 $V_{thA3} < V_{GA0} < V_{thA2}$ 、 $V_{GB0} > V_{thB3} \dots (1)$   
 を満たすように設定される。この入力信号  $V_{GA}$ 、 $V_{GB}$  の組 ( $V_{GA0}$ 、 $V_{GB0}$ ) が生成された場合、チャンネル層 5c のみが選択的にオンされる。同様に、入力信号  $V_{GA}$ 、 $V_{GB}$  の組 ( $V_{GA1}$ 、 $V_{GB1}$ ) が、下記式 (2)；  
 $V_{thA2} < V_{GA1} < V_{thA1}$ 、 $V_{thB3} > V_{GB1} > V_{thB2} \dots (2)$   
 を満たすように設定され、この入力信号  $V_{GA}$ 、 $V_{GB}$  の組 ( $V_{GA1}$ 、 $V_{GB1}$ ) が生成された場合、チャンネル層 5b のみが選択的にオンされる。さらに、入力信号  $V_{GA}$ 、 $V_{GB}$  の組 ( $V_{GA2}$ 、 $V_{GB2}$ ) が、下記式 (3)；  
 $V_{thA1} < V_{GA2}$ 、 $V_{thB2} > V_{GB2} > V_{thB1} \dots (3)$   
 を満たすように設定され、この入力信号  $V_{GA}$ 、 $V_{GB}$  の組 ( $V_{GA2}$ 、 $V_{GB2}$ ) が生成された場合、チャンネル層 5a のみが選択的にオンされる。

20

30

#### 【0024】

なお、 $a = 1$ 、 $b > 0$  である定数  $a$ 、 $b$  で決まる入力信号  $V_{GA}$ 、 $V_{GB}$  が上記式 (1) ~ (3) を満たすようにゲート電極 6a、6b の形状を調整することは、入力信号  $V_{GA}$ 、 $V_{GB}$  がインバータ回路及びオフセット発生回路を用いて容易に生成でき、入力信号生成回路 7 の構成が単純化される点でより好ましい。また、入力信号生成回路 7 は、生成する入力信号  $V_{GA}$ 、 $V_{GB}$  に対して、上記式 (1) ~ (3) を満たすような範囲において動作マージン電圧  $V_{GA}$ 、 $V_{GB}$  を許容することもできる。

40

#### 【0025】

以上説明した半導体装置 1 によれば、GaAs 基板 2 上に並設された 3 本のチャンネル層 5a、5b、5c の入力端と出力端との間の中央領域 11a、11b、11c に設けられたゲート電極 6a、6b に、入力多値信号に対応して互いに相補的なレベルを有する 2 つの入力信号  $V_{GA}$ 、 $V_{GB}$  が印加された場合に、3 本のチャンネル層 5a、5b、5c のうちから 1 本のチャンネル層が電界効果を用いて選択的に導通され、出力端子 10a、10b、10c から選択的に出力電流を出力させることができる。このように、3 本のチャンネル層に共通に 2 本のゲート電極 6a、6b を設けた構成を有することで、1 つの素子における出力端子の増加によりチャンネル数が増えたり、複数の素子を組み合わせる場合でも高集

50

積化が容易となり、装置全体の小型化が実現される。

【0026】

また、チャンネル層5a, 5b, 5cのゲート長を変えることによって閾値電圧を変化させることで、チャンネル層5a, 5b, 5cの入力信号 $V_{GA}$ ,  $V_{GB}$ の閾値電圧を、容易に制御することができる。

【0027】

図4は、半導体装置1の入出力特性を示す図であり、(a)は、半導体装置1の構造の一例を示す平面図、(b)は、(a)の半導体装置1のゲート電極6aの入力信号 $V_{GA}$ とそれぞれの出力端子10a, 10b, 10cの出力電流 $I_a$ ,  $I_b$ ,  $I_c$ との関係を示すグラフである。この結果により、入力信号 $V_{GA}$ の電圧レベルの増減に応じて、出力電流 $I_a$ ,  $I_b$ ,  $I_c$ のピークが明確に分離されている。このことから、入力信号 $V_{GA}$ のレベルを出力電流のピークに合うように設定することで、出力端子10a, 10b, 10cから出力電流を選択的に出力できることがわかる。

10

【0028】

[第2実施形態]

まず、本発明の第2実施形態について説明する。図5は、本発明の第2実施形態である半導体装置21の平面図である。

【0029】

同図に示すように、半導体装置21においては、ゲート電極26a, 26bは、それぞれのチャンネル層5a, 5b, 5cの中央領域11a, 11b, 11cを跨って形成され、ゲート電極26aは、チャンネル層5a, 5b, 5c上のそれぞれのゲート長 $L_{GA1}$ ,  $L_{GA2}$ ,  $L_{GA3}$ が、この順で直線的に減少するような形状を有し、ゲート電極26bは、チャンネル層5a, 5b, 5c上のそれぞれのゲート長 $L_{GB1}$ ,  $L_{GB2}$ ,  $L_{GB3}$ が、この順で直線的に増加するような形状を有する。

20

【0030】

このような形状を有するゲート電極26a, 26bを用いても、入力信号 $V_{GA}$ の閾値電圧 $V_{thA1}$ ,  $V_{thA2}$ ,  $V_{thA3}$ は、チャンネル層5a, 5b, 5cの順に次第に減少するように設定され、入力信号 $V_{GB}$ の閾値電圧 $V_{thB1}$ ,  $V_{thB2}$ ,  $V_{thB3}$ は、チャンネル層5a, 5b, 5cの順に次第に増加するように設定される。

【0031】

図6は、半導体装置21の入出力特性を示す図であり、(a)は、半導体装置21の構造の一例を示す平面図、(b)は、(a)の半導体装置21のゲート電極26aの入力信号 $V_{GA}$ とそれぞれの出力端子10a, 10b, 10cの出力電流 $I_a$ ,  $I_b$ ,  $I_c$ との関係を示すグラフである。この場合は、若干出力電流の差が大きいものの出力電流 $I_a$ ,  $I_b$ ,  $I_c$ のピークが明確に分離され、出力端子10a, 10b, 10cから出力電流を選択的に出力可能であることがわかる。

30

【0032】

[第3実施形態]

まず、本発明の第3実施形態について説明する。図7は、本発明の第3実施形態である半導体装置31の平面図、図8は半導体装置31のVIII-VIII線に沿った断面図である。

40

【0033】

これらの図に示すように、半導体装置31のGaAs基板2上には、長手方向に沿って変化するチャンネル幅を有する3本のチャンネル層35a, 35b, 35cが並設されている。さらに、この3本のチャンネル層35a, 35b, 35cの中央領域11a, 11b, 11cを跨って、帯状にゲート電極36a, 36bが形成され、ゲート電極36a, 36bのチャンネル層35a, 35b, 35c上のゲート長が、ほぼ一定となるようにされている。

【0034】

この場合、3本のチャンネル層35a, 35b, 35cには、ゲート電極36aが設けられた領域におけるそれぞれのチャンネル幅 $W_{A1}$ ,  $W_{A2}$ ,  $W_{A3}$ がこの順で大きくなり、

50

且つゲート電極 36b が設けられた領域におけるそれぞれのチャネル幅  $W_{B1}$ ,  $W_{B2}$ ,  $W_{B3}$  がこの順で小さくなるように、くびれ部 37a, 37b, 37c が形成されている。なお、ゲート電極 36a, 36b は、チャネル幅の違いにより閾値を効果的に変化させるために、3本のチャネル層 35a, 35b, 35c の側壁及び GaAs 基板 2 の表面に沿って接触するように形成されている (図 8)。

【0035】

このような形状を有するチャネル層 35a, 35b, 35c 及びゲート電極 36a, 36b を用いても、入力信号  $V_{GA}$  の閾値電圧  $V_{thA1}$ ,  $V_{thA2}$ ,  $V_{thA3}$  は、チャネル層 35a, 35b, 35c の順に次第に減少するように設定され、入力信号  $V_{GB}$  の閾値電圧  $V_{thB1}$ ,  $V_{thB2}$ ,  $V_{thB3}$  は、チャネル層 35a, 35b, 35c の順に次第に増加するように設定される。

10

【0036】

[第4実施形態]

まず、本発明の第4実施形態について説明する。図9は、本発明の第4実施形態である半導体装置41の平面図である。

【0037】

半導体装置41のチャネル層45a, 45b, 45c 及びゲート電極46a, 46b は、ノーマリオン型のデバイス特性を有するように構成されている。このようなデバイス特性は、GaAs 基板2上のエピタキシャル層の厚さを変えることで実現することができる。

20

【0038】

ゲート電極46a は、チャネル層45a, 45b の中央領域11a, 11b を跨って形成されている。詳細には、ゲート電極46a は、中央領域11a をチャネル層45a の形成方向に垂直な方向に沿って横切って中央領域11b の近傍まで延びるように形成されている。このとき、ゲート電極46a の縁部とチャネル層45b の境界との距離は、チャネル層45b に電界効果を与え近接ゲート(サイドゲート)として電氣的に結合されるような距離(例えば、GaAs 基板の場合は0nm~400nm)に設定されている。

【0039】

一方、ゲート電極46b は、チャネル層45b, 45c の中央領域11b, 11c を跨って形成されている。詳細には、ゲート電極46b は、中央領域11c をチャネル層45c の形成方向に垂直な方向に沿って横切って中央領域11b の近傍まで延びるように形成され、ゲート電極46b の縁部とチャネル層45b の境界との距離は、チャネル層45b に近接ゲートとして電氣的に結合されるような距離に設定されている。

30

【0040】

上記構成により、ゲート電極46a に対応して各チャネル45a, 45b を遮断するための閾値電圧  $V_{thA1}'$ ,  $V_{thA2}'$  は、 $V_{thA1}' > V_{thA2}'$  の関係を有する。言い換えれば、入力信号  $V_{GA}$  の閾値電圧  $V_{thA1}'$ ,  $V_{thA2}'$  は、チャネル層45a, 45b の順に次第に減少するようにされる。また、ゲート電極46b に対応して各チャネル45b, 45c を遮断するための閾値電圧  $V_{thB2}'$ ,  $V_{thB3}'$  は、 $V_{thB2}' < V_{thB3}'$  の関係を有する。言い換えれば、入力信号  $V_{GB}$  の閾値電圧  $V_{thB2}'$ ,  $V_{thB3}'$  は、チャネル層45b, 45c の順に次第に増加するようにされる。

40

【0041】

ここで、ゲート電極46a, 46b のそれぞれの閾値電圧  $V_{thA1}'$ ,  $V_{thA2}'$ ,  $V_{thB2}'$ ,  $V_{thB3}'$  及び入力信号生成回路7の生成する入力信号  $V_{GA}$ ,  $V_{GB}$  は、以下の関係が成り立つように設定されている。すなわち、同時に生成される入力信号  $V_{GA}$ ,  $V_{GB}$  の組 ( $V_{GA0}$ ,  $V_{GB0}$ ) が、下記式(4)；

$$V_{GA0} < V_{thA2}', V_{GB0} > V_{thB3}' \dots (4)$$

を満たすように設定される。この入力信号  $V_{GA}$ ,  $V_{GB}$  の組 ( $V_{GB0}$ ,  $V_{GA0}$ ) が生成された場合、チャネル層45c のみが選択的にオンされる。同様に、入力信号  $V_{GA}$

50



,  $V_{GB}$  の組 ( $V_{GA1}$ ,  $V_{GB1}$ ) が、下記式 (5) ;  
 $V_{thA2}' < V_{GA1} < V_{thA1}'$ ,  $V_{thB3}' > V_{GB1} > V_{thB2}' \dots$  (5)

を満たすように設定され、この入力信号  $V_{GA}$ ,  $V_{GB}$  の組 ( $V_{GA1}$ ,  $V_{GB1}$ ) が生成された場合、チャンネル層 45b のみが選択的にオンされる。さらに、入力信号  $V_{GA}$ ,  $V_{GB}$  の組 ( $V_{GA2}$ ,  $V_{GB2}$ ) が、下記式 (6) ;

$V_{thA1}' < V_{GA2}$ ,  $V_{thB2}' > V_{GB2} \dots$  (6)

を満たすように設定され、この入力信号  $V_{GA}$ ,  $V_{GB}$  の組 ( $V_{GA2}$ ,  $V_{GB2}$ ) が生成された場合、チャンネル層 45a のみが選択的にオンされる。

【0042】

以上のような半導体装置 41 によっても、図 10 の入出力特性の実験結果に示すように、入力信号生成回路 7 の生成する入力信号  $V_{GA}$ ,  $V_{GB}$  に応じて、出力端子 10a, 10b, 10c から選択的に出力電流  $I_a$ ,  $I_b$ ,  $I_c$  を出力させることができる。

【0043】

[第5実施形態]

次に、本発明の第5実施形態について説明する。図 11 は、本発明の第5実施形態である半導体装置 51 の平面図、図 12 は、図 11 の半導体装置 51 のXI-XI線に沿った断面図、図 13 は、図 11 の半導体装置 51 のXII-XII線に沿った断面図である。

【0044】

この半導体装置 51 においては、ほぼ均一なチャンネル幅を有するチャンネル層 55a, 55b, 55c が並列に設けられると共に、そのチャンネル層 55a, 55b, 55c 上のそれぞれの中央領域 11a, 11b, 11c を跨って、2本のゲート電極 56a, 56b がほぼ同一のゲート長を有するように形成されている。チャンネル層 55a, 55b, 55c は、それぞれ、Si基板 2 の上部に直線状に設けられた  $N^+$  領域 53 及びその Si基板 2 の上面を覆う  $SiO_2$  等の酸化物からなる絶縁膜 (酸化物層) 54 によって構成され、ゲート電極 56a, 56b は、Si基板 2 の2つの  $N^+$  領域 53 で挟まれた領域 A を跨って、Si基板 2 上に絶縁膜 54 を介して布設されている。すなわち、チャンネル層 55a, 55b, 55c とゲート電極 56a, 56b とは MOS 構造を構成する。また、入力端子 9 及び出力端子 10a, 10b, 10c は、金属/半導体接触によりチャンネル層 55a, 55b, 55c の  $N^+$  領域 53 に接続されている。

【0045】

この絶縁膜 54 は、そのチャンネル層 55a, 55b, 55c 上の膜厚が、ゲート電極 56a の長手方向に沿ってチャンネル層 55a, 55b, 55c の順で段階的に大きくなり (図 13)、且つ、ゲート電極 56b の長手方向に沿ってこの順で段階的に小さくなるような階段状の形状を有している。

【0046】

このような MOS 構造を有するチャンネル層 55a, 55b, 55c 及びゲート電極 56a, 56b を用いても、入力信号  $V_{GA}$  の閾値電圧  $V_{thA1}$ ,  $V_{thA2}$ ,  $V_{thA3}$  は、チャンネル層 55a, 55b, 55c の順に次第に増加するように設定され、入力信号  $V_{GB}$  の閾値電圧  $V_{thB1}$ ,  $V_{thB2}$ ,  $V_{thB3}$  は、チャンネル層 55a, 55b, 55c の順に次第に減少するように設定される。

【0047】

なお、本発明は、前述した実施形態に限定されるものではない。例えば、各実施形態におけるチャンネル数は3本に限定されるものではなく、それ以上の複数本設けられてもよい。この場合も、複数のチャンネルから選択的に出力電流が出力されるように、入力信号  $V_{GA}$  及び入力信号  $V_{GB}$  の組み合わせと各チャンネルの閾値電圧とを設定することが可能である。

【0048】

また、半導体装置 1, 21, 31, 41, 51 のそれぞれにおいては、3本のチャンネル層の一端に共通に接続された1つの入力端子 9 が設けられていたが、それぞれのチャンネル

10

20

30

40

50

層の一端に独立に入力端子が接続されて、それぞれの入力端子毎に異なる電圧値の電源が接続可能に構成されてもよい。

【0049】

また、半導体装置1, 21, 31, 41, 51のそれぞれにおいては、並び順に閾値電圧が減少又は増加するように構成されているが、出力信号の物理的な出力位置を変更したい場合に対応するために、閾値電圧の大小関係をランダムに入れ替えてもよい。例えば、図1に示す半導体装置1の場合は、入力信号 $V_{GA}$ の閾値電圧 $V_{thA1}$ ,  $V_{thA2}$ ,  $V_{thA3}$ がチャンネル層5a, 5c, 5bの順に次第に減少し、入力信号 $V_{GB}$ の閾値電圧 $V_{thB1}$ ,  $V_{thB2}$ ,  $V_{thB3}$ が、チャンネル層5a, 5c, 5bの順に次第に増加するように構成されてもよい。

10

【図面の簡単な説明】

【0050】

【図1】本発明の第1実施形態である半導体装置の平面図である。

【図2】図1の半導体装置のII-II線に沿った断面図である。

【図3】図1の半導体装置のIII-III線に沿った断面図である。

【図4】図1の半導体装置の入出力特性を示す図であり、(a)は、半導体装置の構造の一例を示す平面図、(b)は、(a)の半導体装置の入力信号と出力電流との関係を示すグラフである。

【図5】本発明の第2実施形態である半導体装置の平面図である。

【図6】図5の半導体装置の入出力特性を示す図であり、(a)は、半導体装置の構造の一例を示す平面図、(b)は、(a)の半導体装置の入力信号と出力電流との関係を示すグラフである。

20

【図7】本発明の第3実施形態である半導体装置の平面図である。

【図8】図7の半導体装置のVIII-VIII線に沿った断面図である。

【図9】本発明の第4実施形態である半導体装置の平面図である。

【図10】図9の半導体装置の入力信号と出力電流との関係を示すグラフである。

【図11】本発明の第5実施形態である半導体装置の平面図である。

【図12】図11の半導体装置のXI-XI線に沿った断面図である。

【図13】図11の半導体装置のXII-XII線に沿った断面図である。

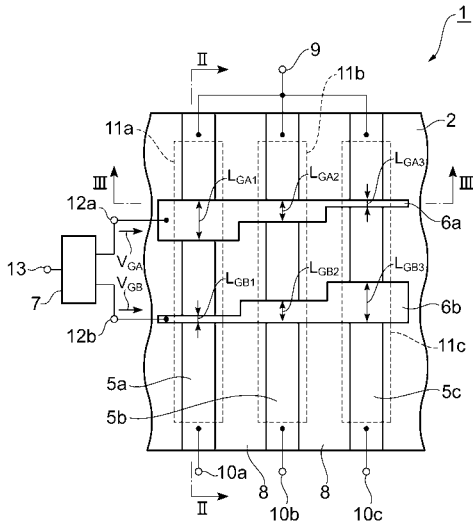
【符号の説明】

30

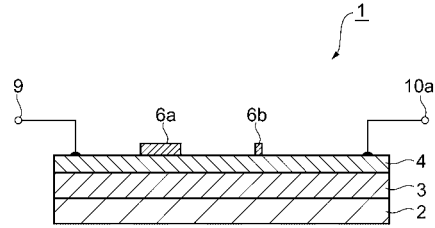
【0051】

1, 21, 31, 41, 51...半導体装置、5a, 5b, 5c, 35a, 35b, 35c, 45a, 45b, 45c, 55a, 55b, 55c...チャンネル層、6a, 6b, 26a, 26b, 36a, 36b, 46a, 46b, 56a, 56b...ゲート電極、10a, 10b, 10c...出力端子、11a, 11b, 11c...中央領域、54...絶縁膜(酸化物質層)、 $V_{GA}$ ,  $V_{GB}$ ...入力信号、 $L_{GA1}$ ,  $L_{GA2}$ ,  $L_{GA3}$ ,  $L_{GB1}$ ,  $L_{GB2}$ ,  $L_{GB3}$ ...ゲート長、 $W_{A1}$ ,  $W_{A2}$ ,  $W_{A3}$ ,  $W_{B1}$ ,  $W_{B2}$ ,  $W_{B3}$ ...チャンネル幅。

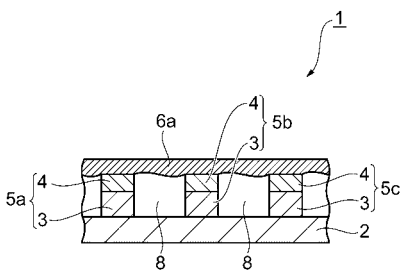
【 図 1 】



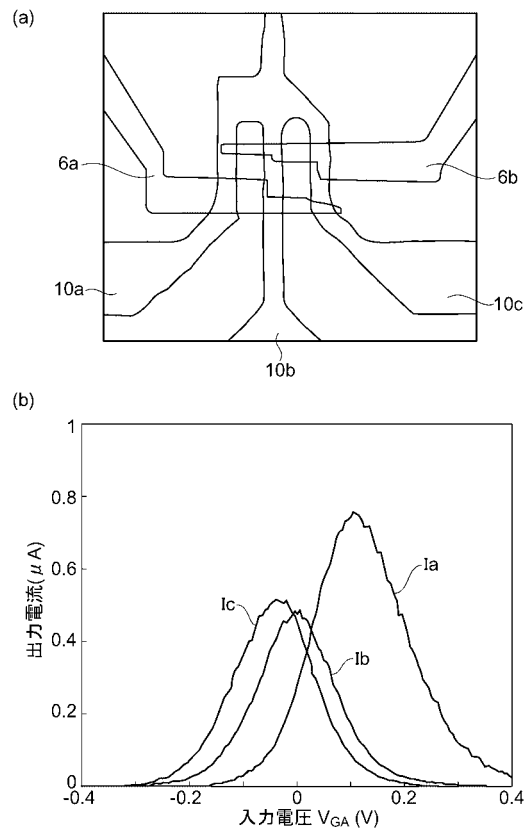
【 図 2 】



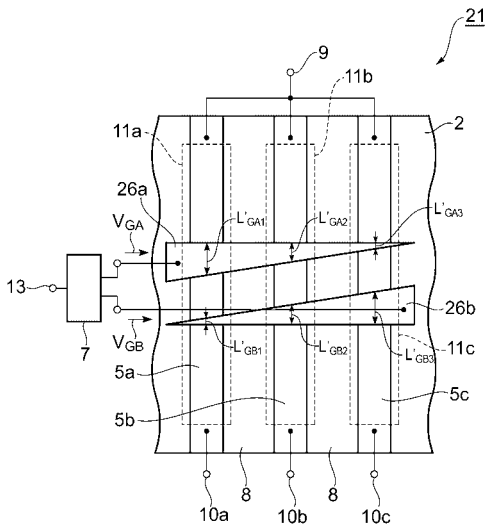
【 図 3 】



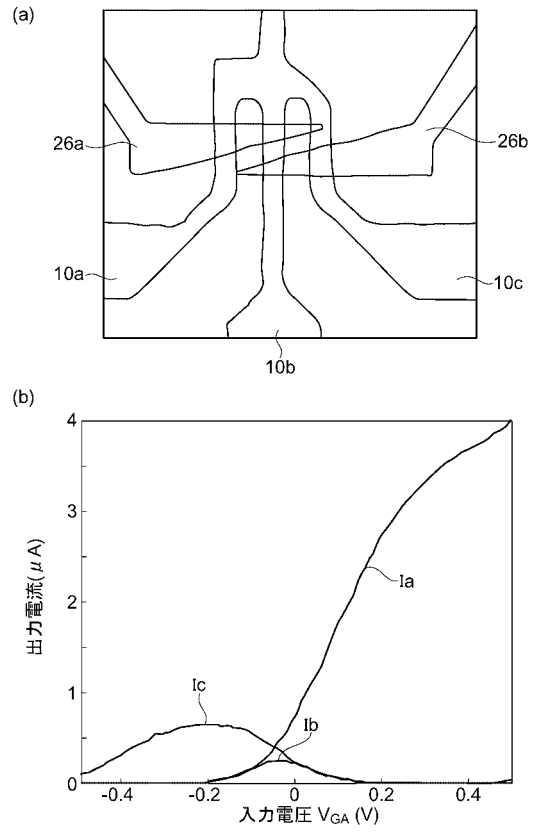
【 図 4 】



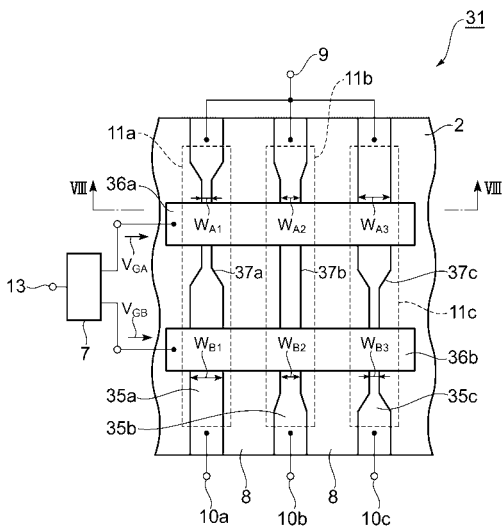
【 図 5 】



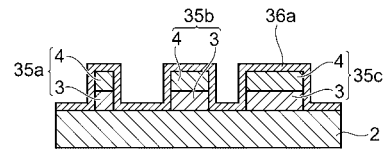
【 図 6 】



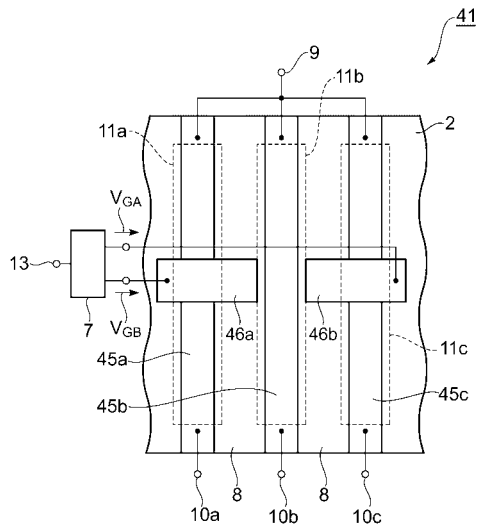
【 図 7 】



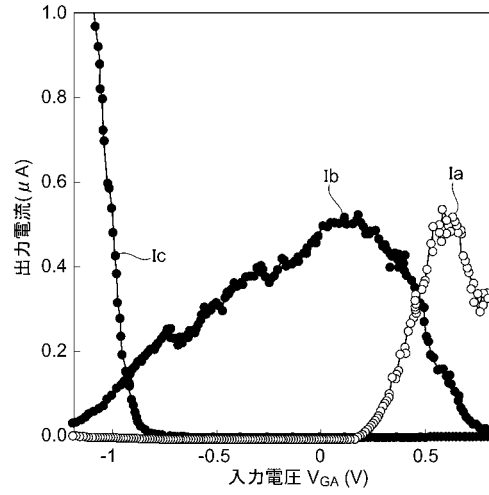
【 図 8 】



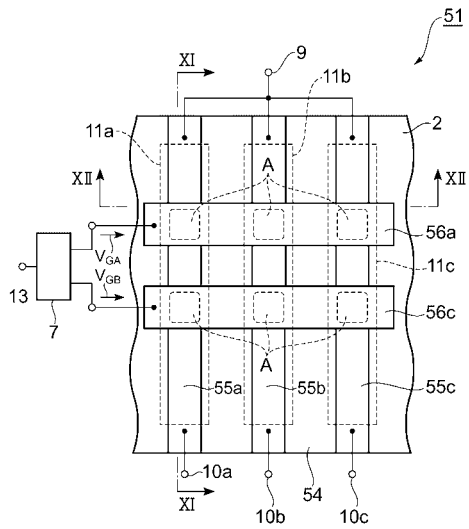
【 図 9 】



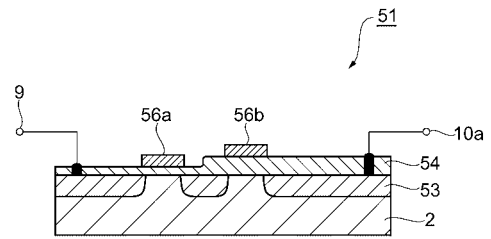
【 図 1 0 】



【 図 1 1 】



【 図 1 2 】



【 図 1 3 】

