

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4543193号  
(P4543193)

(45) 発行日 平成22年9月15日(2010.9.15)

(24) 登録日 平成22年7月9日(2010.7.9)

(51) Int.Cl. F I  
G05F 3/22 (2006.01) G05F 3/22 Z

請求項の数 4 (全 15 頁)

<p>(21) 出願番号 特願2010-29084 (P2010-29084)                  (22) 出願日 平成22年2月12日 (2010. 2. 12)                  (62) 分割の表示 特願2009-16547 (P2009-16547)                                    の分割                            原出願日 平成21年1月28日 (2009. 1. 28)                  (65) 公開番号 特開2010-176680 (P2010-176680A)                  (43) 公開日 平成22年8月12日 (2010. 8. 12)                            審査請求日 平成22年2月15日 (2010. 2. 15)                  早期審査対象出願</p>	<p>(73) 特許権者 801000027                                    学校法人明治大学                                    東京都千代田区神田駿河台 1-1                  (74) 代理人 100069556                                    弁理士 江崎 光史                  (74) 代理人 100111486                                    弁理士 鍛冶澤 實                  (72) 発明者 ▲高▼窪 かをり                                    神奈川県川崎市多摩区東三田 1-1-1                                    明治大学生田校舎内                  (72) 発明者 ▲高▼窪 統                                    東京都文京区春日 1-13-27 中央大                                    学後楽園キャンパス内                  審査官 槻木澤 昌司</p>
---	--

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 のラテラルバイポーラトランジスタと第 2 のラテラルバイポーラトランジスタを備えた半導体装置において、

前記第 1 のラテラルバイポーラトランジスタのコレクタ端子と前記第 2 のラテラルバイポーラトランジスタのエミッタ端子とを接続し、

前記第 1 のラテラルバイポーラトランジスタのコレクタ端子と前記第 2 のラテラルバイポーラトランジスタのエミッタ端子との端子間を出力端子とし、

前記第 1 のラテラルバイポーラトランジスタのエミッタ端子を基準電位とし、

前記第 2 のラテラルバイポーラトランジスタのコレクタ端子に所定の供給電圧を印加し、前記第 1 のラテラルバイポーラトランジスタのベース端子と前記第 2 のラテラルバイポーラトランジスタのベース端子とを接続し、

前記第 1 のラテラルバイポーラトランジスタのベース端子と前記第 2 のラテラルバイポーラトランジスタのベース端子との端子間を第 1 のベース端子とし、

前記第 1 のラテラルバイポーラトランジスタと前記第 2 のラテラルバイポーラトランジスタとは同一構造のラテラルバイポーラトランジスタであり、

前記第 1 のベース端子には、第 1 のラテラルバイポーラトランジスタのエミッタ側 p n 接合がわずかに順方向バイアスされる動作領域から逆方向バイアスされる動作領域となる範囲の電圧を印加され、

前記供給電圧には、前記第 1 及び第 2 のラテラルバイポーラトランジスタが npn ラテラ

ルバイポーラトランジスタの場合は、前記基準電位に対して、正の電圧を印加され、

前記供給電圧には、前記第 1 及び第 2 のラテラルバイポーラトランジスタが pnp ラテラルバイポーラトランジスタの場合は、前記基準電位に対して、負の電圧を印加されることを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記第 1 及び第 2 のラテラルバイポーラトランジスタが npn ラテラルバイポーラトランジスタの場合は、前記供給電圧は、前記出力端子の出力電圧よりも所定値だけ大きく、

前記第 1 及び第 2 のラテラルバイポーラトランジスタが pnp ラテラルバイポーラトランジスタの場合は、前記供給電圧は、前記出力端子の出力電圧よりも所定値だけ小さいことを特徴とする半導体装置。

10

【請求項 3】

請求項 1 又は 2 において、

前記半導体装置は、P T A T 電圧発生回路、又は、バイアス電圧発生回路として利用されることを特徴とする半導体装置。

【請求項 4】

第 1 のラテラルバイポーラトランジスタと第 2 のラテラルバイポーラトランジスタを備えた半導体装置において、

前記第 1 のラテラルバイポーラトランジスタのコレクタ端子と前記第 2 のラテラルバイポーラトランジスタのエミッタ端子とを接続し、

20

前記第 1 のラテラルバイポーラトランジスタのベース端子と前記第 2 のラテラルバイポーラトランジスタのベース端子とを接続した半導体装置を N 個備え、( N は 2 以上の整数 )

$k = 1$  (  $k$  は自然数 ) から  $k = N$  までの前記半導体装置の前記第 2 のラテラルバイポーラトランジスタのコレクタ端子をそれぞれ接続し、所定の供給電圧を印加し、

$k = 1$  から  $k = N$  までの前記半導体装置の前記第 1 のラテラルバイポーラトランジスタのベース端子をそれぞれ接続し、所定の電圧を印加し、

$k = 1$  から  $k = N - 1$  までの前記半導体装置の前記第 1 のラテラルバイポーラトランジスタのコレクタ端子と前記第 2 のラテラルバイポーラトランジスタのエミッタ端子と端子間を  $k = 2$  から  $k = N$  までの半導体装置の第 1 のラテラルバイポーラトランジスタのエミッタ端子に接続し、

30

$k = N$  の半導体装置の前記第 1 のラテラルバイポーラトランジスタのコレクタ端子と前記第 2 のラテラルバイポーラトランジスタのエミッタ端子との端子間を出力端子とし、

前記第 1 のラテラルバイポーラトランジスタと前記第 2 のラテラルバイポーラトランジスタとは同一構造のラテラルバイポーラトランジスタであり、

前記第 1 のベース端子には、第 1 のラテラルバイポーラトランジスタのエミッタ側 p n 接合がわずかに順方向バイアスされる動作領域から逆方向バイアスされる動作領域となる範囲の電圧を印加され、

前記供給電圧には、前記第 1 及び第 2 のラテラルバイポーラトランジスタが npn ラテラルバイポーラトランジスタの場合は、前記基準電位に対して、正の電圧を印加され、

40

前記供給電圧には、前記第 1 及び第 2 のラテラルバイポーラトランジスタが pnp ラテラルバイポーラトランジスタの場合は、前記基準電位に対して、負の電圧を印加されることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置、特に拡散電流を流す半導体素子を用いて集積回路上に構成される基準電圧源に関するものである。更に詳細に述べると、電源電圧の変動に対して安定な基準電圧源、絶対温度に比例する電圧を発生する P T A T 基準電圧源、及びこの型の基準電圧源の利用に関するものである。

50

## 【背景技術】

## 【0002】

絶対温度に比例した (P T A T : P r o p o r t i o n a l T o A b s o l u t e T e m p e r a t u r e) 基準電圧源は、集積回路上に温度センサやバンドギャップ基準電圧源を実現する際に必要となる重要なアナログ回路である。ところで、P T A T 基準電圧源としては、弱反転状態で動作する M O S F E T を利用した半導体装置として、特許文献 1 がある。特許文献 1 は、弱反転領域で動作する M O S F E T のゲート端子とドレイン端子を接続してダイオード接続し、飽和する状態で動作させた M O S F E T を組み合わせた P T A T 基準電圧源を示している。特許文献 1 の P T A T 基準電圧源では、P T A T 基準電圧は、絶対温度及び M O S F E T の形状によって決まる定数に比例し、指数動作状態における傾斜係数  $n$  に反比例する特性を示す。

10

## 【0003】

しかし、近年のアナログ回路の低電源電圧化の要求にともない、基準電圧が集積回路の製造パラメータに影響されない低電源電圧駆動の P T A T 基準電圧源が必要とされている。特許文献 1 に示されるゲート端子とドレイン端子が接続されたダイオード接続の M O S F E T では、ドレイン電圧の変化に伴ってゲート電圧も変化するために、M O S F E T の動作状態はドレイン電圧により変化することになる。特に、近年の集積回路における低いしきい値の M O S F E T においては、ドレイン電圧の設定範囲が著しく制限される。また、指数動作状態における傾斜係数  $n$  は、集積回路の製造パラメータおよび M O S F E T の動作状態によって変動するパラメータであり、基準電圧の特性を劣化させるとともに、設計時の設定電圧の信頼性を劣化させる。

20

## 【先行技術文献】

## 【特許文献】

## 【0004】

【特許文献 1】公開特許公報 特開昭 55 - 57920 号

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0005】

近年の微細化プロセスにおけるしきい電圧の低下により M O S F E T の駆動範囲がさらに狭まり、汎用プロセスのもとで 0.5 V 以下の低い電源電圧から動作し、電源電圧の変動に対して安定な電圧を生成する P T A T 基準電圧源は存在しない。このため、太陽電池等の微弱かつ不安定な電源で駆動できるオンチップ P T A T 回路を実現することができない。また、外部回路として直列に電流源を必要とする場合には、回路の最低動作電源電圧がさらに高められてしまう。さらに、指数動作状態における傾斜係数  $n$  の変動による劣化は、基準電圧源の設定電圧の信頼性を低下させる要因となる。

30

## 【0006】

そこで、本発明では、低い電源電圧で駆動でき、かつ、電源電圧の変動に対して安定な基準電圧を生成するとともに、基準電圧の温度係数が製造工程におけるパラメータの変動に影響されにくく、基準電圧の温度係数が拡散電流で動作する半導体素子の形状により集積回路上に正確に設計可能な、基準電圧生成のための半導体装置を提供することを目的としている。

40

## 【課題を解決するための手段】

## 【0007】

第 1 のラテラルバイポーラトランジスタと第 2 のラテラルバイポーラトランジスタを備えた半導体装置であって、前記第 1 のラテラルバイポーラトランジスタのコレクタ端子と前記第 2 のラテラルバイポーラトランジスタのエミッタ端子とを接続し、前記第 1 のラテラルバイポーラトランジスタのコレクタ端子と前記第 2 のラテラルバイポーラトランジスタのエミッタ端子との端子間を出力端子とし、前記第 1 のラテラルバイポーラトランジスタのエミッタ端子を基準電位とし、前記第 2 のラテラルバイポーラトランジスタのコレクタ端子に所定の供給電圧を印加し、前記第 1 のラテラルバイポーラトランジスタのベース

50

端子と前記第 2 のラテラルバイポーラトランジスタのベース端子とを接続し、前記第 1 のラテラルバイポーラトランジスタのベース端子と前記第 2 のラテラルバイポーラトランジスタのベース端子との端子間を第 1 のベース端子とし、前記第 1 のラテラルバイポーラトランジスタと前記第 2 のラテラルバイポーラトランジスタとは同一構造のラテラルバイポーラトランジスタであり、前記第 1 のベース端子には、第 1 のラテラルバイポーラトランジスタのエミッタ側 p n 接合がわずかに順方向バイアスされる動作領域から逆方向バイアスされる動作領域となる範囲の電圧を印加され、前記供給電圧には、前記第 1 及び第 2 のラテラルバイポーラトランジスタが npn ラテラルバイポーラトランジスタの場合は、前記基準電位に対して、正の電圧を印加され、前記供給電圧には、前記第 1 及び第 2 のラテラルバイポーラトランジスタが pnp ラテラルバイポーラトランジスタの場合は、前記基準電位に対して、負の電圧を印加されることにより達成することができる。

10

【発明の効果】

【 0 0 0 8 】

本発明の半導体装置及びその駆動方法によれば、比例係数を正確に設計可能で、絶対温度に比例するとともに、電源電圧の変動に不感な電圧を集積回路上で発生することが可能になる。微細な半導体素子を拡散電流でモデル化される領域で動作させているので、最低動作電源電圧は 0 . 2 V 程度（出力電圧 + 0 . 1 V 程度）ときわめて低い電源電圧での動作が可能であり、消費電力がきわめて小さいとともに、設計面積が極めて小さい。また、形状比が異なる複数の半導体素子で得られる拡散電流の比により、温度に比例した出力電圧を決定しているために、製造プロセスにおけるパラメータの変動に依存しない特性を実現している。したがって、太陽電池等の微弱な電源で駆動できるオンチップに集積可能な P T A T 回路を実現できるという効果を奏するとともに、汎用集積回路に搭載してオンチップで温度検出を行う応用回路およびバイアス電圧回路に幅広く適応できるという効果を奏する。

20

【図面の簡単な説明】

【 0 0 0 9 】

【図 1】図 1 A は、本発明による N M O S F E T を用いた回路構成図である。図 1 B は、本発明による P M O S F E T を用いた回路構成図である。

【図 2】図 2 A は、図 1 A に示す本発明の第 1 の実施例の半導体装置をラテラルバイポーラトランジスタを用いて構成した場合の回路構成図である。図 2 B は、図 1 B に示す本発明の第 1 の実施例の半導体装置をラテラルバイポーラトランジスタを用いて構成した場合の回路構成図である。

30

【図 3】図 3 A は、図 1 A の模式的な構造断面図である。図 3 B は、図 1 B の模式的な構造断面図である。図 3 C は、図 1 A を S O I プロセスで製造した場合の模式的な構造断面図である。図 3 D は、図 1 A を S O I プロセスで製造した場合の模式的な上面図である。図 3 E は、図 1 B を S O I プロセスで製造した場合の模式的な構造断面図である。図 3 F は、図 2 A をラテラルバイポーラトランジスタを用いて S O I プロセスで製造した場合の模式的な構造断面図である。図 3 G は、図 2 A をラテラルバイポーラトランジスタを用いて S O I プロセスで製造した場合の模式的な上面図である。図 3 H は、図 2 B をラテラルバイポーラトランジスタを用いて S O I プロセスで製造した場合の模式的な構造断面図である。

40

【図 4】図 4 は、本発明の第 1 の実施例の半導体装置の動作領域を示す概念図である。

【図 5】図 5 A は、図 1 A に対応する本発明の第 1 の実施例の N M O S F E T 構成の半導体装置に直流電圧源を接続して駆動した場合の測定に用いた回路例である。図 5 B は、図 1 B に対応する本発明の第 1 の実施例の P M O S F E T 構成の半導体装置に直流電圧源を接続して駆動した場合の測定に用いた回路例である。

【図 6】図 5 A に対応する本発明の第 1 の実施例の N M O S F E T 構成の半導体装置の測定回路において、絶対温度 T をパラメータとした場合の電位差  $V_D - V_S$  に対する出力電位差  $V_O - V_S$  の測定結果を示す図である。

【図 7】図 5 A に対応する本発明の第 1 の実施例の N M O S F E T 構成の半導体装置の測

50

定回路において、絶対温度  $T$  をパラメータとした場合の電位差  $V_D - V_S$  に対する消費電流  $I_D$  の測定結果を示す図である。

【図 8】図 5 A に対応する本発明の第 1 の実施例の N M O S F E T 構成の半導体装置の測定回路において、絶対温度  $T$  に対する出力電位差  $V_O - V_S$  の理論特性と測定結果を示す図である。

【図 9】図 9 A は、図 1 A に対応する本発明の第 1 の実施例の N M O S F E T 構成の半導体装置において、 $V_C = V_B = V_S$  とした場合の回路構成例である。図 9 B は、図 1 B に対応する本発明の第 1 の実施例の P M O S F E T 構成の半導体装置において、 $V_C = V_B = V_S$  とした場合の回路構成例である。図 9 C は、図 1 A に対応する本発明の第 1 の実施例の N M O S F E T 構成の半導体装置において、 $V_C = V_O$ 、 $V_B = V_S$  とした場合の回路構成例である。図 9 D は、図 1 B に対応する本発明の第 1 の実施例の P M O S F E T 構成の半導体装置において、 $V_C = V_O$ 、 $V_B = V_S$  とした場合の回路構成例である。

【図 10】図 9 A に対応する本発明の第 1 の実施例の N M O S F E T 構成の半導体装置の回路構成例において、絶対温度  $T$  に対する出力電位差  $V_O - V_S$  の理論特性と測定結果を示す図である。

【図 11】図 11 A は、図 1 A に対応する本発明の第 1 の実施例の N M O S F E T 構成の半導体装置を縦続接続して大きな正の温度係数を実現する回路構成例である。図 11 B は、図 1 B に対応する本発明の第 1 の実施例の P M O S F E T 構成の半導体装置を縦続接続して大きな負の温度係数を実現する回路構成例である。

【発明を実施するための形態】

【0010】

本発明の実施の形態に係る半導体装置及びその駆動方法を述べる。本発明は、直列に接続された同一構造・同一ゲートバイアス条件・同一基板バイアス条件が与えられた 2 つのソース側 M O S F E T とシンク側 M O S F E T を拡散電流でモデル化される動作領域で動作させ、かつ、ソース側 M O S F E T のゲート端子をダイオード接続することなくバイアスすることにより、微小電圧から幅広い電源電圧範囲で動作可能で、電源電圧の変動に対して不感な P T A T 基準電圧源を創作したものである。

【0011】

詳しく述べると、同一構造を持つ 2 つのソース側 M O S F E T とシンク側 M O S F E T を、ソース側 M O S F E T のソース端子とシンク側 M O S F E T のドレイン端子を直列接続し、直列接続された 2 つの M O S F E T のゲート端子を共通に接続するとともに、直列接続された 2 つの M O S F E T の基板端子を共通に接続する。直列接続された 2 つの M O S F E T において共通に接続されたゲート端子は、ソース側 M O S F E T のドレイン端子とは独立に電位を与える構成となっている。ソース側の M O S F E T のドレイン端子電圧が変動しても、2 つの M O S F E T の動作領域は M O S F E T におけるゲート端子 基板端子間電圧により決定されるために、動作領域が M O S F E T のしきい電圧に制限されず、幅広い駆動電源電圧下で拡散電流モデルに基づく動作領域での動作が可能となる。直列接続された 2 つの M O S F E T におけるゲート端子のバイアスの条件は、M O S F E T のゲート領域直下のチャンネル領域表面がフラットバンド状態から反転層が生じない動作領域を満たし拡散電流が流れるような電圧の範囲でバイアスする。直列接続された 2 つの M O S F E T におけるゲート端子に汎用 C M O S 回路におけるクロックを入力した場合には、クロック電圧が先に示すバイアス条件を満たす時間において本発明の駆動状態となる。直列接続された 2 つの M O S F E T における基板端子のバイアスの条件は、シンク側 M O S F E T のソース端子に接続された p n 接合を弱い順方向バイアスから逆方向バイアスまで（零バイアスを含む）バイアスする電圧の範囲で設定する。さらに、基板端子のバイアス電圧を調整することにより、半導体装置の消費電流を調整するとともに、半導体装置の動作速度を制御することが可能となる。拡散電流モデルに基づく動作領域で動作する M O S F E T のモデル式では、M O S F E T のドレイン電流特性は、しきい電圧を用いることなく、ゲート端子、ソース端子、ドレイン端子、基板端子の 4 端子の電圧によって決まる指数特性の組み合わせで表現されている。本発明の半導体装置及びその駆動方法に拡散電流

モデルを適用して解析することにより、シンク側MOSFETのドレイン端子とソース側MOSFETのソース端子の接続点の電位が、シンク側MOSFETのソース電圧を基準として絶対温度に比例した出力電圧となることが理論的に導かれる。さらに、出力電圧の絶対温度に対する比例係数は、シンク側MOSFETのチャネル形状比に対するソース側MOSFETのチャネル形状比を $m$ 倍とした場合に、 $k/q \times \ln(m+1)$ となる。ここで、 $k$ はボルツマン定数、 $q$ は電気素量である。出力電圧の絶対温度に対する比例係数は、製造工程における各種パラメータおよび指数動作状態における傾斜係数 $n$ を含まず、物理定数およびMOSFETのチャネル形状によって決定されるため、製造工程における各種パラメータの変動に影響されず、かつ、MOSFETのチャネル形状により正確に設計可能である。また、本発明の基準電圧源は、シンク側MOSFETのソース端子を基準にしたソース側MOSFETのドレイン端子の電圧の変動に対して、シンク側MOSFETのドレイン端子とソース側MOSFETのソース端子の接続点の電圧は影響を受けないため、高い電源電圧変動除去比を有する。

#### 【実施例】

##### 【0012】

図面につき本発明の実施例を示す。図1Aは拡散電流を流す半導体素子として反転層が形成されない動作状態のNMOSFETを用いて構成した本発明のPTAT基準電圧源の回路図である。MOSFETのチャネル形状比以外の設計パラメータおよび製造工程のパラメータを等しく設定し製作された同一の構造を持つソース側NMOSFET( $Mn2$ )とシンク側NMOSFET( $Mn1$ )を、 $Mn2$ のソース端子と $Mn1$ のドレイン端子をつなぎ、直列接続された2つのMOSFETのゲート端子を共通に接続するとともに、直列接続された2つのMOSFETの基板端子を共通に接続する。 $Mn2$ のソース端子を構成する $n$ 形不純物半導体と $Mn1$ のドレイン端子を構成する $n$ 形不純物半導体領域が同一の不純物濃度を持つとき、すなわち、同一のプロセスパラメータを持つときは、 $Mn2$ のソース端子と $Mn1$ のドレイン端子を共有し1つの $n$ 形不純物半導体領域で構成することができる。直列接続された2つのMOSFETにおいて共通に接続されたゲート端子は、 $Mn2$ のドレイン端子とは独立に電位を与える構成となっている。 $Mn1$ と $Mn2$ のMOSFETのチャネル形状比は、チャネル幅 $W$ とチャネル長 $L$ をそれぞれ与えることで、 $Mn1$ については $Wn1/Ln1 = mn1$ 、 $Mn2$ については $Wn2/Ln2 = mn2$ の形状比に設計し、 $mn1$ に対する $mn2$ の比が $m$ となるように調整する。また、 $Mn1$ と $Mn2$ のチャネル長 $Ln1$ と $Ln2$ を同一に設計することで、チャネル長に関わる非線形要素を低減することができる。さらに、 $m$ を整数とする場合は、 $Mn1$ と同一形状のMOSFETを $m$ 個並列に接続して、 $Mn2$ のMOSFETを並列接続された $m$ 個のMOSFETで設計することで、製造工程におけるチャネル形状の加工誤差による影響を低減し正確に $m$ を定めることが可能である。

##### 【0013】

図3Aは、図1Aに示すPTAT基準電圧源をMOSFETを用いて構成した場合の模式的な構造断面図である。出力端子22に接続される $n$ 形高濃度半導体領域2は便宜上1つの $n$ 形高濃度半導体領域2で構成した例を示しているが、同濃度の2つの $n$ 形高濃度半導体領域に分割して構成することもできる。図3Bは、図1Bに示すPTAT基準電圧源をMOSFETを用いて構成した場合の模式的な構造断面図である。出力端子22に接続される $p$ 形高濃度半導体領域12は便宜上1つの $p$ 形高濃度半導体領域12で構成した例を示しているが、同濃度の2つの $p$ 形高濃度半導体領域に分割して構成することもできる。図3Cは、図1Aに示すPTAT基準電圧源をMOSFETを用いてSOI基板上に構成した場合の模式的な構造断面図である。図3Dは、図3Cの模式的な上面図である。図3Eは、図1Bに示すPTAT基準電圧源をMOSFETを用いてSOI基板上に構成した場合の模式的な構造断面図である。

##### 【0014】

拡散電流を流す半導体素子として、反転層を形成しないMOSFETと同様にラテラルバイポーラトランジスタが知られている。そして、MOSFETのソース端子をラテラル

10

20

30

40

50

バイポーラトランジスタのエミッタ端子に、MOSFETのドレイン端子をラテラルバイポーラトランジスタのコレクタ端子に、MOSFETの基板端子をラテラルバイポーラトランジスタのベース端子にそれぞれ対応させると、図1Aに示される半導体装置は、図2Aのように半導体素子としてラテラルバイポーラトランジスタを利用した回路において、同じ動作理論で動作し同じ出力電圧を生成するPTAT基準電圧源を構成できる。この場合は、ゲート端子を持たない。同様に、図1Bに示される半導体装置は、図2Bのように半導体素子としてラテラルバイポーラトランジスタを利用した回路において、同じ動作理論で動作し同じ出力電圧を生成するPTAT基準電圧源を構成できる。図3Fは、図1Aに示すPTAT基準電圧源をラテラルバイポーラトランジスタを用いてSOI基板上に構成した場合の模式的な構造断面図である。拡散電流を流すMOSFETの代わりにラテラルバイポーラトランジスタを用いた場合は、シンク側半導体素子のゲート領域14、ソース側半導体素子のゲート領域15及びゲート端子24を持たない。図3Gは、図3Fの模式的な上面図である。図3Hは、図1Aに示すPTAT基準電圧源をラテラルバイポーラトランジスタを用いてSOI基板上に構成した場合の模式的な構造断面図である。図3Fと同様に、拡散電流を流すMOSFETの代わりにラテラルバイポーラトランジスタを用いた場合は、シンク側半導体素子のゲート領域14、ソース側半導体素子のゲート領域15及びゲート端子24を持たない。

10

## 【0015】

ここで、Mn1とMn2のゲート端子(VC)には、Mn1とMn2のMOSFETのゲート領域直下のチャンネル領域がフラットバンド状態から反転層が形成されない動作領域を満たす範囲の電圧を印加する。Mn1とMn2の基板端子(VB)には、Mn1のソース側pn接合がわずかに順方向バイアスされる動作領域から逆方向バイアスされる動作領域となる電圧の範囲(零バイアスを含む)で基板端子電圧を印加する。Mn1のソース端子(VS)とMn2のドレイン端子(VD)間には、VSを基準としてVDが正となる方向に電位差VD - VSを与える。VSを基準としたVDの電位差は、VSを基準としたMn1のドレイン端子に接続された出力端子(VO)の電位差VO - VSよりも0.1V程度以上大きく与える。この結果、VSを基準としたMn1のドレイン端子に接続された出力端子の電位差VO - VSは絶対温度に比例し、 $VO - VS = kT / q \times \ln(m + 1)$ となる。ここで、kはボルツマン定数、Tは絶対温度、qは電気素量である。

20

## 【0016】

次に、反転層が形成されないMOSFETのドレイン電流特性をあらわす拡散電流モデルを用いて本発明のPTAT回路の動作特性を説明する。単体の4端子MOSFETが弱反転領域で動作するとき、ドレイン電流は、ゲート近傍領域におけるソース端pn接合及びドレイン端pn接合からのキャリア注入による拡散電流としてモデル化され、4つの端子の電圧VG、VB、VS、VDを用いて、

$$I_D = I_0 \left( \exp\left(\frac{q \cdot (r(V_G - V_B) - (V_S - V_B))}{kT}\right) - \exp\left(\frac{q \cdot (r(V_G - V_B) - (V_D - V_B))}{kT}\right) \right) \quad (1)$$

と表される。ここで、rはゲート領域に印加する電圧に対してMOSFETのチャンネル領域の表面ポテンシャルが変化する割合を表すゲート電圧の劣化係数であり、汎用プロセスで作成されるMOSFETでは、0.5から0.9程度の値を持つ。I0は、 $A \cdot q \cdot D_n \cdot n_{p0} / L$ と表され、AはMOSFETのチャンネル領域に接する2つのpn接合側面領域の実効的な接合断面積、Dnは電子の拡散係数、np0はNMOSFETのチャンネル領域を構成するp形基板の電子のキャリア密度、Lはチャンネル領域におけるソース端pn接合からドレイン端pn接合までの長さで、電子の拡散長よりも短いとする。弱反転領域で動作するMOSFETの既存モデルで示されるドレイン電流式におけるMOSFETの基板効果による変動要素は、式(1)のモデルにおいては、MOSFETにおけるドレイン電流を、4端子の電圧を基板電位を基準とした3対の端子間電圧VG - VB、VS - VB、VD - VBを用いて定義することにより、しきい電圧を用いることなくモデル化されている。Mn1のドレイン電流は、式(1)を用いて表すと、

$$I_{n1} = m_{n1} \cdot I_0 \cdot \exp\left(\frac{q \cdot (rVC + (1 - r)VB)}{kT}\right)$$

30

40

50

$$\cdot (\text{EXP}(-q \cdot V_S / kT) - \text{EXP}(-q \cdot V_O / kT)), \quad (2)$$

と表される。Mn2のドレイン電流は、式(1)を用いて表すと、

$$I_{n2} = m_{n2} \cdot I_0 \cdot \text{EXP}(q \cdot (rV_C + (1-r)V_B) / kT)$$

$$\cdot (\text{EXP}(-q \cdot V_O / kT) - \text{EXP}(-q \cdot V_D / kT)), \quad (3)$$

と表される。式(3)において、第1項に対して第2項が十分に小さくなる時、式(3)は、

$$I_{n2} = m_{n2} \cdot I_0 \cdot \text{EXP}(q \cdot (rV_C + (1-r)V_B) / kT)$$

$$\cdot \text{EXP}(-q \cdot V_O / kT), \quad (4)$$

と書き換えられる。ここで、出力端子から流れ出る電流が十分に小さい場合、

$$I_{n1} = I_{n2}, \quad (5)$$

となる。式(2)および式(4)における  $I_0 \cdot \text{EXP}(q \cdot (rV_C + (1-r)V_B) / kT)$  の項は、Mn1およびMn2に inputsするゲート電圧  $V_C$  及び基板電圧  $V_B$  をそれぞれ共通にして与え、Mn1とMn2の製造工程におけるパラメータを一致させて同一の構造を持たせることで、同じ値になるよう設定する。式(2)、式(4)、式(5)より、

$$(m+1) \text{EXP}(-q(V_O - V_S) / kT) = 1 + \text{EXP}(-q(V_D - V_S) / kT), \quad (6)$$

となる。ここで、 $m$ は  $m_{n1}$  に対する  $m_{n2}$  の比を表している。式(6)右辺において第1項に対して第2項が十分に小さくなる時、

$$V_O - V_S = kT / q \cdot \ln(m+1), \quad (7)$$

の正のPTAT特性が導かれる。絶対温度  $T$  に対する温度係数は、物理定数  $k$ 、 $q$  と  $Mn1$  に対する  $Mn2$  のチャネル形状比の比  $m$  によって正確に決定される。

式(3)において、第1項に対して第2項が十分に小さくなるための条件を考える。第1項に対する第2項の相対誤差は、

$$= \text{EXP}(-q(V_D - V_O) / kT), \quad (8)$$

と表される。第1項に対する第2項の相対誤差が十分に小さく無視できる場合の最大誤差を  $neg$  とし、 $neg$  を式(8)と同様の関数系を用いて表わすと、

$$neg = \text{EXP}(-q \cdot V_{neg} / kT), \quad (9)$$

と表わされる。ここで、 $V_{neg}$  は、式(9)において最大誤差  $neg$  を与える誤差電圧の換算電圧値である。第1項に対する第2項の相対誤差が十分に小さく無視できるため

$$neg, \quad (10)$$

を満足すればよい。たとえば、 $neg = 0.02$  ならば、 $T = 300K$  で  $V_{neg} = 0.1V$  ( $4 \cdot kT / q$ ) となる。式(8)、(9)、(10)より、式(3)が式(4)に近似できる  $V_D$  の範囲は、

$$V_D = V_O + V_{neg}, \quad (11)$$

と与えられる。同様に、式(6)が式(7)に近似できる  $V_D$  の範囲は、

$$= \text{EXP}(-q(V_D - V_S) / kT), \quad (12)$$

とにおいて、式(9)、(10)を用いることにより、

$$V_D = V_S + V_{neg}, \quad (13)$$

と与えられる。ここで、 $V_O$  は  $V_S$  より大きいので、式(13)の条件は式(11)の条件に内包されるため、式(7)を導くための近似が成り立つには、 $V_D$  の電圧が式(11)を満足すればよい。

#### 【0017】

次に、提案回路の動作領域について考える。弱反転領域でMOSFETが動作するために、2つのMOSFETの基板電圧  $V_B$  を基準としたゲート電圧  $V_C - V_B$  は、

$$V_C - V_B = V_{tn}, \quad (14)$$

を満たす必要がある。ここで、 $V_{tn}$  はNMOSFETのチャネル領域に反転層が形成される電圧である。また、弱反転領域でMOSFETが動作するMOSFETのドレイン電流が基板電圧  $V_B$  を基準としたゲート電圧  $V_C - V_B$  により制御可能なためには、

10

20

30

40

50



$V_C - V_B = V_{fn}$ 、 (15)  
 を満たす必要がある。ここで、 $V_{fn}$ はNMOSEFETのチャネル領域がフラットバンド状態になる電圧である。また、式(7)が成り立つための近似条件として式(11)を満足する必要がある。 $M_{n1}$ のソース端子電圧 $V_S$ を基準にした $M_{n2}$ のドレイン電圧 $V_D - V_S$ と $M_{n1}$ のソース端子電圧 $V_S$ を基準にした出力電圧 $V_O - V_S$ の関係に対する $M_{n2}$ の動作領域を図4に示す。 $M_{n1}$ のソース端子電圧 $V_S$ を基準にした出力電圧 $V_O - V_S$ の特性を実線で示す。ある絶対温度におけるPTAT電圧 $V_{pm}$ は、温度の上昇とともに $V_{pmH}$ に上昇し、温度の低下とともに $V_{pmL}$ へと低下する。本発明のPTAT回路を動作させるために必要な最小の電位差 $V_D - V_S$ ( $V_{Dmin}$ とする)は、式(11)より高温時のPTAT電圧 $V_{pmH}$ を用いて、 $V_{Dmin} = V_{pmH} + V_{neg}$ と求められる。十分に長いチャネル長をもつMOSEFETを用いるとき、 $V_{Dmin}$ 以上の電圧 $V_D$ に対して、電源電圧に依存しないPTAT電圧を発生することができる。消費電流は、式(2)、(4)に示されるように、 $V_C$ 及び $V_B$ により式(7)の関係と独立に制御でき、安定したPTAT電圧が得られる。

10

## 【0018】

拡散電流を流す半導体デバイスとしてラテラルバイポーラトランジスタを用いた場合も、拡散電流を流すMOSEFETを用いて構成した場合と同じ原理に従って動作するために、同様に式(7)のPTAT特性が得られる。動作条件も拡散電流を流すMOSEFETを用いて構成した場合と同様に式(11)を満足すればよい。

20

## 【0019】

図1Aに示されるPTAT回路の測定回路として、 $0.18\mu m_n$ -ウエルCMOSプロセスで試作した図1Aに示されるPTAT回路に図5Aに示すような直流電源を接続した場合の測定結果について述べる。図5AのPTAT回路において、 $V_S = 0V$ 、 $V_B = 0V$ 、 $V_C = 0.2V$ 、 $m = 10$ ( $W_{n1}/L_{n1} = 3\mu m/10\mu m$ 、 $W_{n2}/L_{n2} = 30\mu m/10\mu m$ )を与えた場合において、 $M_{n1}$ のソース端子電圧 $V_S$ を基準にした $M_{n2}$ のドレイン電圧 $V_D - V_S$ と $M_{n1}$ のソース端子電圧 $V_S$ を基準にした出力電圧 $V_O - V_S$ の関係を図6に示す。絶対温度 $T$ をパラメータとして、絶対温度 $278K$ から $400K$ まで測定した。 $V_C$ には、式(14)と式(15)の条件を満足する電圧を与えている。PTAT電圧 $V_{pm}$ は、絶対温度の変化に対して、ほぼ、等間隔に平行移動している。 $T = 400K$ におけるPTAT電圧 $V_{pmH}$ は、 $0.088V$ である。PTAT基準電圧源を動作させるために必要な最小の電位差 $V_{Dmin}$ は、 $V_{Dmin} = 0.188V$ である。駆動電圧 $V_D - V_S$ が $0.2V$ から $1.8V$ の範囲で、 $V_D - V_S$ によらず平均的に一定の出力電圧が得られ、 $T = 300K$ において $V_D - V_S$ が $1V$ 変動した場合に出力電圧 $V_O - V_S$ は $0.3mV$ のわずかな変動にとどまっており、この値から求めた電源電圧変動除去比は $-70dB$ である。微小電源電圧から広い電源電圧範囲にわたって動作が可能であり、集積回路上で電源電圧の変動に対して不感なバイアス電圧回路を実現している。図5Aに示されるPTAT回路の測定回路における、 $V_D - V_S$ に対する消費電流 $I_D$ を図7に示す。絶対温度 $T$ が $278K$ から $400K$ まで変化するとき、消費電流は $100pA$ から $8nA$ まで変化し、低消費電流で動作している。図5AのPTAT回路において、 $V_S = 0V$ 、 $V_B = 0V$ 、 $V_C = 0.2V$ 、 $V_D = 0.5V$ 、 $m = 50$ 、 $10$ 、 $1$ を与えた場合において、絶対温度と $M_{n1}$ のソース端子電圧 $V_S$ を基準にした出力電圧 $V_O - V_S$ の関係を図8に示す。 $M_{n1}$ に対する $M_{n2}$ のチャネル形状比の比 $m$ を $m = 50$ 、 $m = 10$ 、 $m = 1$ としたときの測定値をそれぞれ、印、印、印で示している。また、 $M_{n1}$ に対する $M_{n2}$ のチャネル形状の比 $m$ を $m = 50$ 、 $m = 10$ 、 $m = 1$ としたときの式(7)に対応する計算値をそれぞれ破線、実線、点線で示している。印は、 $V_B$ を変更して $V_B = 0.2V$ として、測定した結果を示している。 $T = 300K$ (室温)のときの計算値は、 $m = 50$ のとき $V_O - V_S = 102mV$ 、 $m = 10$ のとき $V_O - V_S = 62mV$ 、 $m = 1$ のとき $V_O - V_S = 18mV$ となる。測定結果は計算結果とよく一致し、出力電圧は絶対温度 $T$ に比例しており、本発明の半導体装置は、PTAT基準電圧源として正確に動作している。

30

40

50

## 【 0 0 2 0 】

上記例の変形として、PMOSFETを用いて構成したPTAT基準電圧源の回路図を図1Bに示す。NMOSFETを用いたPTAT回路と同様の解析を行うことにより、

$$V_O - V_S = -kT/q \cdot \ln(m+1), \quad (16)$$

となり、負のPTAT特性が導かれる。PMOSFETを用いた構成では、Mn1のソース端子(VS)とMn2のドレイン端子(VD)間には、VSを基準としてVDが負となる方向に電位差VD - VSを与える。このとき、式(16)が成り立つための条件は、NMOSFETと同様の解析を行うことにより、

$$V_D - V_O - V_{neg}, \quad (17)$$

と与えられる。

10

## 【 0 0 2 1 】

次に、動作領域について考える。弱反転領域でMOSFETが動作するために、2つのMOSFETの基板電圧VBを基準としたゲート電圧VC - VBは、

$$V_C - V_B = V_{tp}, \quad (18)$$

を満たす必要がある。ここで、Vtp (Vtp < 0)はPMOSFETのチャネル領域に反転層が形成される電圧である。また、弱反転領域で動作するMOSFETのドレイン電流が基板電圧VBを基準としたゲート電圧VC - VBにより制御可能なためには、

$$V_C - V_B = V_{fp}, \quad (19)$$

を満たす必要がある。ここで、VfpはNMOSFETのチャネル領域がフラットバンド状態になる電圧である。また、式(16)が成り立つための近似条件として式(17)を満足する必要がある。図5Aに対応するPMOSFET構成の回路における直流電圧の接続例を図5Bに示す。

20

## 【 0 0 2 2 】

拡散電流を流す半導体デバイスとしてラテラルバイポーラトランジスタを用いた場合も、拡散電流を流すMOSFETを用いて構成した場合と同じ原理に従って動作するために、同様に式(16)のPTAT特性が得られる。動作条件も拡散電流を流すMOSFETを用いて構成した場合と同様に式(17)を満足すればよい。

## 【 0 0 2 3 】

上記半導体装置を用いた駆動方法の一例として、VCとVSを接続するとともに、VBとVSを接続することにより、1個の外部バイアス電源のみで駆動可能なNMOSFET構成のPTAT回路を図9Aに示す。式(7)に示されるPTAT電圧を発生する。動作条件は、式(11)のみで決定される。図9AのPTAT回路について、VD = 0.5V、VS = 0.0V、m = 1 (Wn1 / Ln1 = 3 μm / 10 μm、Wn2 / Ln2 = 3 μm / 10 μm)を与えた場合において、絶対温度TとMn1のソース端子電圧VSを基準にした出力電圧VO - VSの関係を図10に示す。Mn1に対するMn2のチャネル形状比の比mをm = 1としたときの測定値を印で示している。また、Mn1に対するMn2のチャネル形状比の比mをm = 1としたときの式(7)に対応する計算値を実線で示している。測定結果は計算結果とよく一致し、出力電圧は絶対温度Tに比例している。

30

## 【 0 0 2 4 】

他の駆動方法の一例として、VCとVSを接続するとともに、VBとVSを接続することにより、1個の外部バイアス電源のみで駆動可能なPMOSFET構成のPTAT回路を図9Bに示す。式(16)に示されるPTAT電圧を発生する。動作条件は、式(17)のみで決定される。別の駆動方法の一例として、VCとVOを接続するとともに、VBとVSを接続することにより、1個の外部バイアス電源のみで駆動可能なNMOSFET構成のPTAT回路を図9Cに示す。式(7)に示されるPTAT電圧を発生する。動作条件は、式(11)及び、

40

$$V_O - V_S = V_{tn}, \quad (20)$$

で決定される。上記例の変形における駆動方法の一例として、VCとVOを接続するとともに、VBとVSを接続することにより、1個の外部バイアス電源のみで駆動可能なPMOSFET構成のPTAT回路を図9Dに示す。式(16)に示されるPTAT電圧を

50

生ずる。動作条件は、式(17)及び、

$$V_O - V_S = V_{tp}, \quad (21)$$

で決定される。これらの例では、1つの電源でPTAT電圧を発生できるという利点を持つ。

#### 【0025】

また、別の変形として、N個のPTAT回路のVD、VC、VBをそれぞれ共通に接続し、k=1からk=N-1までk段目のPTAT回路の出力端子VOkをk+1段目のPTAT回路のソース端子VS(k+1)に接続することでN段のPTAT回路を縦続接続し、初段のソース端子VS1をVSとし、N段目の出力をVONとしたNMOSFET構成のPTAT回路を図11Aに示す。m1~m2Nは、それぞれ、Mn1~Mn2Nに対応するMOSFETのチャンネル形状比を表している。同様の解析を行うことにより、たとえば、m2=m4=...m2(N-1)-1=m-1、m2N=m+1、m1=m3=...m2N-1=1、m1/mと設計した場合、

$$V_{ON} - V_S = N \cdot kT / q \cdot \ln(m+1), \quad (22)$$

と与えられる。N倍された大きな温度係数を実現する場合に有効な構成である。動作条件は、

$$V_D = V_{ON} + V_{neg}, \quad (23)$$

と与えられる。N個のPTAT回路のVD、VC、VBをそれぞれ共通に接続し、k=1からk=N-1までk段目のPTAT回路の出力端子VOkをk+1段目のPTAT回路のVS(k+1)に接続することでN段のPTAT回路を縦続接続し、初段のソース端子VS1をVSとし、N段目の出力をVONとしたPMOSFET構成のPTAT回路を図11Bに示す。m1~m2Nは、それぞれ、Mp1~Mp2Nに対応するMOSFETのチャンネル形状比を表している。同様の解析を行うことにより、たとえば、m2=m4=...m2(N-1)-1=m-1、m2N=m+1、m1=m3=...m2N-1=1、m1/mと設計した場合、

$$V_{ON} - V_S = -N \cdot kT / q \cdot \ln(m+1), \quad (23)$$

と与えられる。N倍された大きな温度係数を実現する場合に有効な構成である。動作条件は、

$$V_D = V_{ON} - V_{neg}, \quad (24)$$

と与えられる。

#### 【0026】

以上述べたように、本発明によれば、比例係数を正確に設計可能でかつ絶対温度に比例するとともに、電源電圧の変動に不感な電圧を集積回路上で発生することが可能になる。微細なMOSFETを拡散電流でモデル化される領域で動作させているので、最低動作電源電圧は0.2V程度ときわめて低い電源電圧での動作が可能であり、消費電力がきわめて小さいとともに、設計面積が極めて小さい。また、形状比が異なる複数のMOSFETで得られる拡散電流の比により、温度に比例した出力電圧を決定しているために、製造プロセスにおけるパラメータの変動に依存しない特性を実現している。したがって、太陽電池等の微弱かつ不安定な電源で駆動できるオンチップに集積可能なPTAT回路を実現できるとともに、汎用集積回路に搭載してオンチップで温度検出を行う応用回路およびバイアス電圧回路に幅広く適応できる。さらに、本発明のPTAT電圧源は、温度依存性の異なる回路と組み合わせることで、温度に依存しない基準電圧源を得る用途に幅広く利用できる。

#### 【産業上の利用可能性】

#### 【0027】

本発明では、低い電源電圧で駆動でき、かつ、電源電圧の変動に対して安定な電圧を生成するとともに、電圧の温度係数が製造工程におけるパラメータの変動に影響されにくく、電圧の温度係数がMOSFETの形状により集積回路上に正確に設計可能な、PTAT電圧生成のための半導体装置として使用され得る。PTAT基準電圧源は、近年の微細化されたCMOSプロセスのもとで、低電源電圧駆動が可能な集積型基準電圧発生回路、集

10

20

30

40

50

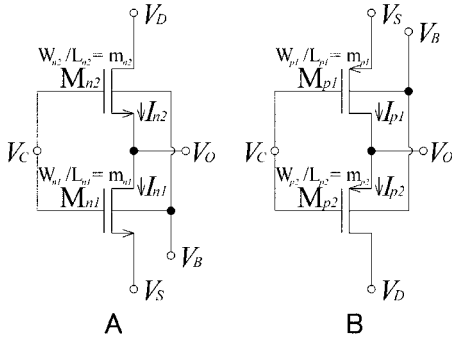
積型温度検出器等を構成する場合の必須回路として利用される。また、本発明の半導体装置は、集積回路上において電源電圧の変動に不感な微小バイアス電圧回路としても幅広く使用され得る。

【符号の説明】

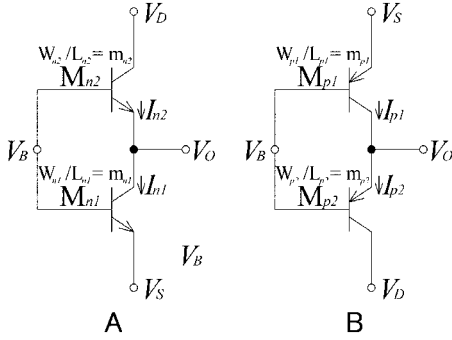
【0028】

1	..... n形高濃度半導体領域	
2	..... n形高濃度半導体領域	
3	..... n形高濃度半導体領域	
6	..... p形高濃度半導体領域	
7	..... p形高濃度半導体領域	10
8	..... p形半導体領域	
9	..... p形半導体領域	
11	..... p形高濃度半導体領域	
12	..... p形高濃度半導体領域	
13	..... p形高濃度半導体領域	
14	..... シンク側半導体素子のゲート領域	
15	..... ソース側半導体素子のゲート領域	
16	..... n形高濃度半導体領域	
17	..... n形高濃度半導体領域	
18	..... n形半導体領域	20
19	..... n形半導体領域	
21	..... シンク側半導体素子ソース端子	
22	..... 出力端子	
23	..... ソース側半導体素子ドレイン端子	
24	..... ゲート端子	
25	..... 絶縁皮膜	
26	..... 絶縁層	
27	..... 基板端子	
28	..... 絶縁層	
29	..... 絶縁層	30

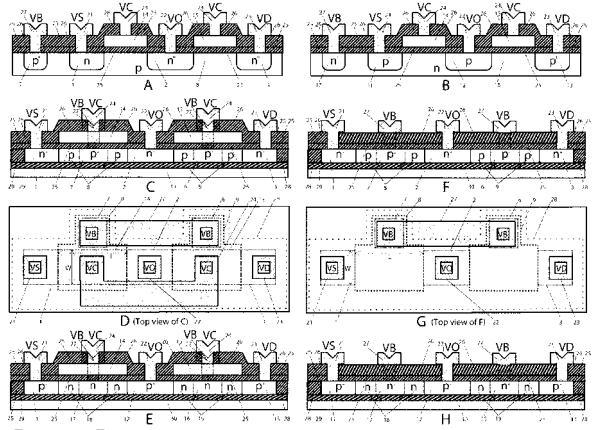
【 図 1 】



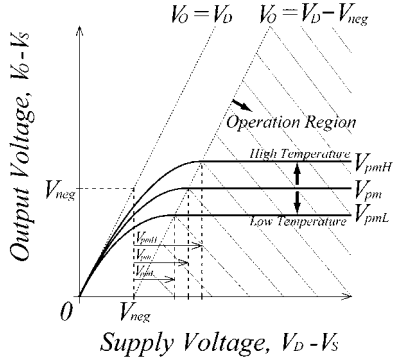
【 図 2 】



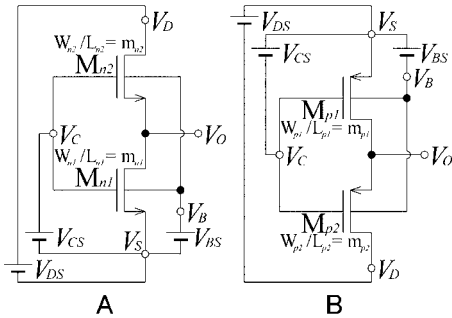
【 図 3 】



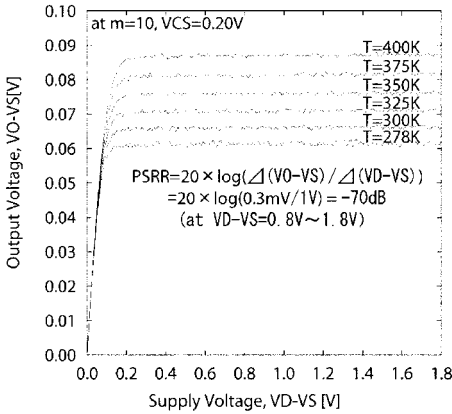
【 図 4 】



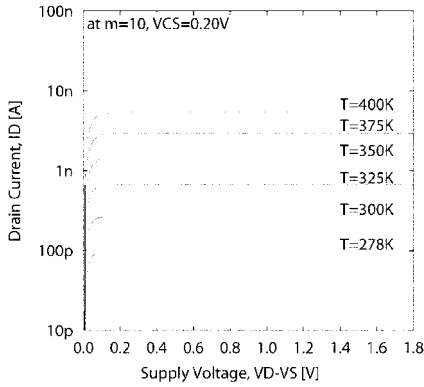
【 図 5 】



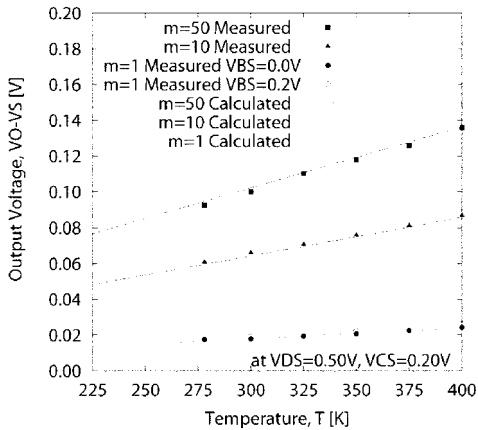
【 図 6 】



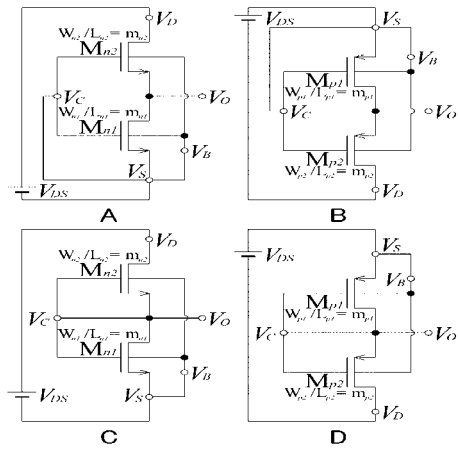
【 図 7 】



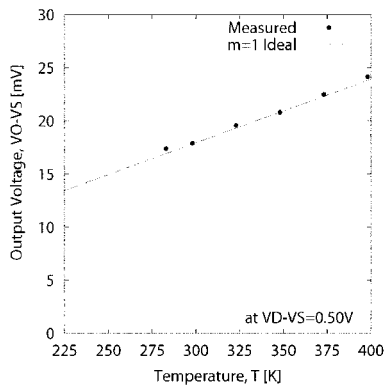
【 図 8 】



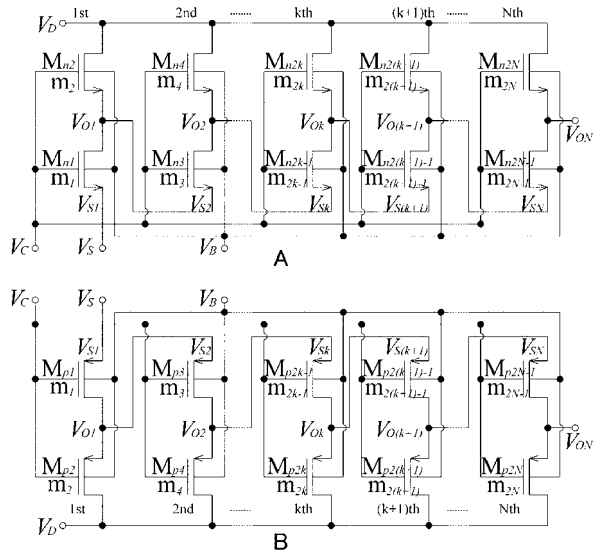
【 9 】



【 10 】



【 11 】



---

フロントページの続き

- (56)参考文献 特開2005 - 134939 (JP, A)  
特開昭62 - 239216 (JP, A)  
特開2005 - 222301 (JP, A)  
特開昭62 - 208704 (JP, A)  
特開平08 - 065063 (JP, A)  
特開平02 - 253319 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G05F 3/22 - 3/24