

(19)日本国特許庁(J P)

(12)特許公報(B 1)

(11)特許番号

第2916620号

(45)発行日 平成11年(1999) 7月 5日

(24)登録日 平成11年(1999) 4月23日

(51)Int.Cl.⁶ 識別記号
H04N 5/335
H01L 27/146

F I
H04N 5/335 Z
H01L 27/14 A

請求項の数 2 (全 8 頁)

(21)出願番号 特願平10 - 69994

(22)出願日 平成10年(1998) 3月19日

審査請求日 平成10年(1998) 3月19日

(73)特許権者 391012327

東京大学長
東京都文京区本郷 7 丁目 3 番 1 号

(72)発明者 相澤 清晴
東京都文京区千石 3 - 14 - 5 - 303

(72)発明者 大塚 康弘
千葉県千葉市花見川区花園町2445 - 29

(74)代理人 弁理士 杉村 暁秀 (外 8 名)

審査官 菅原 道晴

(56)参考文献 特開 平 9 - 200629 (J P , A)
特開 平 6 - 113206 (J P , A)
特開 平 5 - 130519 (J P , A)

(58)調査した分野(Int.Cl.⁶, D B 名)
H04N 5/30 - 5/335

(54)【発明の名称】サンプリング制御機構搭載型イメージセンサ

1

(57)【特許請求の範囲】

【請求項 1】 センサ上にサンプリング制御機能を統合したサンプリング制御機構搭載型イメージセンサであって、
アレイ状に配置された多数の画素回路より成るセンサ部と、
前記画素回路の画素値の読み出しのための 2 値データを保持するためのメモリ回路であって、前記画素回路と同数のアレイ状に配置されたメモリ回路より成るメモリ部と、
サンプル選択信号に応じて前記メモリ回路へ読み出しパターン作成用の 2 値データを書き込む第 1 水平シフトレジスタと、
前記メモリ回路に保持された 2 値データの読み出し信号および書き込み信号を出力する第 1 垂直シフトレジスタ

2

と、
前記第 1 垂直シフトレジスタと同期駆動され、前記画素回路に画素値の読み出し信号およびリセット信号を出力する第 2 垂直シフトレジスタと、
前記メモリ回路に保持された 2 値データに基づいて選択された画素値を出力するための第 2 水平シフトレジスタと、
全画素値を出力するための第 3 水平シフトレジスタと、
前記メモリ回路に保持された 2 値データに基づいて前記第 2 および第 3 水平シフトレジスタの何れか一方から画素値を読み出す制御を行うスイッチ部とを具備して成ることを特徴とするサンプリング制御機構搭載型イメージセンサ。

【請求項 2】 前記メモリ回路は、3 個の NMOS スイッチと、電気エネルギー蓄積素子と、インバータとから

10

成ることを特徴とする請求項 1 記載のサンプリング制御機構搭載型イメージセンサ。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】本発明は、例えばロボットビジョンシステムの開発を目的とする分野や、画像計測の分野等において利用することができる、センサ上にサンプリング制御機能を統合したサンプリング制御機構搭載型イメージセンサに関するものである。

【 0 0 0 2 】

【従来の技術】センサ上に信号処理機能を統合したイメージセンサに関する従来技術としては、例えば、ランダムアクセス機構搭載型イメージセンサ、スキップアクセス機構またはブロックアクセス機構搭載型イメージセンサ、極座標型サンプリングイメージセンサがある。

【 0 0 0 3 】ランダムアクセス機構搭載型イメージセンサは、図 8 の概略図に示すように、イメージングセルアレー 5 1 と、行デコーダ 5 2 と、列デコーダ 5 3 と、コラムセクタ 5 4 と、出力部 5 5 とから成る。このイメージセンサでは、イメージングセルアレー 5 1 上の画素の座標をアレーの外部から行および列で指定入力し、行デコーダ 5 2 からの指定入力値 r および列デコーダ 5 3 からの指定入力値 c を座標に変換することにより、指定座標の画素値を読み出すことができる。このイメージセンサを用いるシステムにおいては、1 画素単位のアクセスが原則であり、画素の読み出しには常にアドレス情報が必要となる。

【 0 0 0 4 】スキップアクセス機構またはブロックアクセス機構搭載型イメージセンサは、基本的には行列単位のアクセスを原則としている。このイメージセンサでは、任意の行および列のアドレスを指定入力することにより、指定された行および列の画素を間引くことができ、それにより任意のブロックの出力が可能となる。また、画素アレーのサブサンプリングを行うことにより、出力画像サイズを縮小することも可能である。しかし、このイメージセンサでは、行列で規定されるブロックよりも小さい単位で出力画像を制御することができない。

【 0 0 0 5 】極座標型サンプリングイメージセンサは、中心部および周辺部がそれぞれ独立したイメージセンサで構成されており、中心部は密に配置した画素により高解像度で撮像し、周辺部は粗に配置した画素により解像度を落として撮像し、それにより人間の中心窩を模倣したサンプリングを可能としている。しかし、画素の配置を固定的にしているため、ビジョンシステムとの統合の際には焦点の移動に対応させるために常にセンサ自体を移動させなければならない。また、このイメージセンサは、中心窩出力のみに用途が限定される点で応用範囲が狭い。

【 0 0 0 6 】

【発明が解決しようとする課題】上記ランダムアクセス

機構搭載型イメージセンサでは、任意に 1 画素単位の出力が可能であるが、出力制御には常に画素アドレス情報の入力が必要となるため、高速アクセスの実現が困難である。

【 0 0 0 7 】上記スキップアクセス機構またはブロックアクセス機構搭載型イメージセンサでは、任意のブロック単位の出力が可能であるが、行列のブロックよりも小さい単位で出力画像を制御することができないため、1 画素単位で任意の粗密制御を行うことができない。

10 【 0 0 0 8 】上記極座標型サンプリングイメージセンサでは、固定的な画素の配置によりサンプリングが固定的になるため、ビジョンシステムにおける利用に際して柔軟性に欠けるとともに、他の用途に関しても中心窩出力のみに用途が限定される点で柔軟性に欠けることになる。

20 【 0 0 0 9 】本発明は、1 画素単位のアクセスやブロック単位のアクセスを可能とするとともに、アドレス情報を常に入力することなく 1 画素単位で任意の粗密制御を実現し得るようにした、高速アクセス可能なサンプリング制御機構搭載型イメージセンサを提供することにより、上述した問題を解決することを第 1 の目的とする。

【 0 0 1 0 】本発明は、人間の中心窩に対応するサンプリングが可能であり、かつビジョンシステム上に統合される場合に撮像面内で焦点の移動が可能であり、さらに中心窩的な出力に限定されない柔軟なサンプリング制御を行い得るようにした、サンプリング制御機構搭載型イメージセンサを提供することにより、上述した問題を解決することを第 2 の目的とする。

【 0 0 1 1 】

30 【課題を解決するための手段】上記第 1 および第 2 の目的のため、本発明は、センサ上にサンプリング制御機能を統合したサンプリング制御機構搭載型イメージセンサであって、アレイ状に配置された多数の画素回路より成るセンサ部と、前記画素回路の画素値の読み出しのための 2 値データを保持するためのメモリ回路であって、前記画素回路と同数のアレイ状に配置されたメモリ回路より成るメモリ部と、サンプル選択信号に応じて前記メモリ回路へ読み出しパターン作成用の 2 値データを書き込む第 1 水平シフトレジスタと、前記メモリ回路に保持された 2 値データの読み出し信号および書き込み信号を出力する第 1 垂直シフトレジスタと、前記第 1 垂直シフトレジスタと同期駆動され、前記画素回路に画素値の読み出し信号およびリセット信号を出力する第 2 垂直シフトレジスタと、前記メモリ回路に保持された 2 値データに基づいて選択された画素値を出力するための第 2 水平シフトレジスタと、全画素値を出力するための第 3 水平シフトレジスタと、前記メモリ回路に保持された 2 値データに基づいて前記第 2 および第 3 水平シフトレジスタの何れか一方から画素値を読み出す制御を行うスイッチ部とを具備して成ることを特徴とするものである。

【 0 0 1 2 】上記において、前記メモリ回路は、3個のNMOSスイッチと、電気エネルギー蓄積素子と、インバータとから成るようにするのが、上記第1および第2の目的を達成するサンプリング制御機構搭載型イメージセンサのメモリ部を構成する上で好ましい。

【 0 0 1 3 】

【作用】本発明によれば、センサ部のアレイ状に配置された多数の画素回路の画素値の読み出しのための、2値データを保持するためのメモリ回路であって、前記画素回路と同数のアレイ状に配置されたメモリ回路より成るメモリ部には、第1水平シフトレジスタによりサンプル選択信号に応じて読み出しパターン作成用の2値データが書き込まれており、第2垂直シフトレジスタからの読み出し信号により前記画素回路から画素値を読み出す際には、前記第2垂直シフトレジスタと同期駆動される第1垂直シフトレジスタからの読み出し信号により前記メモリ回路に保持された2値データが読み出される。スイッチ部は、この2値データに基づいて、選択された画素値を出力するための第2水平シフトレジスタおよび全画素値を出力するための第3水平シフトレジスタの何れか一方から画素値を読み出す制御を行う。

【 0 0 1 4 】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づき詳細に説明する。図1は本発明の第1実施形態のサンプリング制御機構搭載型イメージセンサの全体構成を示す図である。本実施形態のサンプリング制御機構搭載型イメージセンサ（以下、単にイメージセンサという）は、センサ部1、メモリ部2、スマート水平シフトレジスタ（第2水平シフトレジスタ）3、ノーマル水平シフトレジスタ（第3水平シフトレジスタ）4、レジスタ選択部5、スイッチ部6、第2垂直シフトレジスタ7、第1垂直シフトレジスタ8、下段水平シフトレジスタ（第1水平シフトレジスタ）9、スイッチ部10を具備して成る。上記センサ部1およびメモリ部2はそれぞれ同数の画素回路11およびメモリ回路12より成るとともに、アレイ状に構成されている。センサ部1およびメモリ部2は互いに独立しており、1つの画素回路11に1つのメモリ回路12が対応している。

【 0 0 1 5 】上記センサ部1は、アレイ状に配置された多数の画素回路11より成る。この画素回路11は、図2の詳細図に示すように、PMOSトランジスタ20、PN接合のフォトダイオード21および2つのNMOSトランジスタ22、23の直列回路から成る。

【 0 0 1 6 】この画素回路11では、フォトダイオード21により光電変換を行うとともに、蓄積電荷の増幅および非破壊読み出しを行う。すなわち、蓄積開始時にPMOSトランジスタ20にリセット信号Vrstが加えられると、PN接合の逆バイアス容量が充電され、フォトダイオードの電圧値が5Vになる。その後、入射光に応じて電荷が徐々に放電されて、フォトダイオード21

の電圧値が減少する。なお、画素値の読み出しはNMOSスイッチであるトランジスタ23に第2垂直シフトレジスタ7からの読み出し信号Vrowを入力することにより実行する。

【 0 0 1 7 】上記メモリ部2は、アレイ状に配置された多数のメモリ回路12より成る。このメモリ回路12は、図3の詳細図に示すように、NMOSスイッチ25、NMOSスイッチ26、キャパシタンス（電気エネルギー蓄積素子）C、インバータ28およびNMOSスイッチ27の直列回路から成る。

【 0 0 1 8 】このメモリ回路12では、第1垂直シフトレジスタ8から出力される信号がメモリ値の読み出し信号Vrおよび書き込み信号Vwになり、メモリ書き込み専用の下段水平シフトレジスタ9から出力される信号がメモリ回路12の横方向の選択信号Vsになる。このメモリ回路12への書き込みは、スイッチ部10が、モード信号Smodeを入力された場合に下段水平シフトレジスタ9からのサンプル選択信号をメモリ回路12へ入力する制御を行うことにより実行する。

【 0 0 1 9 】上記メモリ回路12のメモリ値は2値であり、このメモリ値により画素値の読み出しパターンが生成されることになる。このメモリ回路12では、読み出しスイッチであるNMOSスイッチ27の前段にインバータ28を配置することにより、読み出し時のメモリ値の減衰を防止するようにしている。なお、上記メモリ回路12を構成するメモリには、トランジスタによるDRAMやSRAMの技術を用いることも可能である。

【 0 0 2 0 】本実施形態のイメージセンサでは、上記メモリ回路12のメモリ値によって生成される読み出しパターンに基づいて読み出す画素値の選択を行うが、この画素値の選択では、メモリ回路12からの出力を図4に示すようにスイッチ部6の制御信号として利用し、メモリ値が1の場合のみ現実の画素値が選択されるようにする。この場合、選択されない画素値については、ノーマルモード用のシフトレジスタであるノーマル水平シフトレジスタ4ではblankになってしまうので、入射光によって放電していない状態のフォトダイオード値（5V）を出力するものとする。

【 0 0 2 1 】また、センサ部1の画素回路11の出力はNMOSバッファの上段（図2の22）だけを介しているので、画素値はフローティング状態にある。よって、選択された画素値についてはNMOSバッファの下段（図4の29）を介することとし、さらにPMOSバッファ30を介して直流分をあげることにした。これは最終的にPMOSを介して電流出力を行うためである。

【 0 0 2 2 】上記スマート水平シフトレジスタ3およびノーマル水平シフトレジスタ4は画素値の読み出しに利用されるものであり、図5の詳細図に示すように構成されている。上記ノーマル水平シフトレジスタ4は、画素値を選択の有無に関係なくすべて出力することができ

7

る。一方、上記スマート水平シフトレジスタ3は、スマートスキニングモードで使用するものであり、メモリ回路12のメモリ値に基づいて選択された画素値のみを出力することができる。

【0023】上記2つの水平シフトレジスタの選択は、外部からモード信号modeを入力されたレジスタ選択部5が、選択信号を上記スイッチ部6に入力することによって制御する。このモード信号modeは2値の信号であり、モード信号の値が0であればノーマル水平シフトレジスタ4が選択され、1であればスマート水平シフトレジスタ3が選択される。このスマート水平シフトレジスタ3では読み飛ばすための制御信号が必要となるが、この制御信号としてメモリ回路12で保持している信号を利用する。よって、メモリ回路12のメモリ値が1のときは画素値が選択されることとなり、0のときは画素値が読み飛ばされることとなる。

【0024】上記第2垂直シフトレジスタ7および第2垂直シフトレジスタ8は、画素値およびメモリ値の読み出しを制御するものであり、図6の詳細図に示すように構成されている。これら垂直シフトレジスタ7, 8はそれぞれ、センサ部1およびメモリ部2のアレイに対し1つつつ配置され、同一の制御信号によって同期駆動される。

【0025】ここで、センサ部1に対して配置された垂直シフトレジスタ7からは、画素値の読み出し信号Vr_owおよび画素回路11のフォトダイオードのリセット信号Vr_stが出力される。このリセット信号Vr_stは、1つ前の行の画素回路11に入力されるので、次に読み出されるまでの1フレーム分が蓄積時間となる。一方、メモリ部2に対して設置された垂直シフトレジスタ8からは、メモリ値の読み出し信号Vwおよび書き込み信号Vrが出力される。これらの信号は独立しているため、書き込みを停止して読み出しのみ継続することもできる。そのための制御信号である書き込みモード信号w_rmodeを2値で入力し、当該モード信号が1のとき書き込みが行われるようにする。

【0026】上記下段水平シフトレジスタ9は、上記読み出しパターンを作成するためにメモリ部2に書き込む信号Vsを出力するものであり、図7の詳細図に示すように構成されている。このメモリ部2への書き込みは、外部からSモード信号Smodeを入力されたスイッチ部10が、下段水平シフトレジスタ9からのサンプル選択信号をメモリ部2のメモリ回路12へ入力することにより行う。すなわち、当該サンプル選択信号が1のときは下段水平シフトレジスタ9からの出力信号Vsがメモリ回路12に転送され、メモリ回路12は値として1の情報を有することになる。一方、当該サンプル選択信号が0のときは、スイッチ部10内に設けたNMOSスイッチ31を利用してリセットを掛けるようにしているため、メモリ回路毎にリセット回路を設ける必要がない。

8

【0027】さらに、本実施形態では、メモリ部2に書き込まれた情報をフラグ情報として下段水平シフトレジスタ9から出力し得るようにしており、このフラグ情報は、選択された画素のみを出力する場合の画素出力の再構成のためのアドレス情報として用いることができる。

【0028】次に、本実施形態のイメージセンサの作用を説明する。本実施形態のイメージセンサのメモリ回路12に画素選択のためのサンプル選択信号が入力されると、そのときのデータがメモリ回路12に2値データとして保持される。このメモリ回路12のメモリ値は垂直シフトレジスタ8からの読み出し信号Vrによって読み出され、このメモリ値はセンサ部1の画素回路11で同様にして読み出された画素値に適用される。したがって、メモリ値が1のときは画素値が選択され、0のときは画素値が選択されないことになる。このようにして選択された画素値はスイッチ部6を介して1行毎に出力される。

【0029】上記画素値の出力においては、メモリ回路12に記録されたデータはそのまま保持することができるので、読み出しパターンを変更する必要が生じない限り、サンプル選択信号を入力せずに画素値の読み出しを行うことができる。

【0030】ところで、上記メモリ回路12は画素回路11のそれぞれに対応した数(つまり同数)だけ設けてあるので、上記メモリ回路12のデータを自由に書き換えて任意のサンプリングパターンでの出力を得ることも可能である。例えば、列単位のサンプリングを行い、読み飛ばしシフトレジスタであるスマート水平シフトレジスタ3を利用することにより、出力画像のサイズを任意の大きさに縮小することができる。また、任意のブロックの画素値のみを必要とする場合には、そのブロックに該当するメモリ回路12のみに選択データを書き込んでおけばよく、その場合、選択データを書き込まない部分が読み飛ばされて当該ブロックのみを出力することができる。さらに、中心部分についてはすべての画素値を選択し、他の部分はサブサンプリングを放射状に行うようにすれば、網膜を模倣した出力を得ることもできる。

【0031】

【発明の効果】以上説明したように本発明によれば、センサ部の多数の画素回路の画素値の読み出しのための2値データを保持するための、前記画素回路と同数のメモリ回路によりメモリ部を構成したことにより、従来のランダムアクセス機構搭載型イメージセンサのように読み出す画素毎にその座標を指定する必要がなくなり、スマートスキニングモード用の水平シフトレジスタ(第2水平シフトレジスタ)を用いた画素値の高速読み出しが可能となる。また、上記メモリ部の各メモリ回路は書き換えが自由なので、適宜読み出しパターンを変化させることができる。これにより、ブロックアクセス、スキップアクセス、ランダムアクセスは勿論のこと、従来の当

10

20

30

40

50

該機能を搭載したイメージセンサでは実現できなかった1画素単位の任意の粗密制御が可能となる。

【0032】さらに、従来の人間の中心視に対応した出力が可能ないメージセンサは限定的な使用しかできなかったのに対し、本発明のイメージセンサは柔軟な読み出しが可能であるので、上記を含む多岐にわたる応用が考えられる。また、中心視に相当する部分をセンサ内で自由に移動させることができるので、アクティブビジョンシステムとの統合の際にはセンサ内での中心視の移動が可能となり、センサ自体の移動範囲を狭くすることが可能となる。

【0033】また、読み出しパターンの生成時の制御に用いるサンプル制御信号は外部からの入力信号により制御されるので、外部システムと統合して当該サンプル制御信号を動的に生成することにより、撮像面内での対象物の追尾も可能となる。さらに、イメージセンサによる画像計測に応用した場合においても、必要な画素だけの読み出しを行うことにより効率的な情報取得が可能となる。

【図面の簡単な説明】

【図1】本発明の第1実施形態のサンプリング制御機構搭載型イメージセンサの全体構成を示す図である。

【図2】第1実施形態のセンサ部を構成する画素回路の詳細図である。

【図3】第1実施形態のメモリ部を構成するメモリ回路の詳細図である。

【図4】第1実施形態のスイッチ部をセンサ部およびメモリ部と関連して示す詳細図である。

【図5】第1実施形態の2つの水平シフトレジスタおよびレジスタ選択部を含む部分の詳細図である。

【図6】第1実施形態の2つの垂直シフトレジスタを含む部分の詳細図である。

【図7】第1実施形態のデータ書き込み用の水平シフトレジスタを含む部分の詳細図である。

【図8】従来のランダムアクセス機構搭載型イメージセ

ンサの概略図である。

【符号の説明】

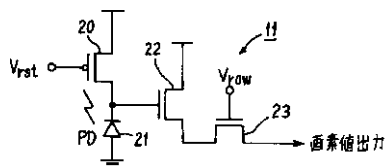
- 1 センサ部
- 2 メモリ部
- 3 スマート水平シフトレジスタ（第2水平シフトレジスタ）
- 4 ノーマル水平シフトレジスタ（第3水平シフトレジスタ）
- 5 レジスタ選択部
- 6, 10 スイッチ部
- 7 第2垂直シフトレジスタ
- 8 第1垂直シフトレジスタ
- 9 下段水平シフトレジスタ（第1水平シフトレジスタ）
- 11 画素回路
- 12 メモリ回路

【要約】

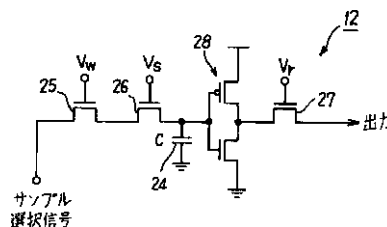
【課題】 1画素またはブロック単位のアクセス、1画素単位で任意の粗密制御、人間の中心窩に対応するサンプリング等を実現し得る、高速ランダムアクセス可能なサンプリング制御機構搭載型イメージセンサを提供する。

【解決手段】 アレイ状の画素回路11より成るセンサ部1と、同数のアレイ状のメモリ回路12より成るメモリ部2と、メモリ回路12へ読み出しパターン作成用データを書き込む第1水平シフトレジスタ9と、読み出し信号および書き込み信号を出力する第1垂直シフトレジスタ8と、画素回路11に画素値の読み出し信号およびリセット信号を同期して出力する第2垂直シフトレジスタ7と、メモリ回路12のデータに基づいて選択された画素値を出力するための第2水平シフトレジスタ3と、全画素値を出力するための第3水平シフトレジスタ4と、両者の一方から前記データに基づき画素値を読み出すスイッチ部6とを備える。

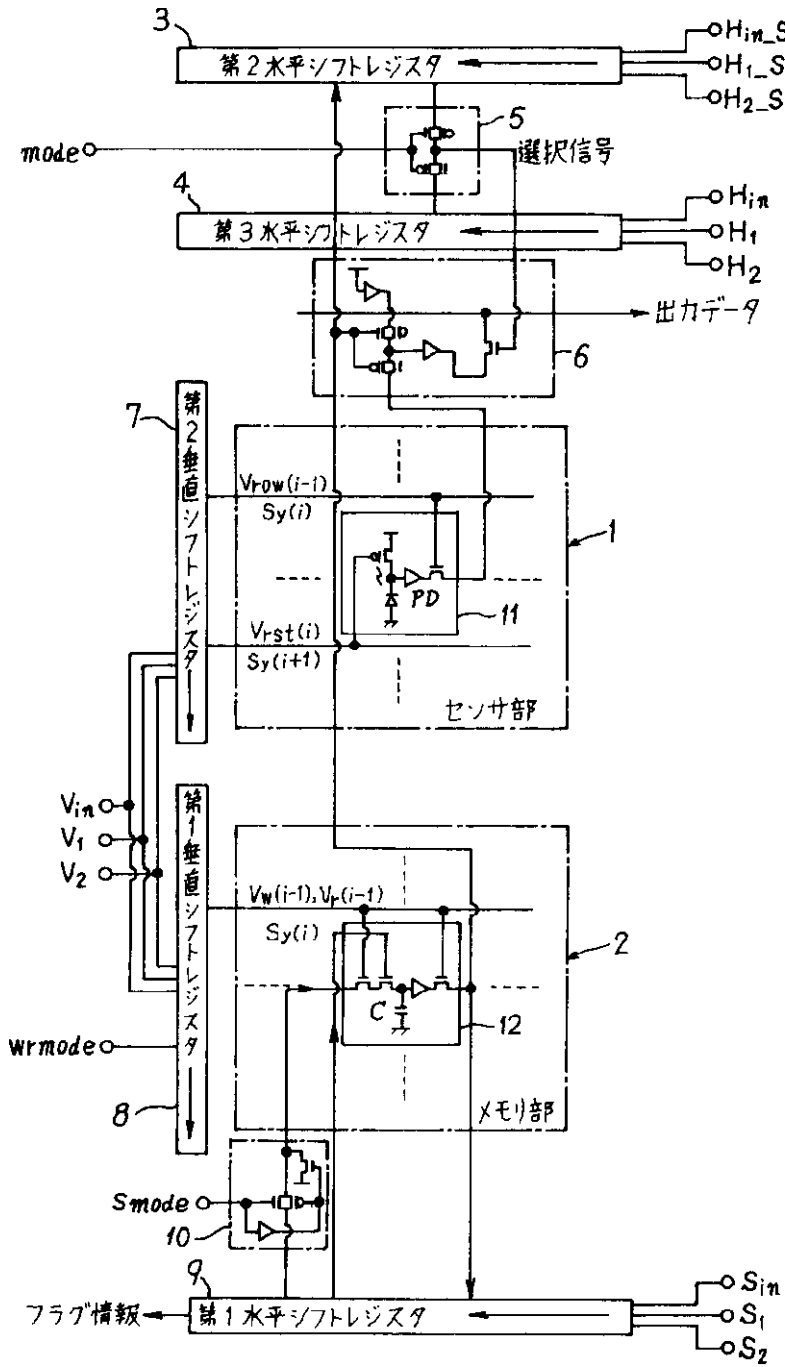
【図2】



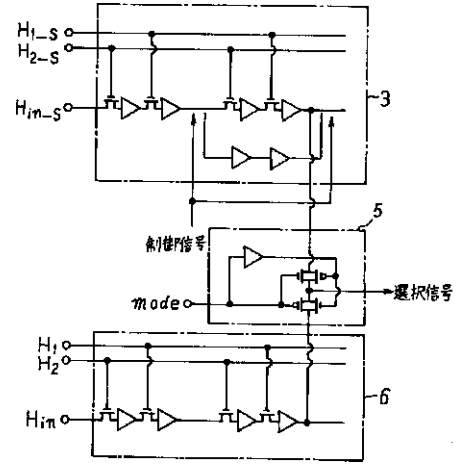
【図3】



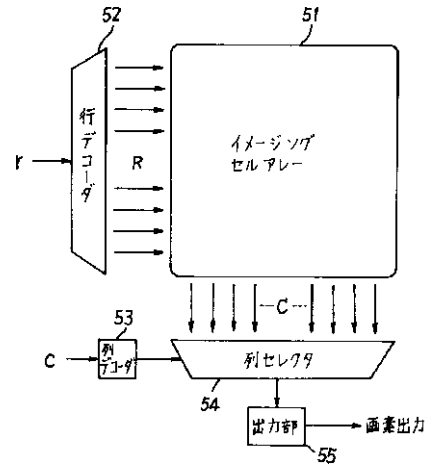
【 図 1 】



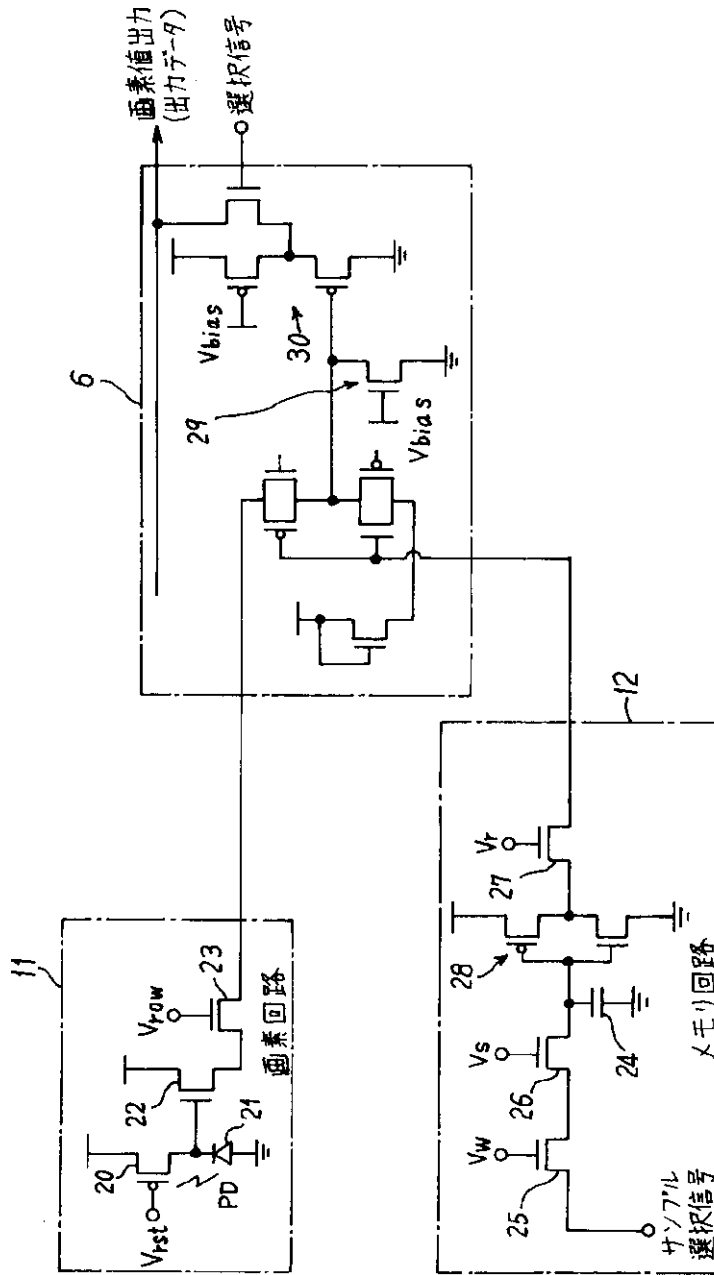
【 図 5 】



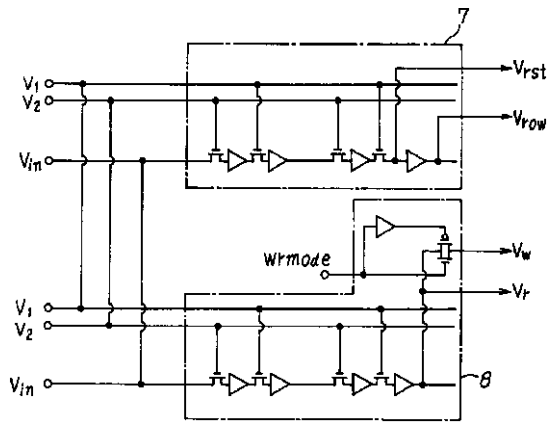
【 図 8 】



【 図 4 】



【図 6】



【図 7】

