

(51)Int.Cl.⁶ 識別記号
H04N 5/335
H01L 27/146

F I
H04N 5/335 Z
H01L 27/14 A

審査請求 有 請求項の数 2 O L (全 8 頁)

(21)出願番号 特願平10 - 69994
(22)出願日 平成10年(1998) 3月19日

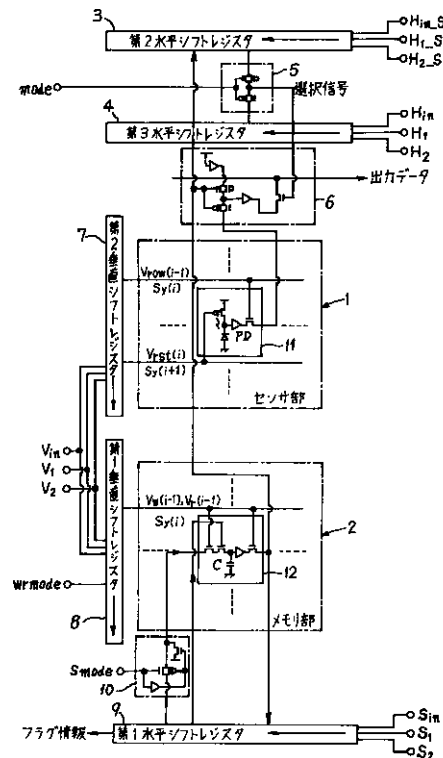
(71)出願人 391012327
東京大学長
東京都文京区本郷 7 丁目 3 番 1 号
(72)発明者 相澤 清晴
東京都文京区千石 3 - 14 - 5 - 303
(72)発明者 大塚 康弘
千葉県千葉市花見川区花園町2445 - 29
(74)代理人 弁理士 杉村 暁秀 (外 8 名)

(54)【発明の名称】 サンプリング制御機構搭載型イメージセンサ

(57)【要約】

【課題】 1画素またはブロック単位のアクセス、1画素単位で任意の粗密制御、人間の中心窩に対応するサンプリング等を実現し得る、高速ランダムアクセス可能なサンプリング制御機構搭載型イメージセンサを提供する。

【解決手段】 アレイ状の画素回路11より成るセンサ部1と、同数のアレイ状のメモリ回路12より成るメモリ部2と、メモリ回路12へ読み出しパターン作成用データを書き込む第1水平シフトレジスタ9と、読み出し信号および書き込み信号を出力する第1垂直シフトレジスタ8と、画素回路11に画素値の読み出し信号およびリセット信号を同期して出力する第2垂直シフトレジスタ7と、メモリ回路12のデータに基づいて選択された画素値を出力するための第2水平シフトレジスタ3と、全画素値を出力するための第3水平シフトレジスタ4と、両者の一方から前記データに基づき画素値を読み出すスイッチ部6とを備える。



【特許請求の範囲】

【請求項 1】 センサ上にサンプリング制御機能を統合したサンプリング制御機構搭載型イメージセンサであって、アレイ状に配置された多数の画素回路より成るセンサ部と、前記画素回路と同数のアレイ状に配置されたメモリ回路より成るメモリ部と、サンプル選択信号に応じて前記メモリ回路へ読み出しパターン作成用のデータを書き込む第 1 水平シフトレジスタと、前記メモリ回路に保持されたデータの読み出し信号および書き込み信号を出力する第 1 垂直シフトレジスタと、前記第 1 垂直シフトレジスタと同期駆動され、前記画素回路に画素値の読み出し信号およびリセット信号を出力する第 2 垂直シフトレジスタと、前記メモリ回路に保持されたデータに基づいて選択された画素値を出力するための第 2 水平シフトレジスタと、全画素値を出力するための第 3 水平シフトレジスタと、前記メモリ回路に保持されたデータに基づいて前記第 2 および第 3 水平シフトレジスタの何れか一方から画素値を読み出す制御を行うスイッチ部とを具備して成ることを特徴とするサンプリング制御機構搭載型イメージセンサ。

【請求項 2】 前記メモリ回路は、3 個の NMOS スイッチと、電気エネルギー蓄積素子と、インバータとから成ることを特徴とする請求項 1 記載のサンプリング制御機構搭載型イメージセンサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、例えばロボットビジョンシステムの開発を目的とする分野や、画像計測の分野等において利用することができる、センサ上にサンプリング制御機能を統合したサンプリング制御機構搭載型イメージセンサに関するものである。

【0002】

【従来の技術】センサ上に信号処理機能を統合したイメージセンサに関する従来技術としては、例えば、ランダムアクセス機構搭載型イメージセンサ、スキップアクセス機構またはブロックアクセス機構搭載型イメージセンサ、極座標型サンプリングイメージセンサがある。

【0003】ランダムアクセス機構搭載型イメージセンサは、図 8 の概略図に示すように、イメージングセルアレイ 5 1 と、行デコーダ 5 2 と、列デコーダ 5 3 と、コラムセクタ 5 4 と、出力部 5 5 とから成る。このイメージセンサでは、イメージングセルアレイ 5 1 上の画素の座標をアレイの外部から行および列で指定入力し、行デコーダ 5 2 からの指定入力値 r および列デコーダ 5 3 からの指定入力値 c を座標に変換することにより、指定座標の画素値を読み出すことができる。このイメージセ

ンサを用いるシステムにおいては、1 画素単位のアクセスが原則であり、画素の読み出しには常にアドレス情報が必要となる。

【0004】スキップアクセス機構またはブロックアクセス機構搭載型イメージセンサは、基本的には行列単位のアクセスを原則としている。このイメージセンサでは、任意の行および列のアドレスを指定入力することにより、指定された行および列の画素を間引くことができ、それにより任意のブロックの出力が可能となる。また、画素アレイのサブサンプリングを行うことにより、出力画像サイズを縮小することも可能である。しかし、このイメージセンサでは、行列で規定されるブロックよりも小さい単位で出力画像を制御することができない。

【0005】極座標型サンプリングイメージセンサは、中心部および周辺部がそれぞれ独立したイメージセンサで構成されており、中心部は密に配置した画素により高解像度で撮像し、周辺部は粗に配置した画素により解像度を落として撮像し、それにより人間の中心窩を模倣したサンプリングを可能としている。しかし、画素の配置を固定的にしているため、ビジョンシステムとの統合の際には焦点の移動に対応させるために常にセンサ自体を移動させなければならない。また、このイメージセンサは、中心窩出力のみに用途が限定される点で応用範囲が狭い。

【0006】

【発明が解決しようとする課題】上記ランダムアクセス機構搭載型イメージセンサでは、任意に 1 画素単位の出力が可能であるが、出力制御には常に画素アドレス情報の入力が必要となるため、高速アクセスの実現が困難である。

【0007】上記スキップアクセス機構またはブロックアクセス機構搭載型イメージセンサでは、任意のブロック単位の出力が可能であるが、行列のブロックよりも小さい単位で出力画像を制御することができないため、1 画素単位で任意の粗密制御を行うことができない。

【0008】上記極座標型サンプリングイメージセンサでは、固定的な画素の配置によりサンプリングが固定的になるため、ビジョンシステムにおける利用に際して柔軟性に欠けるとともに、他の用途に関しても中心窩出力のみに用途が限定される点で柔軟性に欠けることになる。

【0009】本発明は、1 画素単位のアクセスやブロック単位のアクセスを可能とするとともに、アドレス情報を常に入力することなく 1 画素単位で任意の粗密制御を実現し得るようにした、高速アクセス可能なサンプリング制御機構搭載型イメージセンサを提供することにより、上述した問題を解決することを第 1 の目的とする。

【0010】本発明は、人間の中心窩に対応するサンプリングが可能であり、かつビジョンシステム上に統合される場合に撮像面内で焦点の移動が可能であり、さらに

中心窩的な出力に限定されない柔軟なサンプリング制御を行い得るようにした、サンプリング制御機構搭載型イメージセンサを提供することにより、上述した問題を解決することを第 2 の目的とする。

【 0 0 1 1 】

【課題を解決するための手段】上記第 1 および第 2 の目的のため、本発明は、センサ上にサンプリング制御機能を統合したサンプリング制御機構搭載型イメージセンサであって、アレイ状に配置された多数の画素回路より成るセンサ部と、前記画素回路と同数のアレイ状に配置されたメモリ回路より成るメモリ部と、サンプル選択信号に応じて前記メモリ回路へ読み出しパターン作成用のデータを書き込む第 1 水平シフトレジスタと、前記メモリ回路に保持されたデータの読み出し信号および書き込み信号を出力する第 1 垂直シフトレジスタと、前記第 1 垂直シフトレジスタと同期駆動され、前記画素回路に画素値の読み出し信号およびリセット信号を出力する第 2 垂直シフトレジスタと、前記メモリ回路に保持されたデータに基づいて選択された画素値を出力するための第 2 水平シフトレジスタと、全画素値を出力するための第 3 水平シフトレジスタと、前記メモリ回路に保持されたデータに基づいて前記第 2 および第 3 水平シフトレジスタの何れか一方から画素値を読み出す制御を行うスイッチ部とを具備して成ることを特徴とするものである。

【 0 0 1 2 】上記において、前記メモリ回路は、3 個の NMOS スイッチと、電気エネルギー蓄積素子と、インバータとから成るようにするのが、上記第 1 および第 2 の目的を達成するサンプリング制御機構搭載型イメージセンサのメモリ部を構成する上で好ましい。

【 0 0 1 3 】

【作用】本発明によれば、アレイ状に配置された多数の画素回路より成るセンサ部と同数のアレイ状に配置されたメモリ回路より成るメモリ部には、第 1 水平シフトレジスタによりサンプル選択信号に応じて読み出しパターン作成用のデータが書き込まれており、第 2 垂直シフトレジスタからの読み出し信号により前記画素回路から画素値を読み出す際には、前記第 2 垂直シフトレジスタと同期駆動される第 1 垂直シフトレジスタからの読み出し信号により前記メモリ回路に保持されたデータが読み出される。スイッチ部は、このデータに基づいて、選択された画素値を出力するための第 2 水平シフトレジスタおよび全画素値を出力するための第 3 水平シフトレジスタの何れか一方から画素値を読み出す制御を行う。

【 0 0 1 4 】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づき詳細に説明する。図 1 は本発明の第 1 実施形態のサンプリング制御機構搭載型イメージセンサの全体構成を示す図である。本実施形態のサンプリング制御機構搭載型イメージセンサ（以下、単にイメージセンサという）は、センサ部 1、メモリ部 2、スマート水平シフト

レジスタ（第 2 水平シフトレジスタ）3、ノーマル水平シフトレジスタ（第 3 水平シフトレジスタ）4、レジスタ選択部 5、スイッチ部 6、第 2 垂直シフトレジスタ 7、第 1 垂直シフトレジスタ 8、下段水平シフトレジスタ（第 1 水平シフトレジスタ）9、スイッチ部 10 を具備して成る。上記センサ部 1 およびメモリ部 2 はそれぞれ同数の画素回路 11 およびメモリ回路 12 より成るとともに、アレイ状に構成されている。センサ部 1 およびメモリ部 2 は互いに独立しており、1 つの画素回路 11 に 1 つのメモリ回路 12 が対応している。

【 0 0 1 5 】上記センサ部 1 は、アレイ状に配置された多数の画素回路 11 より成る。この画素回路 11 は、図 2 の詳細図に示すように、PMOS トランジスタ 20、PN 接合のフォトダイオード 21 および 2 つの NMOS トランジスタ 22, 23 の直列回路から成る。

【 0 0 1 6 】この画素回路 11 では、フォトダイオード 21 により光電変換を行うとともに、蓄積電荷の増幅および非破壊読み出しを行う。すなわち、蓄積開始時に PMOS トランジスタ 20 にリセット信号 V_{rst} が加えられると、PN 接合の逆バイアス容量が充電され、フォトダイオードの電圧値が 5 V になる。その後、入射光に応じて電荷が徐々に放電されて、フォトダイオード 21 の電圧値が減少する。なお、画素値の読み出しは NMOS スイッチであるトランジスタ 23 に第 2 垂直シフトレジスタ 7 からの読み出し信号 V_{row} を入力することにより実行する。

【 0 0 1 7 】上記メモリ部 2 は、アレイ状に配置された多数のメモリ回路 12 より成る。このメモリ回路 12 は、図 3 の詳細図に示すように、NMOS スイッチ 25、NMOS スイッチ 26、キャパシタンス（電気エネルギー蓄積素子）C、インバータ 28 および NMOS スイッチ 27 の直列回路から成る。

【 0 0 1 8 】このメモリ回路 12 では、第 1 垂直シフトレジスタ 8 から出力される信号がメモリ値の読み出し信号 V_r および書き込み信号 V_w になり、メモリ書き込み専用の下段水平シフトレジスタ 9 から出力される信号がメモリ回路 12 の横方向の選択信号 V_s になる。このメモリ回路 12 への書き込みは、スイッチ部 10 が、モード信号 S_{mode} を入力された場合に下段水平シフトレジスタ 9 からのサンプル選択信号をメモリ回路 12 へ入力する制御を行うことにより実行する。

【 0 0 1 9 】上記メモリ回路 12 のメモリ値は 2 値であり、このメモリ値により画素値の読み出しパターンが生成されることになる。このメモリ回路 12 では、読み出しスイッチである NMOS スイッチ 27 の前段にインバータ 28 を配置することにより、読み出し時のメモリ値の減衰を防止するようにしている。なお、上記メモリ回路 12 を構成するメモリには、トランジスタによる DRAM や SRAM の技術を用いることも可能である。

【 0 0 2 0 】本実施形態のイメージセンサでは、上記メ

メモリ回路 1 2 のメモリ値によって生成される読み出しパターンに基づいて読み出す画素値の選択を行うが、この画素値の選択では、メモリ回路 1 2 からの出力を図 4 に示すようにスイッチ部 6 の制御信号として利用し、メモリ値が 1 の場合のみ現実の画素値が選択されるようにする。この場合、選択されない画素値については、ノーマルモード用のシフトレジスタであるノーマル水平シフトレジスタ 4 ではブランクになってしまうので、入射光によって放電していない状態のフォトダイオード値 (5 V) を出力するものとする。

【 0 0 2 1 】また、センサ部 1 の画素回路 1 1 の出力は NMOS バッファの上段 (図 2 の 2 2) だけを介しているので、画素値はフローティング状態にある。よって、選択された画素値については NMOS バッファの下段 (図 4 の 2 9) を介することとし、さらに PMOS バッファ 3 0 を介して直流分をあげることにした。これは最終的に PMOS を介して電流出力を行うためである。

【 0 0 2 2 】上記スマート水平シフトレジスタ 3 およびノーマル水平シフトレジスタ 4 は画素値の読み出しに利用されるものであり、図 5 の詳細図に示すように構成されている。上記ノーマル水平シフトレジスタ 4 は、画素値を選択の有無に関係なくすべて出力することができる。一方、上記スマート水平シフトレジスタ 3 は、スマートスキニングモードで使用するものであり、メモリ回路 1 2 のメモリ値に基づいて選択された画素値のみを出力することができる。

【 0 0 2 3 】上記 2 つの水平シフトレジスタの選択は、外部からモード信号 mode を入力されたレジスタ選択部 5 が、選択信号を上記スイッチ部 6 に入力することによって制御する。このモード信号 mode は 2 値の信号であり、モード信号の値が 0 であればノーマル水平シフトレジスタ 4 が選択され、1 であればスマート水平シフトレジスタ 3 が選択される。このスマート水平シフトレジスタ 3 では読み飛ばすための制御信号が必要となるが、この制御信号としてメモリ回路 1 2 で保持している信号を利用する。よって、メモリ回路 1 2 のメモリ値が 1 のときは画素値が選択されることとなり、0 のときは画素値が読み飛ばされることとなる。

【 0 0 2 4 】上記第 2 垂直シフトレジスタ 7 および第 2 垂直シフトレジスタ 8 は、画素値およびメモリ値の読み出しを制御するものであり、図 6 の詳細図に示すように構成されている。これら垂直シフトレジスタ 7 , 8 はそれぞれ、センサ部 1 およびメモリ部 2 のアレイに対し 1 つずつ配置され、同一の制御信号によって同期駆動される。

【 0 0 2 5 】ここで、センサ部 1 に対して配置された垂直シフトレジスタ 7 からは、画素値の読み出し信号 V r o w および画素回路 1 1 のフォトダイオードのリセット信号 V r s t が出力される。このリセット信号 V r s t は、1 つ前の行の画素回路 1 1 に入力されるので、次に

読み出されるまでの 1 フレーム分が蓄積時間となる。一方、メモリ部 2 に対して設置された垂直シフトレジスタ 8 からは、メモリ値の読み出し信号 V w および書き込み信号 V r が出力される。これらの信号は独立しているため、書き込みを停止して読み出しのみ継続することもできる。そのための制御信号である書き込みモード信号 w r m o d e を 2 値で入力し、当該モード信号が 1 のとき書き込みが行われるようにする。

【 0 0 2 6 】上記下段水平シフトレジスタ 9 は、上記読み出しパターンを作成するためにメモリ部 2 に書き込む信号 V s を出力するものであり、図 7 の詳細図に示すように構成されている。このメモリ部 2 への書き込みは、外部から S モード信号 S m o d e を入力されたスイッチ部 1 0 が、下段水平シフトレジスタ 9 からのサンプル選択信号をメモリ部 2 のメモリ回路 1 2 へ入力することにより行う。すなわち、当該サンプル選択信号が 1 のときは下段水平シフトレジスタ 9 からの出力信号 V s がメモリ回路 1 2 に転送され、メモリ回路 1 2 は値として 1 の情報を有することになる。一方、当該サンプル選択信号が 0 のときは、スイッチ部 1 0 内に設けた NMOS スイッチ 3 1 を利用してリセットを掛けるようにしているため、メモリ回路毎にリセット回路を設ける必要がない。

【 0 0 2 7 】さらに、本実施形態では、メモリ部 2 に書き込まれた情報をフラグ情報として下段水平シフトレジスタ 9 から出力し得るようにしており、このフラグ情報は、選択された画素のみを出力する場合の画素出力の再構成のためのアドレス情報として用いることができる。

【 0 0 2 8 】次に、本実施形態のイメージセンサの作用を説明する。本実施形態のイメージセンサのメモリ回路 1 2 に画素選択のためのサンプル選択信号が入力されると、そのときのデータがメモリ回路 1 2 に 2 値データとして保持される。このメモリ回路 1 2 のメモリ値は垂直シフトレジスタ 8 からの読み出し信号 V r によって読み出され、このメモリ値はセンサ部 1 の画素回路 1 1 で同様にして読み出された画素値に適用される。したがって、メモリ値が 1 のときは画素値が選択され、0 のときは画素値が選択されないことになる。このようにして選択された画素値はスイッチ部 6 を介して 1 行毎に出力される。

【 0 0 2 9 】上記画素値の出力においては、メモリ回路 1 2 に記録されたデータはそのまま保持することができるので、読み出しパターンを変更する必要が生じない限り、サンプル選択信号を入力せずに画素値の読み出しを行うことができる。

【 0 0 3 0 】ところで、上記メモリ回路 1 2 は画素回路 1 1 のそれぞれに対応した数 (つまり同数) だけ設けてあるので、上記メモリ回路 1 2 のデータを自由に書き換えて任意のサンプリングパターンでの出力を得ることも可能である。例えば、列単位のサンプリングを行い、読み飛ばしシフトレジスタであるスマート水平シフトレジ

スタ 3 を利用することにより、出力画像のサイズを任意の大きさに縮小することができる。また、任意のブロックの画素値のみを必要とする場合には、そのブロックに該当するメモリ回路 1 2 のみに選択データを書き込んでおけばよく、その場合、選択データを書き込まない部分が読み飛ばされて当該ブロックのみを出力することができる。さらに、中心部分についてはすべての画素値を選択し、他の部分はサブサンプリングを放射状に行うようにすれば、網膜を模倣した出力を得ることもできる。

【 0 0 3 1 】

【発明の効果】以上説明したように本発明によれば、センサ部の各画素回路と対応するメモリ回路を有するメモリ部を設けたことにより、従来のランダムアクセス機構搭載型イメージセンサのように読み出す画素毎にその座標を指定する必要がなくなり、スマートスキニングモード用の水平シフトレジスタ（第 2 水平シフトレジスタ）を用いた画素値の高速読み出しが可能となる。また、上記メモリ部の各メモリ回路は書き換えが自由なので、適宜読み出しパターンを変化させることができる。これにより、ブロックアクセス、スキップアクセス、ランダムアクセスは勿論のこと、従来の当該機能を搭載したイメージセンサでは実現できなかった 1 画素単位の任意の粗密制御が可能となる。

【 0 0 3 2 】さらに、従来の人間の中心視に対応した出力が可能ないメージセンサは限定的な使用しかできなかったのに対し、本発明のイメージセンサは柔軟な読み出しが可能であるので、上記を含む多岐にわたる応用が考えられる。また、中心視に相当する部分をセンサ内で自由に移動させることができるので、アクティブビジョンシステムとの統合の際にはセンサ内での中心視の移動が可能となり、センサ自体の移動範囲を狭くすることが可能となる。

【 0 0 3 3 】また、読み出しパターンの生成時の制御に用いるサンプル制御信号は外部からの入力信号により制御されるので、外部システムと統合して当該サンプル制御信号を動的に生成することにより、撮像面内での対象

物の追尾も可能となる。さらに、イメージセンサによる画像計測に応用した場合においても、必要な画素だけの読み出しを行うことにより効率的な情報取得が可能となる。

【図面の簡単な説明】

【図 1】本発明の第 1 実施形態のサンプリング制御機構搭載型イメージセンサの全体構成を示す図である。

【図 2】第 1 実施形態のセンサ部を構成する画素回路の詳細図である。

10 【図 3】第 1 実施形態のメモリ部を構成するメモリ回路の詳細図である。

【図 4】第 1 実施形態のスイッチ部をセンサ部およびメモリ部と関連して示す詳細図である。

【図 5】第 1 実施形態の 2 つの水平シフトレジスタおよびレジスタ選択部を含む部分の詳細図である。

【図 6】第 1 実施形態の 2 つの垂直シフトレジスタを含む部分の詳細図である。

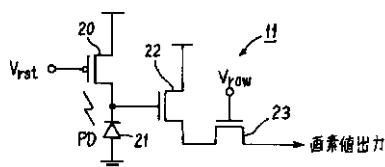
【図 7】第 1 実施形態のデータ書き込み用の水平シフトレジスタを含む部分の詳細図である。

20 【図 8】従来のランダムアクセス機構搭載型イメージセンサの概略図である。

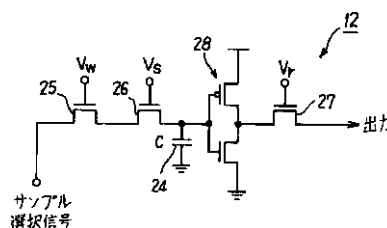
【符号の説明】

- 1 センサ部
- 2 メモリ部
- 3 スマート水平シフトレジスタ（第 2 水平シフトレジスタ）
- 4 ノーマル水平シフトレジスタ（第 3 水平シフトレジスタ）
- 5 レジスタ選択部
- 30 6, 10 スイッチ部
- 7 第 2 垂直シフトレジスタ
- 8 第 1 垂直シフトレジスタ
- 9 下段水平シフトレジスタ（第 1 水平シフトレジスタ）
- 11 画素回路
- 12 メモリ回路

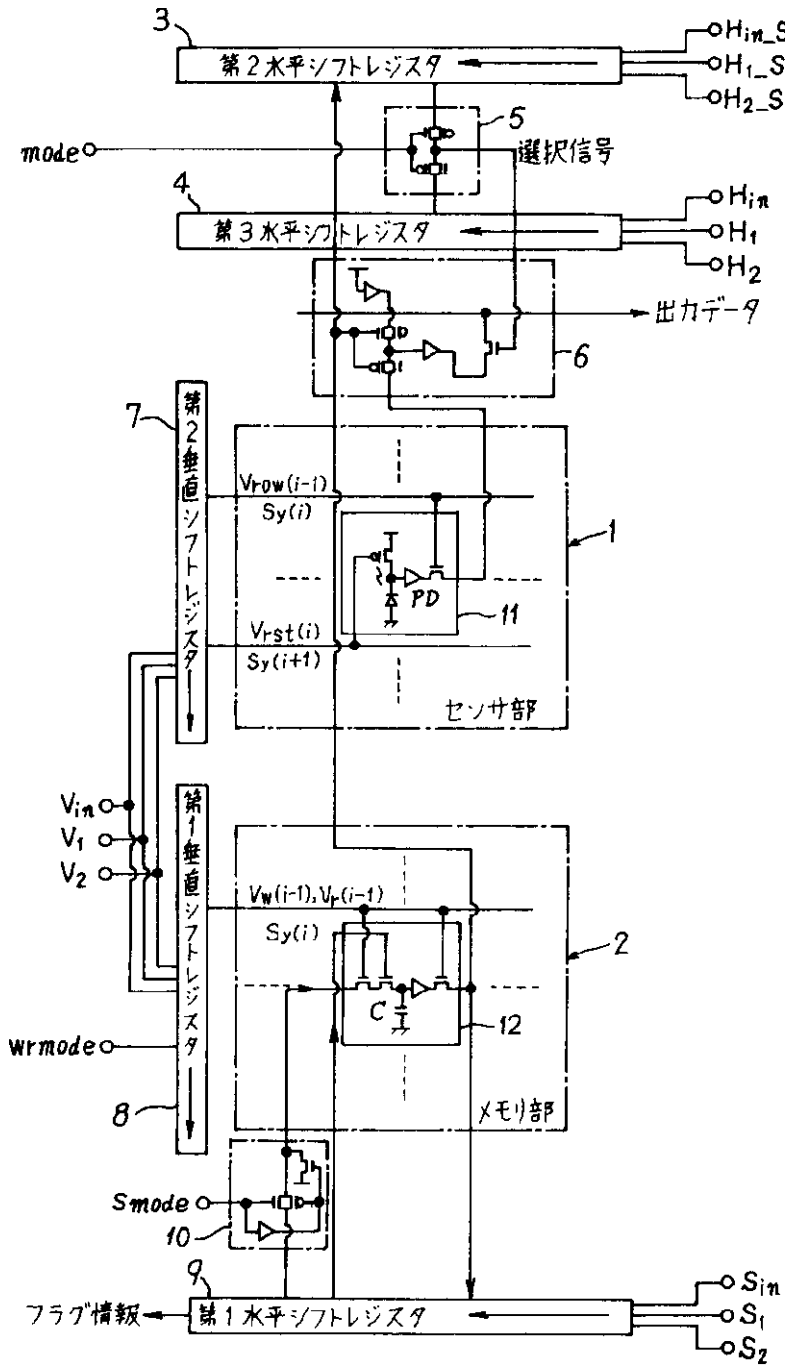
【図 2】



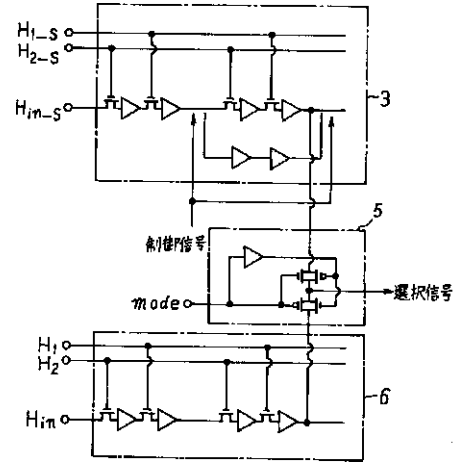
【図 3】



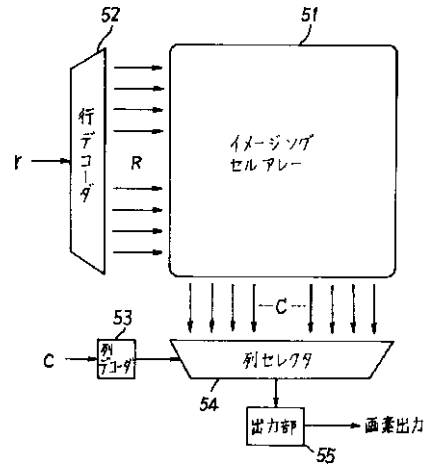
【 図 1 】



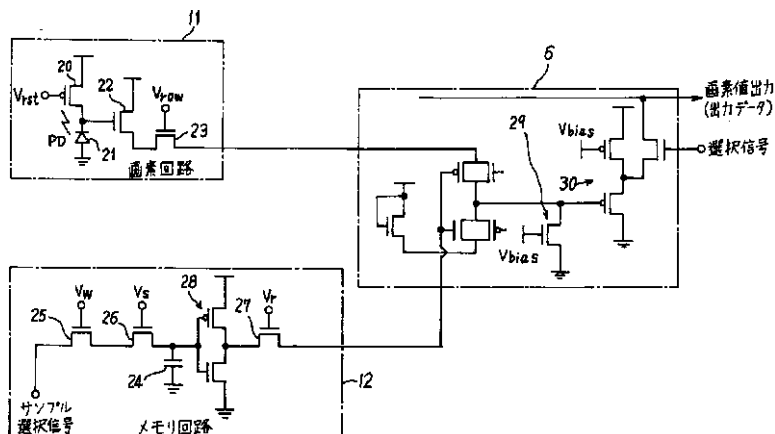
【 図 5 】



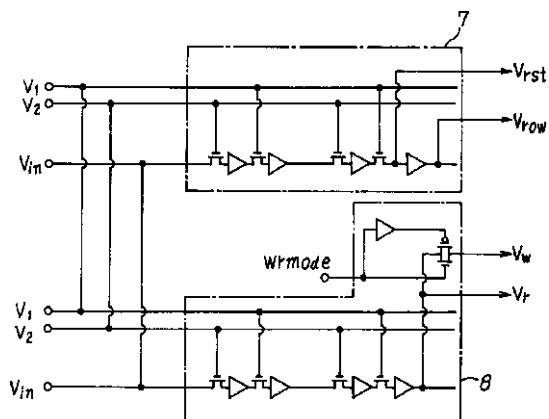
【 図 8 】



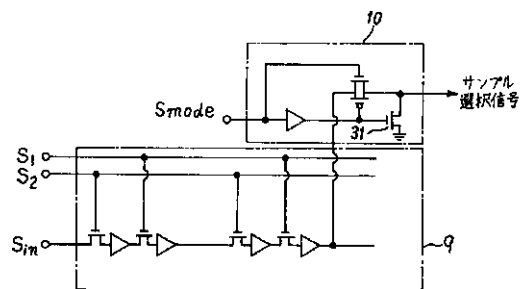
【 図 4 】



【 図 6 】



【 図 7 】



【 手続補正書 】

【 提出日 】 平成 1 1 年 1 月 2 2 日

【 手続補正 1 】

【 補正対象書類名 】 明細書

【 補正対象項目名 】 特許請求の範囲

【 補正方法 】 変更

【 補正内容 】

【 特許請求の範囲 】

【 請求項 1 】 センサ上にサンプリング制御機能を統合したサンプリング制御機構搭載型イメージセンサであって、
 アレイ状に配置された多数の画素回路より成るセンサ部と、
 前記画素回路の画素値の読み出しのための 2 値データを保持するためのメモリ回路であって、前記画素回路と同数のアレイ状に配置されたメモリ回路より成るメモリ部と、
 サンプル選択信号に応じて前記メモリ回路へ読み出しパターン作成用の 2 値データを書き込む第 1 水平シフトレ

ジスタと、

前記メモリ回路に保持された 2 値データの読み出し信号および書き込み信号を出力する第 1 垂直シフトレジスタと、
 前記第 1 垂直シフトレジスタと同期駆動され、前記画素回路に画素値の読み出し信号およびリセット信号を出力する第 2 垂直シフトレジスタと、
 前記メモリ回路に保持された 2 値データに基づいて選択された画素値を出力するための第 2 水平シフトレジスタと、
 全画素値を出力するための第 3 水平シフトレジスタと、
 前記メモリ回路に保持された 2 値データに基づいて前記第 2 および第 3 水平シフトレジスタの何れか一方から画素値を読み出す制御を行うスイッチ部とを具備して成ることを特徴とするサンプリング制御機構搭載型イメージセンサ。

【 請求項 2 】 前記メモリ回路は、3 個の NMOS スイッチと、電気エネルギー蓄積素子と、インバータとから

成ることを特徴とする請求項 1 記載のサンプリング制御機構搭載型イメージセンサ。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 1

【補正方法】変更

【補正内容】

【0 0 1 1】

【課題を解決するための手段】上記第 1 および第 2 の目的のため、本発明は、センサ上にサンプリング制御機能を統合したサンプリング制御機構搭載型イメージセンサであって、アレイ状に配置された多数の画素回路より成るセンサ部と、前記画素回路の画素値の読み出しのための 2 値データを保持するためのメモリ回路であって、前記画素回路と同数のアレイ状に配置されたメモリ回路より成るメモリ部と、サンプル選択信号に応じて前記メモリ回路へ読み出しパターン作成用の 2 値データを書き込む第 1 水平シフトレジスタと、前記メモリ回路に保持された 2 値データの読み出し信号および書き込み信号を出力する第 1 垂直シフトレジスタと、前記第 1 垂直シフトレジスタと同期駆動され、前記画素回路に画素値の読み出し信号およびリセット信号を出力する第 2 垂直シフトレジスタと、前記メモリ回路に保持された 2 値データに基づいて選択された画素値を出力するための第 2 水平シフトレジスタと、全画素値を出力するための第 3 水平シフトレジスタと、前記メモリ回路に保持された 2 値データに基づいて前記第 2 および第 3 水平シフトレジスタの何れか一方から画素値を読み出す制御を行うスイッチ部とを具備して成ることを特徴とするものである。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 3

【補正方法】変更

【補正内容】

【0 0 1 3】

【作用】本発明によれば、センサ部のアレイ状に配置された多数の画素回路の画素値の読み出しのための、2 値データを保持するためのメモリ回路であって、前記画素回路と同数のアレイ状に配置されたメモリ回路より成るメモリ部には、第 1 水平シフトレジスタによりサンプル選択信号に応じて読み出しパターン作成用の 2 値データが書き込まれており、第 2 垂直シフトレジスタからの読み出し信号により前記画素回路から画素値を読み出す際には、前記第 2 垂直シフトレジスタと同期駆動される第 1 垂直シフトレジスタからの読み出し信号により前記メモリ回路に保持された 2 値データが読み出される。スイッチ部は、この 2 値データに基づいて、選択された画素値を出力するための第 2 水平シフトレジスタおよび全画素値を出力するための第 3 水平シフトレジスタの何れか一方から画素値を読み出す制御を行う。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 1

【補正方法】変更

【補正内容】

【0 0 3 1】

【発明の効果】以上説明したように本発明によれば、センサ部の多数の画素回路の画素値の読み出しのための 2 値データを保持するための、前記画素回路と同数のメモリ回路によりメモリ部を構成したことにより、従来のランダムアクセス機構搭載型イメージセンサのように読み出す画素毎にその座標を指定する必要がなくなり、スマートスキャンモード用の水平シフトレジスタ（第 2 水平シフトレジスタ）を用いた画素値の高速読み出しが可能となる。また、上記メモリ部の各メモリ回路は書き換えが自由なので、適宜読み出しパターンを変化させることができる。これにより、ブロックアクセス、スキップアクセス、ランダムアクセスは勿論のこと、従来の当該機能を搭載したイメージセンサでは実現できなかった 1 画素単位の任意の粗密制御が可能となる。