

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5447805号  
(P5447805)

(45) 発行日 平成26年3月19日(2014.3.19)

(24) 登録日 平成26年1月10日(2014.1.10)

(51) Int.Cl. F I  
**GO1K 7/00 (2006.01)** GO1K 7/00 321Z  
**GO1K 7/01 (2006.01)** GO1K 7/00 391C

請求項の数 4 (全 24 頁)

(21) 出願番号	特願2009-162976 (P2009-162976)	(73) 特許権者	504224153
(22) 出願日	平成21年7月9日(2009.7.9)		国立大学法人 宮崎大学
(65) 公開番号	特開2011-17641 (P2011-17641A)		宮崎県宮崎市学園木花台西1丁目1番地
(43) 公開日	平成23年1月27日(2011.1.27)	(74) 代理人	110000671
審査請求日	平成24年7月4日(2012.7.4)		八田国際特許業務法人
		(72) 発明者	淡野 公一
			宮崎県宮崎市学園木花台西1丁目1番地
			国立大学法人 宮崎大学内
		(72) 発明者	田村 宏樹
			宮崎県宮崎市学園木花台西1丁目1番地
			国立大学法人 宮崎大学内
		審査官	井上 昌宏

最終頁に続く

(54) 【発明の名称】 温度検出方法および温度センサ

(57) 【特許請求の範囲】

【請求項1】

絶対温度に対し正の依存性を有する第1信号から前記絶対温度に対し負の依存性を有し且つ正のオフセットを有する第2信号を減算したセンス信号に基づくセンス電圧を出力することで、前記絶対温度に対する前記センス信号の変化率を増大させて温度測定感度を向上し、かつ、前記センス信号の絶対値を減少させて温度測定範囲を拡大することを特徴とする温度検出方法。

【請求項2】

絶対温度に対し正の依存性を有する第1信号を出力する第1信号生成回路と、前記絶対温度に対し負の依存性を有し且つ正のオフセットを有する第2信号を出力する第2信号生成回路と、前記第1信号から前記第2信号を減算したセンス信号に基づくセンス電圧を出力する減算回路と、を有することを特徴とする温度センサ。

【請求項3】

前記減算回路は、前記第1信号から前記第2信号を減算することで、前記絶対温度に対する前記センス信号の変化率を増大させて温度測定感度を向上し、かつ、前記センス信号の絶対値を減少させて温度測定範囲を拡大することを特徴とする請求項2に記載の温度センサ。

【請求項4】

前記第 1 信号は、絶対温度に対し正の依存性を有する P T A T 電流であり、  
 前記第 2 信号は、前記絶対温度に対し負の依存性を有し且つ正のオフセットを有するシフト電流であり、  
 前記センス信号は、前記 P T A T 電流から前記シフト電流を減算したセンス電流であり、  
 前記センス電圧は、前記センス電流を抵抗器に印加して電圧に変換してなることを特徴とする請求項 2 または 3 に記載の温度センサ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、温度検出方法および温度センサに関する。

【背景技術】

【0002】

温度検出方法および温度センサに関する従来技術としては、P T A T ( P r o p o r t i o n a l T o A b s o l u t e T e m p e r a t u r e、以下、「P T A T」と称する)回路の出力の非直線形性を補正する技術がある(特許文献1)。この技術によれば、測定温度範囲を拡大することで現出する P T A T 回路の出力の非直線性を、非線形性を有する回路の出力を足し合わせることでキャンセルし、P T A T 回路の直線性を改善することができる。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2002-98595号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来技術では、非直線形性を補正することはできる。しかし、測定感度を維持しつつ測定温度範囲を拡大すると P T A T 回路の出力が飽和し、測定温度範囲が制限されてしまうという問題がある。

【0005】

そこで、本発明の目的は測定感度および測定範囲を向上させることができる温度検出方法および温度センサを提供することである。

【課題を解決するための手段】

【0006】

上記課題を解決するために、本発明に係る温度検出方法は、絶対温度に対し正の依存性を有する第 1 信号から絶対温度に対し負の依存性を有し且つ正のオフセットを有する第 2 信号を減算したセンス信号に基づくセンス電圧を出力することで、絶対温度に対するセンス信号の変化率を増大させて温度測定感度を向上し、かつ、センス信号の絶対値を減少させて温度測定範囲を拡大する。

【0007】

また、本発明に係る温度センサは、絶対温度に対し正の依存性を有する第 1 信号を出力する第 1 信号生成回路と、絶対温度に対し負の依存性を有し且つ正のオフセットを有する第 2 信号を出力する第 2 信号生成回路と、第 1 信号から前記第 2 信号を減算したセンス信号に基づくセンス電圧を出力する減算回路と、を有する。

【発明の効果】

【0008】

本発明によれば、絶対温度に対し正の依存性を有する第 1 信号から絶対温度に対し負の依存性を有し且つ正のオフセットを有する第 2 信号を減算し、電圧のセンス信号として出力する。これにより、センス信号の温度変化率を増大し、かつ、センス信号の絶対値を減少させることができるため、温度の測定感度の向上および測定範囲の拡大を実現すること

10

20

30

40

50

ができる。

【図面の簡単な説明】

【0009】

【図1】第1実施形態に係る温度センサの概略的な回路構成を示す図である。

【図2】第1実施形態に係る温度センサのPTATブロックを示す図である。

【図3】第1実施形態のオペアンプ回路を示す図である。

【図4】第1実施形態に係る温度センサのシフトブロックを示す図である。

【図5】第1実施形態に係る温度センサの減算ブロックを示す図である。

【図6】PTATブロックのみの場合の出力電圧の温度依存性(A)と、PTATブロックとシフトブロックと減算ブロックとを接続させた第1実施形態に係る温度センサ1の出力電圧の温度依存性(B)と、を示す説明図である。

10

【図7】第1実施形態に係る温度センサのセンス電圧のVDD電源電圧依存性のシミュレーション結果(A)と、センス電圧の温度変化率のVDD電源電圧依存性のシミュレーション結果(B)を示す図である。

【図8】第1実施形態に係る温度センサの-40 ~ 100の温度における利得が72 dB(3162倍)のときのセンス電圧の温度変化率の電源電圧依存性を示す図である。

【図9】第2実施形態に係る温度センサの概略的な回路構成を示す図である。

【図10】第2実施形態に係る温度センサのセンス電圧のVDD電源電圧依存性のシミュレーション結果を示す図である。

【図11】第3実施形態に係る温度センサの概略的な回路構成を示す図である。

20

【図12】第3実施形態に係る温度センサのセンス電圧のVDD電源電圧依存性のシミュレーション結果(A)と、センス電圧の温度変化率のVDD電源電圧依存性のシミュレーション結果(B)を示す図である。

【図13】第4実施形態に係る温度センサの減算ブロックを構成する減算ブロックを示す図である。

【発明を実施するための形態】

【0010】

以下、本発明に係る温度センサの実施形態を、添付した図面を参照して詳細に説明する。

【0011】

30

[第1実施形態]

図1は、本発明の第1実施形態に係る温度センサの概略的な回路構成を示す図である。

【0012】

本実施形態に係る温度センサ1は、PTATブロック(第1信号生成回路)100、シフトブロック(第2信号生成回路)110、減算ブロック(減算回路)120、を有する。本実施形態に係る温度センサ1は、シリコン半導体上に半導体プロセス(例えば、CMOSプロセスやBiCMOSプロセス)を使用して形成した回路素子により構成することができる。したがって、本実施形態に係る温度センサ1は、例えば、半導体メモリや、プロセッサといったLSIやICに組み込んで1つのチップとすることができる。これにより、LSIの基板温度をモニタし、LSI内部の回路を該温度に基づいて制御することができるため、温度変化による回路特性の劣化の防止、温度上昇に伴うLSIの発熱を防止することによる安全性の確保、を実現できる。

40

【0013】

PTATブロック100は、半導体のpn接合の温度特性を利用して、絶対温度に対し正の依存性を有するPTAT電流(第1信号)を出力することで、温度を検出する機能を有する。シフトブロック110は、半導体のpn接合の温度特性を利用して、絶対温度に対し負の依存性を有し且つ正のオフセットを有するシフト電流(第2信号)を出力する機能を有する。減算ブロック120は、PTATブロック100の出力電流からレベルシフトブロック110の出力電流を減算し、電圧に変換し、センス電圧 $V_{out}$ として出力することで、温度を検出する機能を有する。

50

## 【0014】

ここで、絶対温度に対し正の依存性を有するとは、対象とする物理量が、絶対温度が上昇するに伴って大きくなることをいう。絶対温度に対し負の依存性を有するとは、対象とする物理量が、絶対温度が上昇するに伴って小さくなることをいう。

## 【0015】

絶対温度に対し正の依存性を有するPTAT電流から絶対温度に対し負の依存性を有し且つ正のオフセットを有するシフト電流を減算（すなわち、シフト）することで、センス電圧の温度変化率を増大し、かつ、センス電圧の絶対値を減少させることができる。このため、センス電圧は、より大きな温度依存性を有し、かつ、より絶対値が小さいという特性を有するものとするることができる。センス電圧が低電圧であることは、電源電圧によつて回路動作上制限されるセンス電圧の範囲を拡大することに寄与する。よって、本実施形態によれば、温度の測定感度の向上および測定範囲の拡大を実現することができる。

10

## 【0016】

以下、本実施形態に係る温度センサ1を構成する各ブロックについて詳細に説明する。

## 【0017】

図2は、温度センサ1のPTATブロック100を示す図である。

## 【0018】

PTATブロック100は、PTAT回路からなる。PTAT回路の構成について説明する。PTAT回路は、pnpトランジスタQp1（以下、単に「トランジスタQp1」と称する）、pnpトランジスタQp2（以下、単に「トランジスタQp2」と称する）、第1オペアンプAP1、第1抵抗器R1、第1pMOSトランジスタ（以下、単に「トランジスタMp1」と称する）、第2pMOSトランジスタ（以下、単に「トランジスタMp2」と称する）、第5pMOSトランジスタ（以下、単に「トランジスタMp5」と称する）を有してなる。

20

## 【0019】

トランジスタQp1およびトランジスタQp2は、それぞれ、ベースとコレクタがショートされ、グランド（Ground、以下、「GND」と称する）電源（第2電源）に接続される。これにより、トランジスタQp1およびトランジスタQp2は一つのpn接合からなるダイオードを構成する。トランジスタQp2からなるダイオード（第2ダイオード）のアノードは第1抵抗器R1の前記一端に接続され、トランジスタQp1からなるダイオード（第1ダイオード）のアノードは第1オペアンプの負入力端子およびトランジスタMp1のドレインに接続される。

30

## 【0020】

トランジスタQp2は、トランジスタQp1に用いられるpnpトランジスタと同じpnpトランジスタが複数（図1では、個）並列に接続されることで構成される。並列接続数の値は、温度センサ1の特性を決定する値であり、温度センサ1に要求される仕様を満たすように適宜決定される。

## 【0021】

第1抵抗器R1は、一端がトランジスタQp2のエミッタに接続され、他端が第1オペアンプAP1の正入力端子および第2pMOSトランジスタMp2（以下、単に「トランジスタMp2」と称する）のドレインに接続される。

40

## 【0022】

第1オペアンプAP1は、正入力端子が第1抵抗器R1の前記他端に接続されるとともにMp2のドレインに接続される。第1オペアンプAP1の負入力端子はトランジスタQp1のエミッタおよびトランジスタMp1のドレインに接続される。第1オペアンプAP1の出力端子は、トランジスタMp1およびトランジスタMp2のゲートに接続される。

## 【0023】

図3は、オペアンプ回路を示す図である。第1オペアンプAP1は図3に示すような一般的なオペアンプ回路を用いることができる。

## 【0024】

50

本実施形態において、トランジスタM p 1とトランジスタM p 2は、同一のp M O Sトランジスタが用いられる。トランジスタM p 1、トランジスタM p 2、および、トランジスタM p 5は、互いのゲートがショートされるとともに、ソースがV D D電源（第1電源）に接続される。

【0025】

トランジスタM p 5は、トランジスタM p 1およびトランジスタM p 2に用いられるp M O Sトランジスタと同じp M O Sトランジスタ（すなわち、同じゲート幅、ゲート長のトランジスタ）が複数（図1及び図2では、 $n$ 個）並列に接続されることで構成される。並列接続数  $n$  の値は、温度センサ1の特性を決定する値であり、温度センサ1に要求される仕様を満たすように適宜決定される。

10

【0026】

P T A T回路の回路動作について説明する。第1オペアンプA P 1は、正入力端子と負入力端子の電位が等しくなるように動作する（仮想短絡）。すなわち、第1オペアンプA P 1は、トランジスタM p 1とトランジスタM p 2のドレイン電圧が等しくなるように、互いにショートされたトランジスタM p 1およびトランジスタM p 2のゲートの電圧を制御する。トランジスタM p 1およびトランジスタM p 2のゲートの電圧が制御されることで、トランジスタM p 1およびトランジスタM p 2のドレイン電流が制御される。トランジスタM p 1とトランジスタM p 2とのゲート - ソース間電圧（以下、「 $V_{gs}$ 」と称する）は等しいため、トランジスタM p 1とトランジスタM p 2とは同じ値のドレイン電流が流れる。したがって、トランジスタQ p 1とトランジスタQ p 2には同じ値の電流が印加される。

20

【0027】

トランジスタQ p 1は1個のp n pトランジスタからなるのに対し、トランジスタQ p 2は  $n$  個のp n pトランジスタからなるため、トランジスタQ p 2を構成する各p n pトランジスタに流れる電流は、トランジスタQ p 1を構成する1個のp n pトランジスタに流れる電流より小さくなる。したがって、トランジスタQ p 1のベース - エミッタ間電圧（以下、「 $V_{be}$ 」と称する）は、Q p 2の $V_{be}$ より大きくなる。その結果、Q p 1とQ p 2の $V_{be}$ の差に相当する電圧が第1抵抗器R 1に印加される。Q p 1とQ p 2の $V_{be}$ の差は正の温度依存性を有するため、第1抵抗器R 1に流れる電流も同じ温度依存性を有する。第1抵抗器R 1に流れる電流はトランジスタM p 2のドレイン電流であるため、トランジスタM p 2のドレイン電流も同じ温度依存性を有する。

30

【0028】

トランジスタM p 1、M p 2、M p 5は電流コピー回路をなし、トランジスタM p 1、M p 2のドレイン電流は所定の倍率（第1倍率） $k$ で倍されトランジスタM p 5のドレイン電流をなす。トランジスタM p 5のドレイン電流が、P T A Tブロックの出力電流であるP T A T電流となる。P T A T電流は、温度依存性を有するトランジスタM p 2のドレイン電流を  $k$ 倍した電流であるので、トランジスタM p 2のドレイン電流と同じ温度依存性を有する。

【0029】

以下、計算によりP T A T電流を求めることで、その温度依存性を示す。

40

【0030】

トランジスタQ p 1のエミッタの電位 $V_1$ およびトランジスタQ p 2のエミッタの電位 $V_2$ は、それぞれ下記式（1）、（2）で与えられる。

【0031】

【数1】

$$V_1 = \frac{k}{q} \cdot T_k \cdot \ln\left(\frac{I_1}{I_s}\right) \quad \dots (1)$$

【0032】

【数2】

$$V_2 = \frac{k}{q} \cdot T_k \cdot \ln\left(\frac{I_1}{aI_s}\right) \quad \dots (2)$$

【0033】

ここで、 $k$ はボルツマン定数 ( $1.38 \times 10^{-23}$  [J/K])、 $q$ は電荷素量 ( $1.6 \times 10^{-19}$  [C])、 $T_k$ は絶対温度[K]、 $I_s$ は逆方向飽和電流[A]である。

【0034】

トランジスタMp1のドレイン電流 $I_1$ は、下記式(3)で与えられる。

10

【0035】

【数3】

$$I_1 = \frac{V_1 - V_2}{R_1} = \frac{1}{R_1} \cdot \left[ \frac{k}{q} \cdot T_k \cdot \ln\left(\frac{I_1}{I_s}\right) - \frac{k}{q} \cdot T_k \cdot \ln\left(\frac{I_1}{aI_s}\right) \right] \quad \dots (3)$$

【0036】

式(3)から判るように、トランジスタQp2を、トランジスタQp1と同じpnptランジスタを一個並列接続して構成することにより、トランジスタMp1のドレイン電流 $I_1$ においてpnptランジスタの逆方向飽和電流 $I_s$ の値をキャンセルし、製造バラツキに依存しない高精度なPTAT回路を実現できる。

20

【0037】

PTAT電流 $I_{PTAT}$ は、下記式(4)で与えられる。

【0038】

【数4】

$$\begin{aligned} I_{PTAT} &= \beta \cdot I_1 \\ &= \beta \cdot \frac{1}{R_1} \cdot \frac{k}{q} \cdot (T_d + 273) \cdot \ln(a) \\ &= \left[ \beta \cdot \frac{1}{R_1} \cdot \frac{k}{q} \cdot \ln(a) \right] \cdot T_d + 273\beta \cdot \frac{1}{R_1} \cdot \frac{k}{q} \cdot \ln(a) \quad \dots (4) \end{aligned}$$

30

【0039】

ここで、 $T_d$ はセルシウス温度[ ]である。

【0040】

後述のように第1抵抗器 $R_1$ の温度依存性は第3抵抗器 $R_3$ の温度依存性と相殺されるので、第1抵抗器 $R_1$ の温度依存性を無視すると、式(4)の第1項は、温度 $T_d$ に依存して変化する項であり、第2項は温度 $T_d$ に依存しない定数となる。ここで、第1項の温度 $T_d$ の係数は、 $\beta$ が2以上であるので正の数である。すなわち、PTAT電流 $I_{PTAT}$ は、第1抵抗器 $R_1$ の温度依存性を無視すると絶対温度に対し正の依存性を有することが分かる。トランジスタQp2の並列接続数 $\beta$ の値、トランジスタMp5の並列接続数の値は、温度センサ1に要求される仕様を満たすように適宜決定することができる。

40

【0041】

次に、温度センサ1のシフトブロック110について説明する。図4は、温度センサ1のシフトブロック110を示す図である。

【0042】

シフトブロック110は、シフト回路からなる。以下、シフト回路の構成について説明する。第3pnptランジスタQp3(以下、単に「トランジスタQp3」と称する)、

50

第2オペアンプAP2、第2抵抗器R2、第3pMOSトランジスタ（以下、単に「トランジスタMp3」と称する）、第4pMOSトランジスタ（以下、単に「トランジスタMp4」と称する）、第6pMOSトランジスタ（以下、単に「トランジスタMp6」と称する）を有してなる。

【0043】

トランジスタQp3は、ベースとコレクタがショートされ、GND電源に接続される。これにより、トランジスタQp3は一つのpn接合からなるダイオード（第3ダイオード）を構成する。トランジスタQp3からなるダイオードのアノードは、第2オペアンプAP2の負入力端子およびトランジスタMp3のドレインに接続される。

【0044】

トランジスタQp3に用いるpnpトランジスタの逆方向飽和電流 $I_s$ の値は、温度センサ1の特性を決定する値であり、pnpトランジスタの選択により、温度センサ1に要求される仕様を満たすように適宜決定される。

【0045】

第2抵抗器R2は、一端がGND電源に接続され、他端が第2オペアンプAP2の正入力端子およびトランジスタMp4のドレインに接続される。

【0046】

第2オペアンプAP2は、正入力端子が第2抵抗器R2の前記他端に接続されるとともにトランジスタMp4のドレインに接続される。第2オペアンプAP2の負入力端子はトランジスタQp3のエミッタおよびトランジスタMp3のドレインに接続される。第2オペアンプAP2の出力端子は、トランジスタMp3、トランジスタMp4、およびトランジスタMp6のゲートに接続される。

【0047】

第2オペアンプAP2は、PTATブロック100の第1オペアンプAP1と同様に、図2に示すような一般的なオペアンプ回路を用いることができる。

【0048】

トランジスタMp3とトランジスタMp4は、同一のpMOSトランジスタが用いられる。トランジスタMp3とトランジスタMp4は、互いのゲートがショートされるとともに、ソースがVDD電源（第1電源）に接続される。

【0049】

トランジスタMp6は、トランジスタMp3およびトランジスタMp4に用いられるpMOSトランジスタと同じpMOSトランジスタ（すなわち、同じゲート幅、ゲート長のトランジスタ）が複数（図4では、 $n$ 個）並列に接続されることで構成される。並列接続数 $n$ の値は、温度センサ1の特性を決定する値であり、温度センサ1に要求される仕様を満たすように適宜決定される。

【0050】

シフト回路の回路動作について説明する。第2オペアンプAP2は、正入力端子と負入力端子の電位が等しくなるように動作する。すなわち、第2オペアンプAP2は、トランジスタMp3とトランジスタMp4のドレイン電圧が等しくなるように、互いにショートされたトランジスタMp3およびトランジスタMp4のゲートの電圧を制御する。トランジスタMp3およびトランジスタMp4のゲートの電圧が制御されることで、トランジスタMp3およびトランジスタMp4のドレイン電流が制御される。トランジスタMp3とトランジスタMp4の $V_{gs}$ は等しいため、トランジスタMp3とトランジスタMp4のドレイン電流は同じ値となる。したがって、トランジスタQp3と第2抵抗器R2には同じ値の電流が印加される。トランジスタMp4のドレイン電流が印加されることで、第2抵抗器R2で発生した電圧は第2オペアンプAP2の正入力端子に入力され、トランジスタMp3のドレイン電流が印加されたトランジスタQp3の $V_{be}$ は第2オペアンプAP2の負入力端子に入力される。第2オペアンプAP2は、正入力端子と負入力端子の電位が等しくなるようにトランジスタMp3およびトランジスタMp4のゲートの電圧を制御する。

10

20

30

40

50

## 【 0 0 5 1 】

トランジスタM p 3、M p 4、M p 6は電流コピー回路をなし、トランジスタM p 4のドレイン電流は所定の倍率（第2倍率）で倍されトランジスタM p 6のドレイン電流をなす。トランジスタM p 6のドレイン電流が、シフトブロック110の出力電流であるシフト電流 $I_{SHIFT}$ となる。

## 【 0 0 5 2 】

ここで、計算によりシフト電流 $I_{SHIFT}$ を求めることで、その温度依存性を示す。

## 【 0 0 5 3 】

トランジスタQ p 3のエミタの電位 $V_3$ は、下記式（5）で与えられる。

## 【 0 0 5 4 】

## 【数5】

$$\begin{aligned} V_3 &= \frac{k}{q} \cdot T_k \cdot \ln\left(\frac{I_3}{I_s}\right) \\ &= S \cdot T_k + E_g \quad \dots (5) \end{aligned}$$

## 【 0 0 5 5 】

ここで、 $S$  [mV/K]は、トランジスタQ p 3の逆方向飽和電流 $I_s$  [A]に依存する値であり、約 $-1.5 \sim -2.0$  [mV/K]の定数となる。 $E_g$  [V]はバンドギャップ電圧

## 【 0 0 5 6 】

第2抵抗器には電圧 $V_3$ が印加されることから、トランジスタM p 4のドレイン電流 $I_4$ の値は、下記式（6）で与えられる。

## 【 0 0 5 7 】

## 【数6】

$$I_4 = \frac{V_3}{R_2} = \frac{1}{R_2} \cdot (S \cdot T_k + E_g) \quad \dots (6)$$

## 【 0 0 5 8 】

シフト電流 $I_{SHIFT}$ は、下記式（7）で与えられる。

## 【 0 0 5 9 】

## 【数7】

$$\begin{aligned} I_{SHIFT} &= \gamma \cdot I_4 \\ &= \gamma \cdot \frac{1}{R_2} \cdot [S \cdot (T_d + 273) + E_g] \\ &= \gamma \cdot \frac{1}{R_2} \cdot S \cdot T_d + \gamma \cdot \frac{1}{R_2} \cdot (E_g + 273S) \quad \dots (7) \end{aligned}$$

## 【 0 0 6 0 】

第2抵抗器 $R_2$ の温度依存性についても、第3抵抗器 $R_3$ の温度依存性と相殺されるため、これを無視すると、式（7）の第1項は、温度 $T_d$ に依存して変化する項であり、第2項は温度 $T_d$ に依存しない定数である。ここで、第1項の温度 $T_d$ の係数は、 $S$ が負であるので負の値である。すなわち、シフト電流 $I_{SHIFT}$ は、第2抵抗器 $R_2$ の温度依存性を無視すると、絶対温度に対し負の依存性を有する。また、式（7）の第2項は正の値であるから、シフト電流 $I_{SHIFT}$ は正のオフセット値を有することが分かる。 $S$ の値、トランジスタM p 6の並列接続数の値は、温度センサ1に要求される仕様を満たすように適宜決定することができる。

10

20

30

40

50



## 【0061】

次に、温度センサ1の減算ブロック120について説明する。図5は、温度センサ1の減算ブロック120を示す図である。

## 【0062】

減算ブロック120は、減算回路からなる。以下、減算回路の構成および回路動作について説明する。減算回路は、第1nMOSトランジスタ（以下、単に「トランジスタMn1」と称する）、第2nMOSトランジスタ（以下、単に「トランジスタMn2」と称する）、第3抵抗器R3を有してなる。減算ブロック120は、出力端子V<sub>out</sub>を有し、温度の検出信号であるセンス電圧V<sub>out</sub>は、出力端子V<sub>out</sub>から出力される。

## 【0063】

トランジスタMn1は、ゲート-ドレイン間がショートされ、ゲートがトランジスタMn2のゲートと接続される。これにより、トランジスタMn1とトランジスタMn2は電流コピー回路をなす。第3抵抗器R3は、出力端子V<sub>out</sub>とGND電源間に接続され、PTAT電流からシフト電流を減算してなるセンス電流が印加されることでこれを電圧信号に変換し、センス電圧V<sub>out</sub>を生成する。

## 【0064】

減算ブロック120には、シフトブロック110からシフトブロック110の出力であるシフト電流I<sub>SHIFT</sub>が入力される。また、減算ブロック120には、PTATブロック100からPTATブロック100の出力であるPTAT電流I<sub>PTAT</sub>が入力される。トランジスタMn1にはシフト電流I<sub>SHIFT</sub>が印加され、トランジスタMn1とトランジスタMn2とからなる電流コピー回路は、シフト電流I<sub>SHIFT</sub>をコピーし、トランジスタMn2のドレイン電流としてシフト電流I<sub>SHIFT</sub>と同じ値の電流を出力端子V<sub>out</sub>から引き込む。このとき、出力端子V<sub>out</sub>にはPTATブロックからのPTAT電流I<sub>PTAT</sub>が押し込まれるため、PTAT電流I<sub>PTAT</sub>からシフト電流I<sub>SHIFT</sub>が減算される。そして、PTAT電流I<sub>PTAT</sub>からシフト電流I<sub>SHIFT</sub>が減算された差分は、センス電流として第3抵抗器R3に印加される。これにより、温度の検出信号であるセンス電流は、出力端子V<sub>out</sub>から電圧信号として出力される。すなわち、減算ブロック120は、PTAT電流からシフト電流を減算したセンス電流に基づいてセンス電圧を発生させ、センス電圧を出力端子から出力する機能を有する。

## 【0065】

ここで、計算によりセンス電圧を求めることで、その温度依存性を示す。

## 【0066】

センス電圧V<sub>out</sub>は、上述した式(4)、(7)から下記式(8)で与えられる。

## 【0067】

## 【数8】

$$V_{out} = R_3 \cdot (I_{PTAT} - I_{SHIFT})$$

$$= R_3 \left[ \beta \cdot \frac{1}{R_1} \cdot \frac{k}{q} \cdot \ln(a) - \gamma \cdot \frac{1}{R_2} \cdot S \right] T_d + R_3 \left[ 273\beta \cdot \frac{1}{R_1} \cdot \frac{k}{q} \cdot \ln(a) - \gamma \cdot \frac{1}{R_2} \cdot (E_g + 273S) \right]$$

・・・(8)

## 【0068】

式(8)に注目すると、R1とR3並びにR2とR3が、それぞれ比(R3/R1、R3/R2)の形となっているので、同じ温度依存性を有する抵抗を用いることで、それぞれの抵抗の温度依存性を相殺していることが分かる。特に、集積化した回路においては、同じ材料で近傍に配置すれば同じ温度依存性を持つことが知られており、本発明の実施形態として有利である。一方、ディスクリートとする場合には、同一材料でかつ熱結合をすることで、同じ温度依存性を実現することができる。

## 【0069】

10

20

30

40

50

式(8)の第1項の温度 $T_d$ の係数に注目すると、該係数の第1項は、P T A T電流 $I_{P T A T}$ の温度に対する正の傾きを示している。該係数の第2項は、シフト電流 $I_{S H I F T}$ の温度に対する負の傾きを示している。そうすると、本実施形態によるセンス電圧 $V_{out}$ は、P T A T電流 $I_{P T A T}$ のみを用いる場合より、温度 $T_d$ に対する傾きが大きくなることが判る。すなわち、本実施形態に係る温度センサ1によれば、センス電圧 $V_{out}$ の温度 $T_d$ に対する傾きを大きくすることができるので、温度の測定感度を向上させることができる。

【0070】

式(8)の第2項に注目すると、該第2項は温度 $T_d$ に依存しない定数であり、温度 $T_d$ が零のときのセンス電圧 $V_{out}$ の値、すなわち、センス電圧 $V_{out}$ の温度 $T_d$ に対するグラフの切片を示している。そして、該第2項のトランジスタMp6の並列接続数、第2抵抗器R2、Sの値、トランジスタMp5の並列接続数、第1抵抗器R1、トランジスタQp2の並列接続数、を適切に選択することで、該切片の値を小さくすることができる。これにより、本実施形態によれば、センス電圧 $V_{out}$ は、P T A T電流 $I_{P T A T}$ のみを用いる場合より、温度 $T_d$ に対する切片を小さくすることができることが判る。すなわち、本実施形態によれば、センス電圧 $V_{out}$ の絶対値を小さくすることができるので、温度の測定範囲の拡大を実現することができる。

10

【0071】

ここで、本実施形態が、温度の測定感度を向上させ、温度の測定範囲を拡大させる理由についてさらに詳細に説明する。

20

【0072】

図6は、P T A Tブロック100のみの場合の出力電圧の温度依存性(A)と、P T A Tブロック100とシフトブロック110と減算ブロック120とを接続させた本実施形態に係る温度センサ1の出力電圧の温度依存性(B)と、を示す説明図である。ここで、図6のAは、P T A Tブロックは電流出力(すなわち、P T A T電流 $I_{P T A T}$ を出力する)であるため、P T A Tブロックの出力(すなわち、トランジスタMp5のドレイン)に抵抗器R3と同じ値の抵抗器を接続してP T A T電流 $I_{P T A T}$ を、擬似的にセンス電圧に変換した場合の特性を示している。すなわち、図6のAは、従来の温度センサの出力電圧の温度依存性を示すものである。

【0073】

式(4)において、 $I_{P T A T}$ に抵抗器R3の抵抗値であるR3を乗じると、P T A Tブロック100のみの場合のセンス電圧 $V_{out}$ が求められ、センス電圧 $V_{out}$ の温度 $T_d$ に対する傾きをaとすると、下記式(9)となる。

30

【0074】

【数9】

$$V_{out} = \left[ \beta \cdot \frac{R_3}{R_1} \cdot \frac{k}{q} \cdot \ln(a) \right] \cdot T_d + 273 \beta \cdot \frac{R_3}{R_1} \cdot \frac{k}{q} \cdot \ln(a)$$

$$= a \cdot T_d + 273a \quad \dots (9)$$

40

【0075】

式(8)において、本実施形態のセンス電圧 $V_{out}$ を、上記a、およびその他の定数b、cを用いて示すと、下記式(10)のように表現することができる。

【0076】

【数10】

$$V_{out} = R_3 \left[ \beta \cdot \frac{1}{R_1} \cdot \frac{k}{q} \cdot \ln(a) - \gamma \cdot \frac{1}{R_2} \cdot S \right] T_d + R_3 \left[ 273 \beta \cdot \frac{1}{R_1} \cdot \frac{k}{q} \cdot \ln(a) - \gamma \cdot \frac{1}{R_2} \cdot (E_g + 273S) \right]$$

$$= (a-b)T_d + (273a-c) \quad \dots (10)$$

50

## 【 0 0 7 7 】

式(9)および式(10)をそれぞれグラフ化したものが図6のAおよびBである。bは負の値であるので、(a-b)の値はaの値より大きくなる。したがって、本実施形態によれば、センス電圧 $V_{out}$ の温度 $T_d$ に対する傾きを大きくすることができるので、温度の測定感度を向上させることができる。また、cは正の値である。したがって、本実施形態によれば、センス電圧 $V_{out}$ の温度 $T_d$ に対する切片を小さくすることができるので、温度の測定範囲の拡大を実現することができる。

## 【 0 0 7 8 】

図6のAに示すように、従来の温度センサにおいては、センス電圧 $V_{out}$ がVDD電源の電圧を超えることはないため、センス電圧 $V_{out}$ の温度 $T_d$ に対する切片が大きいと、温度検出範囲の仕様(例えば、最大検出温度が95)を満たすことができない場合がある。実際には、センス電圧 $V_{out}$ の出力端子とVDD電源の間には、通常、能動素子(例えば、トランジスタMp5)を有し、該能動素子を通常動作させる(例えば、pMOSトランジスタMp5を飽和領域で動作させる)ための電圧幅が必要となるため、センス電圧 $V_{out}$ による温度の測定範囲はさらに狭くなる。したがって、センス電圧 $V_{out}$ の温度 $T_d$ に対する切片を小さくすることは温度の測定範囲を拡大するために有効である。

10

## 【 0 0 7 9 】

一方、センス電圧 $V_{out}$ の温度 $T_d$ に対する切片を小さくするだけであれば、センス電流をセンス電圧 $V_{out}$ に変換する抵抗器(例えば、第3抵抗器R3)の抵抗値を小さくすればよい。しかし、単に該抵抗器の抵抗値を小さくすると、センス電圧 $V_{out}$ の温度 $T_d$ に対する傾きも小さくなるため、温度の測定感度が低下してしまう。

20

## 【 0 0 8 0 】

そこで、本実施形態によれば、絶対温度に対し正の依存性を有するPTAT電流から絶対温度に対し負の依存性を有し且つ正のオフセットを有するシフト電流を減算し、第3抵抗器R3で電圧変換してセンス電圧 $V_{out}$ として出力する。これにより、図6のBに示すように、センス電圧 $V_{out}$ の温度変化率を増大し、かつ、センス電圧 $V_{out}$ の絶対値(すなわち、センス電圧 $V_{out}$ の温度 $T_d$ に対する切片)を減少させることができるため、温度の測定感度の向上および測定範囲の拡大を実現することができる。

## 【 0 0 8 1 】

本実施形態に係る温度センサのシミュレーション結果について説明する。

30

## 【 0 0 8 2 】

図7は、本実施形態に係る温度センサのセンス電圧 $V_{out}$ のVDD電源電圧依存性のシミュレーション結果(A)と、センス電圧 $V_{out}$ の温度変化率のVDD電源電圧依存性のシミュレーション結果(B)を示す図である。

## 【 0 0 8 3 】

図7のAから明らかなように、本実施形態に係る温度センサによれば、-40から100の温度範囲において、センス電圧 $V_{out}$ が飽和することなく、良好な直線性を有する。したがって、本実施形態によれば、温度の測定範囲の拡大を実現できる。

## 【 0 0 8 4 】

また、図7のAおよびBから明らかなように、本実施形態に係る温度センサによれば、センス電圧 $V_{out}$ およびその温度係数とも、VDD電源電圧依存性を十分小さくすることができる。したがって、本実施形態によれば、電源変動特性、すなわち、PSRR(Power Supply Rejection Ratio)特性の良好な温度センサを実現できる。

40

## 【 0 0 8 5 】

また、図7のBから明らかなように、本実施形態に係る温度センサによれば、9mV/以上の良好なセンス電圧の温度変化率を実現できる。したがって、本実施形態によれば、温度の測定感度の向上を実現できる。

## 【 0 0 8 6 】

50

図8は、本実施形態に係る温度センサの $-40 \sim 100$ の温度における利得が $72 \text{ dB}$  ( $3162$ 倍)のときのセンス電圧 $V_{out}$ の温度変化率の電源電圧依存性を示す図である。

【0087】

図8から明らかなように、本実施形態によれば、利得 $72 \text{ dB}$ において、 $VDD$ 電源電圧 $3 \sim 5 \text{ V}$ 、温度測定範囲 $-40 \sim 100$ 、センス電圧温度変化率 $9 \text{ mV}/$ 以上という温度センサとして十分な性能を実現できる。

【0088】

[第2実施形態]

次に、本発明の第2実施形態に係る温度センサについて説明する。

10

【0089】

本実施形態と第1実施形態とで異なる点は、本実施形態のPTATブロック100を構成するPTAT回路、および、シフトブロック110を構成するシフト回路においてオペアンプを使用しない点である。すなわち、本実施形態においては、オペアンプによる仮想短絡動作を2つのトランジスタにより簡易的に実現する。なお、その他の点については第1実施形態と同様であるので、重複となる説明は原則として省略する。

【0090】

図9は、本実施形態に係る温度センサの概略的な回路構成を示す図である。本実施形態に係る温度センサ1は、第1実施形態と同様に、PTATブロック(第1信号生成回路)100、シフトブロック(第2信号生成回路)110、減算ブロック(減算回路)120、を有する。

20

【0091】

PTATブロック100はPTAT回路により構成される。以下、PTAT回路の構成について説明する。PTAT回路は、トランジスタ $Q_{p1}$ 、トランジスタ $Q_{p2}$ 、第3nMOSトランジスタ $M_{n3}$ (以下、単に「トランジスタ $M_{n3}$ 」と称する)、第4nMOSトランジスタ $M_{n4}$ (以下、単に「トランジスタ $M_{n4}$ 」と称する)、第1抵抗器 $R_1$ 、トランジスタ $M_{p1}$ 、トランジスタ $M_{p2}$ 、トランジスタ $M_{p5}$ を有してなる。

【0092】

第1抵抗器 $R_1$ は、一端がトランジスタ $Q_{p2}$ のエミッタに接続され、他端がトランジスタ $M_{n4}$ のソースに接続される。

30

【0093】

トランジスタ $M_{n3}$ とトランジスタ $M_{n4}$ は同一のnMOSトランジスタが用いられる。トランジスタ $M_{n3}$ は、ゲートとドレインがショートされ、該ショートされたゲートとドレインがトランジスタ $M_{n4}$ のゲートおよびトランジスタ $M_{p1}$ のドレインと接続される。トランジスタ $M_{n3}$ のソースは、トランジスタ $Q_{p1}$ のエミッタと接続される。

【0094】

トランジスタ $M_{p1}$ とトランジスタ $M_{p2}$ は、同一のpMOSトランジスタが用いられる。トランジスタ $M_{p1}$ とトランジスタ $M_{p2}$ は、互いのゲートがショートされるとともに、ソースが $VDD$ 電源(第1電源)に接続される。トランジスタ $M_{p2}$ は、ゲートとドレインがショートされ、トランジスタ $M_{n4}$ のドレインに接続される。

40

【0095】

トランジスタ $M_{p5}$ は、トランジスタ $M_{p1}$ およびトランジスタ $M_{p2}$ に用いられるpMOSトランジスタと同じpMOSトランジスタが複数(図9では、 $n$ 個)並列に接続されることで構成される。並列接続数 $n$ の値は、温度センサ1の特性を決定する値であり、温度センサ1に要求される仕様を満たすように適宜決定される。

【0096】

PTAT回路の回路動作について説明する。トランジスタ $M_{p1}$ とトランジスタ $M_{p2}$ とは電流コピー回路をなし、トランジスタ $M_{p2}$ のドレイン電流がトランジスタ $M_{p1}$ のドレイン電流としてコピーされる。すなわち、トランジスタ $M_{p2}$ とトランジスタ $M_{p1}$ のドレイン電流は等しくなる。トランジスタ $M_{p2}$ のドレイン電流はトランジスタ $M_{n4}$

50

に流れ、トランジスタM p 1のドレイン電流はトランジスタM n 3に流れる。トランジスタM n 3とトランジスタM n 4のゲートはショートされ、かつ、トランジスタM n 3とトランジスタM n 4のソース電流は等しいため、トランジスタM n 3とトランジスタM n 4のソース電位は等しくなる。一方、トランジスタQ p 1およびトランジスタQ p 2にはそれぞれ同じ値の電流（すなわち、それぞれトランジスタM n 3のソース電流およびトランジスタM n 4のソース電流）が印加されるが、トランジスタQ p 1は1個のp n pトランジスタからなるのに対し、トランジスタQ p 2は 個のp n pトランジスタからなるため、トランジスタQ p 1のV b eは、Q p 2のV b eより大きくなる。トランジスタM n 3とトランジスタM n 4のソース電位は等しいため、Q p 1のV b eの値と、Q p 2のV b eと第1抵抗器R 1における電圧降下との和と、が等しくなるようにトランジスタQ p 1、トランジスタQ p 2、および第1抵抗器R 1に電流が印加される。その結果、Q p 1とQ p 2のV b eの差に相当する電圧が第1抵抗器R 1に印加される。

10

【0097】

トランジスタM p 1、M p 2、M p 5は電流コピー回路をなし、トランジスタM p 1、M p 2のドレイン電流は所定の倍率（第1倍率）で倍されトランジスタM p 5のドレイン電流をなす。トランジスタM p 5のドレイン電流が、P T A Tブロックの出力電流であるP T A T電流（第1信号）となる。

【0098】

シフトブロック110はシフト回路により構成される。以下、シフト回路の構成について説明する。シフト回路は、トランジスタQ p 3、第5 n M O SトランジスタM n 5（以下、単に「トランジスタM n 5」と称する）、第6 n M O SトランジスタM n 6（以下、単に「トランジスタM n 6」と称する）、第2抵抗器R 2、トランジスタM p 3、トランジスタM p 4、トランジスタM p 6を有してなる。

20

【0099】

トランジスタQ p 3は、ベースとコレクタがショートされ、G N D電源に接続される。これにより、トランジスタQ p 3は一つのp n 接合からなるダイオードを構成する。すなわち、トランジスタQ p 3からなるダイオード（第3ダイオード）のカソードはG N D電源に接続される。また、トランジスタQ p 3からなるダイオードのアノードは、トランジスタM n 6のソースに接続される。

【0100】

トランジスタQ p 3に用いるp n pトランジスタの逆方向飽和電流 $I_{s}$ の値は、温度センサ1の特性を決定する値であり、温度センサ1に要求される仕様を満たすように適宜決定される。

30

【0101】

第2抵抗器R 2は、一端がG N D電源に接続され、他端がトランジスタM n 5のソースに接続される。

【0102】

トランジスタM n 5とトランジスタM n 6は同一のn M O Sトランジスタが用いられる。トランジスタM n 5は、ゲートとドレインがショートされ、該ショートされたゲートとドレインがトランジスタM n 6のゲートおよびトランジスタM p 4のドレインと接続される。トランジスタM n 6のソースは、トランジスタQ p 3のエミッタと接続される。

40

【0103】

トランジスタM p 3とトランジスタM p 4は、同一のp M O Sトランジスタが用いられる。トランジスタM p 3とトランジスタM p 4は、互いのゲートがショートされるとともに、ソースがV D D電源（第1電源）に接続される。トランジスタM p 3は、ゲートとドレインがショートされ、トランジスタM n 6のドレインと接続される。

【0104】

トランジスタM p 6は、トランジスタM p 3およびトランジスタM p 4に用いられるp M O Sトランジスタと同じp M O Sトランジスタが複数（図9では、 個）並列に接続されることで構成される。並列接続数 の値は、温度センサ1の特性を決定する値であり、

50

温度センサ 1 に要求される仕様を満たすように適宜決定される。

【 0 1 0 5 】

シフト回路の回路動作について説明する。トランジスタ M p 3 とトランジスタ M p 4 とは電流コピー回路をなし、トランジスタ M p 3 のドレイン電流がトランジスタ M p 4 のドレイン電流としてコピーされる。すなわち、トランジスタ M p 3 とトランジスタ M p 4 のドレイン電流は等しくなる。トランジスタ M p 3 のドレイン電流はトランジスタ M n 6 に流れ、トランジスタ M p 4 のドレイン電流はトランジスタ M n 5 に流れる。トランジスタ M n 5 とトランジスタ M n 6 のゲートは接続され、かつ、トランジスタ M n 5 とトランジスタ M n 6 のソース電流は等しいため、トランジスタ M n 5 とトランジスタ M n 6 のソース電位は等しくなる。一方、トランジスタ Q p 3 および第 2 抵抗器 R 2 にはそれぞれ同じ値の電流（すなわち、それぞれトランジスタ M n 6 のソース電流およびトランジスタ M n 5 のソース電流）が印加される。トランジスタ M n 6 とトランジスタ M n 5 のソース電位は等しいため、Q p 3 の V b e の値と、第 2 抵抗器 R 2 における電圧降下の値と、が等しくなるようにトランジスタ Q p 3 および第 1 抵抗器 R 1 にそれぞれ同じ大きさの電流が印加される。その結果、Q p 3 の V b e に相当する電圧が第 2 抵抗器 R 2 に印加される。

10

【 0 1 0 6 】

トランジスタ M p 3、M p 4、M p 6 は電流コピー回路をなし、トランジスタ M p 3 のドレイン電流は所定の倍率（第 2 倍率）で倍されトランジスタ M p 6 のドレイン電流をなす。トランジスタ M p 6 のドレイン電流が、シフトブロック 1 1 0 の出力電流であるシフト電流（第 2 信号）となる。

20

【 0 1 0 7 】

減算ブロック 1 2 0 を構成する減算回路は、第 1 実施形態と同様であるので、説明を省略する。

【 0 1 0 8 】

図 1 0 は、本実施形態に係る温度センサのセンス電圧  $V_{out}$  の V D D 電源電圧依存性のシミュレーション結果を示す図である。

【 0 1 0 9 】

図 1 0 によれば、本実施形態に係る温度センサは、第 1 実施形態に係る温度センサよりも V D D 電源電圧依存性が大きい。すなわち、本実施形態は、P S R R 特性においては、第 1 実施形態より劣ることが判る。これは、電流コピー回路をなす p M O S トランジスタ（例えば、トランジスタ M p 1 とトランジスタ M p 2）のドレイン電圧の差に起因するチャネル長変調効果が原因である。すなわち、V D D 電源電圧が大きくなるにしたがって、電流コピー回路をなす 2 つの p M O S トランジスタのソース - ドレイン間電圧の差が拡大し、これにより、電流コピー回路のコピー率が変動したことが原因である。

30

【 0 1 1 0 】

図 1 0 から明らかなように、本実施形態に係る温度センサによれば、- 4 0 から 1 0 0 の温度範囲において、センス電圧  $V_{out}$  が飽和することなく、良好な直線性を有する。したがって、本実施形態によれば、温度の測定範囲の拡大を実現できる。

【 0 1 1 1 】

このように、本実施形態によれば、温度の測定感度の向上および測定範囲の拡大を実現することができる。

40

【 0 1 1 2 】

また、本実施形態によれば、第 1 実施形態と異なり、オペアンプを使用しないことにより、より小規模の回路で温度の測定感度の向上および測定範囲の拡大を実現することができるため、チップサイズの削減、消費電力の削減が可能という効果を奏する。

【 0 1 1 3 】

[ 第 3 実施形態 ]

本発明の第 3 実施形態に係る温度センサについて説明する。

【 0 1 1 4 】

本実施形態は、第 2 実施形態に係る温度センサを改良したものである。本実施形態と第

50

2実施形態と異なる点は、本実施形態は、第2実施形態に係る温度センサを構成する回路に含まれる電流コピー回路にカスコード接続を付加している点である。カスコード接続を付加することにより、コピー回路を構成するMOSトランジスタのチャネル長変調効果による影響を減少させることができるため、温度センサのセンス電圧 $V_{out}$ のPSRRを向上させることができる。以下、本実施形態について説明するが、第1実施形態および第2実施形態の説明と重複となる説明は省略する。

#### 【0115】

図11は、本実施形態に係る温度センサの概略的な回路構成を示す図である。本実施形態に係る温度センサ1は、第2実施形態と同様に、PTATブロック(第1信号生成回路)100、シフトブロック(第2信号生成回路)110、減算ブロック(減算回路)120、を有する。

10

#### 【0116】

本実施形態に係るPTATブロック100を構成するPTAT回路は、第2実施形態におけるPTAT回路を構成する素子に加え、第7pMOSトランジスタMp7(以下、単に「トランジスタMp7」と称する)、第8pMOSトランジスタMp8(以下、単に「トランジスタMp8」と称する)、第7nMOSトランジスタMn7(以下、単に「トランジスタMn7」と称する)、第8nMOSトランジスタMn8(以下、単に「トランジスタMn8」と称する)、第11pMOSトランジスタMp11(以下、単に「トランジスタMp11」と称する)を有する。

20

#### 【0117】

本実施形態におけるPTAT回路は、第2実施形態におけるPTAT回路に含まれる電流コピー回路にカスコード接続が付加される。すなわち、トランジスタMp1おトランジスタMp2、トランジスタMp5からなる電流コピー回路には、トランジスタMp7、トランジスタMp8、トランジスタMp11からなるカスコード接続が付加される。また、トランジスタMn3およびトランジスタMn4からなる回路には、トランジスタMn7およびトランジスタMn8からなるカスコード接続が付加される。このように、電流ミラー回路にカスコード接続を付加することで、電流ミラー回路の出力抵抗をより大きくすることができるため、電流ミラー回路をなすMOSトランジスタのチャネル長変調効果の影響を低減することができる。その結果、センス電圧 $V_{out}$ の電源変動特性、すなわち、PSRRを向上させることができる。

30

#### 【0118】

本実施形態に係るシフトブロック110を構成するシフト回路は、第2実施形態におけるシフト回路を構成する素子に加え、第9pMOSトランジスタMp9(以下、単に「トランジスタMp9」と称する)、第10pMOSトランジスタMp10(以下、単に「トランジスタMp10」と称する)、第9nMOSトランジスタMn9(以下、単に「トランジスタMn9」と称する)、第10nMOSトランジスタMn10(以下、単に「トランジスタMn10」と称する)、第12pMOSトランジスタMp12(以下、単に「トランジスタMp12」と称する)を有する。

#### 【0119】

本実施形態におけるシフト回路は、第2実施形態におけるシフト回路に含まれる電流コピー回路にカスコード接続が付加される。すなわち、トランジスタMp4、トランジスタMp3、トランジスタMp6、からなる電流コピー回路には、トランジスタMp10、トランジスタMp9、トランジスタMp12、からなるカスコード接続が付加される。また、トランジスタMn6およびトランジスタMn5からなる回路には、トランジスタMn9およびトランジスタMn10からなるカスコード接続が付加される。このように、電流ミラー回路にカスコード接続を付加することで、電流ミラー回路をなすMOSトランジスタのチャネル長変調効果の影響を低減し、センス電圧 $V_{out}$ の電源変動特性を向上させることができる。

40

#### 【0120】

本実施形態に係る減算ブロック120を構成する減算回路は、第2実施形態における減

50

算回路を構成する素子に加え、第11nMOSトランジスタMn11（以下、単に「トランジスタMn11」と称する）、第12nMOSトランジスタMn12（以下、単に「トランジスタMn12」と称する）、を有する。

【0121】

本実施形態における減算回路は、第2実施形態における減算回路に含まれる電流コピー回路にカスコード接続が付加される。すなわち、トランジスタMn1およびトランジスタMn2からなる電流コピー回路には、トランジスタMn11およびトランジスタMn12からなるカスコード接続が付加される。このように、電流ミラー回路にカスコード接続を付加することで、電流ミラー回路をなすMOSトランジスタのチャネル長変調効果の影響を低減し、センス電圧 $V_{out}$ の電源変動特性を向上させることができる。

10

【0122】

図12は、本実施形態に係る温度センサのセンス電圧 $V_{out}$ のVDD電源電圧依存性のシミュレーション結果(A)と、センス電圧 $V_{out}$ の温度変化率のVDD電源電圧依存性のシミュレーション結果(B)を示す図である。

【0123】

図12のAから明らかなように、本実施形態に係る温度センサによれば、-40から100の温度範囲において、センス電圧 $V_{out}$ が飽和することなく、良好な直線性を有する。したがって、本実施形態によれば、温度の測定範囲の拡大を実現できる。

【0124】

また、図12のAおよびBから明らかなように、本実施形態に係る温度センサによれば、センス電圧 $V_{out}$ およびその温度係数とも、VDD電源電圧依存性を十分小さくすることができる。したがって、本実施形態によれば、PSRR特性の良好な温度センサを実現できる。

20

【0125】

また、図12のBから明らかなように、本実施形態に係る温度センサによれば、9mV/以上の良好なセンス電圧温度変化率を実現できる。したがって、本実施形態によれば、温度の測定感度の向上を実現できる。

【0126】

以上、本実施形態に係る温度センサについて説明したが、本実施形態は第2実施形態の奏する効果に加え、温度センサのPSRR特性がより向上するという効果を奏する。

30

【0127】

また、第1実施形態と異なり、オペアンプを使用しないことにより、小規模の回路で温度の測定感度の向上、測定範囲の拡大、さらにPSRR特性の向上、を実現することができるため、チップサイズの削減、消費電力の削減が可能という効果を奏する。

【0128】

[第4実施形態]

本発明の第4実施形態に係る温度センサについて説明する。

【0129】

本実施形態は、第1実施形態に係る温度センサを改良したものである。本実施形態と第1実施形態とで異なる点は、本実施形態は、第1実施形態の減算回路の出力に、電流コピー回路を2段付加している点である。その他の点については第1実施形態と同様であるので、重複となる説明は省略する。

40

【0130】

図13は、温度センサ1の減算ブロック120を示す図である。減算ブロック120は、減算回路によりなる。本実施形態の減算回路は、第1実施形態の減算回路を構成する素子に加え、第13nMOSトランジスタMn13（以下、単に「トランジスタMn13」と称する）、第14nMOSトランジスタMn14（以下、単に「トランジスタMn14」と称する）、第13pMOSトランジスタMp13（以下、単に「トランジスタMp13」と称する）、第14pMOSトランジスタMp14（以下、単に「トランジスタMp14」と称する）、を有する。

50



## 【0131】

減算回路の構成について説明する。本実施形態の減算回路は、第1実施形態における減算回路の出力に、電流コピー回路が2段付加される。すなわち、トランジスタMn13およびトランジスタMn14からなる1段目の電流コピー回路とトランジスタMp13およびトランジスタMp14からなる2段目の電流コピー回路が第1実施形態における減算回路の出力に付加される。すなわち、トランジスタMn13はゲートとドレインがショートされてトランジスタMn14のゲートと接続されるとともに、トランジスタMn13のゲートおよびドレインはトランジスタMn2のドレインに接続される。トランジスタMn13およびトランジスタMn14のソースは、GND電源に接続される。トランジスタMp13はゲートとドレインがショートされてトランジスタMp14のゲートと接続されるとともに、トランジスタMp13のゲートおよびドレインはトランジスタMn14のドレインに接続される。トランジスタMp13およびトランジスタMp14のソースは、VDD電源に接続される。第3抵抗器R3は、トランジスタMp14のドレインとGND電源との間に接続される。

10

## 【0132】

減算回路の回路動作を説明する。PTAT回路から入力されるPTAT電流 $I_{PTAT}$ は、トランジスタMp5のドレイン電流として減算回路に供給される。一方、トランジスタMn1およびトランジスタMn2からなる電流コピー回路は、シフト回路のトランジスタMp6から供給されたシフト電流 $I_{SHIFT}$ をコピーしてトランジスタMn2のドレイン電流として流す。トランジスタMp5から供給されるPTAT電流 $I_{PTAT}$ の方向と、トランジスタMn2がドレイン電流として流すシフト電流 $I_{SHIFT}$ の方向が逆であるため、PTAT電流 $I_{PTAT}$ からシフト電流 $I_{SHIFT}$ が減算され、その結果生じるセンス電流(すなわち、 $I_{PTAT} - I_{SHIFT}$ )が前記1段目の電流コピー回路に入力される。センス電流は、前記1番目の電流コピー回路と前記2番目の電流コピー回路で順次コピーされ、トランジスタMp14のドレイン電流として第3抵抗器R3に印加される。第3抵抗器R3は、トランジスタMp14からセンス電流の印加を受け、センス電圧 $V_{out}$ に変換し、センス電圧 $V_{out}$ を出力端子から出力する。

20

## 【0133】

本実施形態によれば、第1実施形態の減算回路の出力に2段の電流コピー回路を付加することで、温度センサの出力端子に接続される第3抵抗器R3における電圧降下によって減算回路が受ける特性面への影響を軽減することができる。また、第3抵抗器R3にセンス電流を供給するトランジスタMp14はセンス電流のみを流せばよいため、トランジスタMp14の出力抵抗を低減することができ、測定範囲のさらなる拡大を実現することができる。

30

## 【0134】

以上、本実施形態に係る温度センサについて説明したが、本実施形態は第1実施形態の奏する効果に加え、温度検出精度のさらなる向上と、測定範囲のさらなる拡大を実現することができる。

## 【0135】

本発明の複数の実施形態について説明したが、本発明の範囲は、上述した実施形態に限定されるものではない。たとえば、第4実施形態の減算回路で第2実施形態または第3実施形態の減算回路に置き換えた温度センサも本発明の範囲に属する。

40

## 【0136】

また、実施形態においては、絶対温度に対し正の依存性を有するPTAT電流から絶対温度に対し負の依存性を有し且つ正のオフセットを有するシフト電流を減算(電流による減算)したセンス電流を、抵抗器に印加してセンス電圧に変換し出力している。しかし、絶対温度に対し正の依存性を有する電圧から絶対温度に対し負の依存性を有するシフト電圧を、例えば、演算増幅器で減算(電圧による減算)し、これをセンス電圧として出力してもよい。

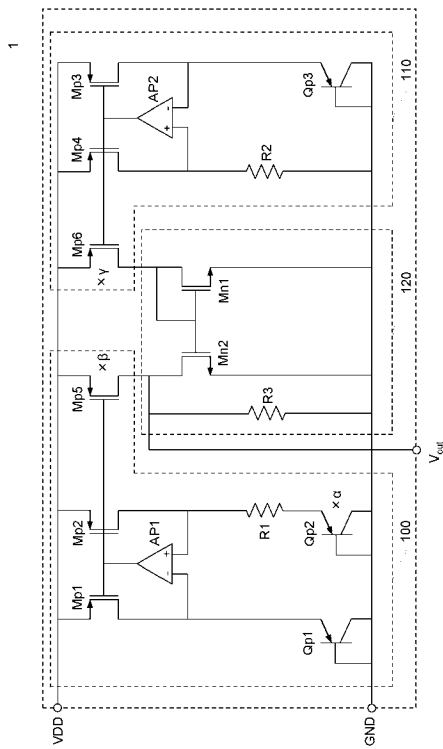
## 【符号の説明】

50

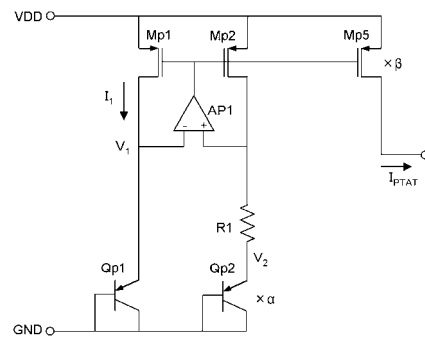
【 0 1 3 7 】

- 1 温度センサ、
- 1 0 0 P T A Tブロック、
- 1 1 0 シフトブロック、
- 1 2 0 減算ブロック。

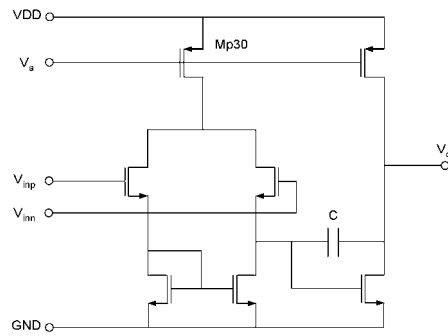
【 図 1 】



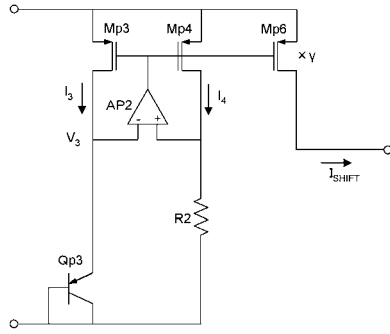
【 図 2 】



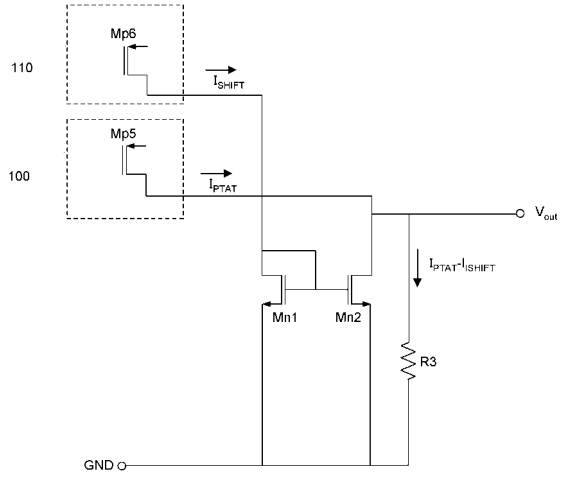
【 図 3 】



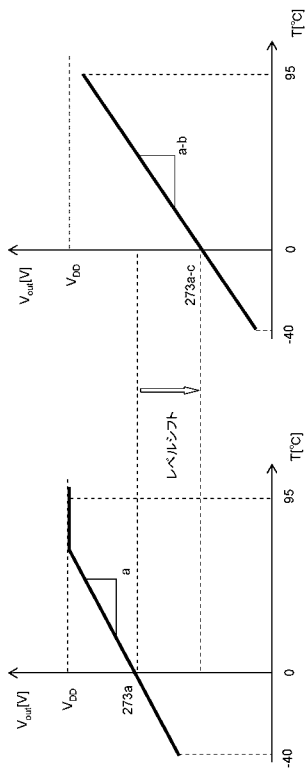
【図4】



【図5】



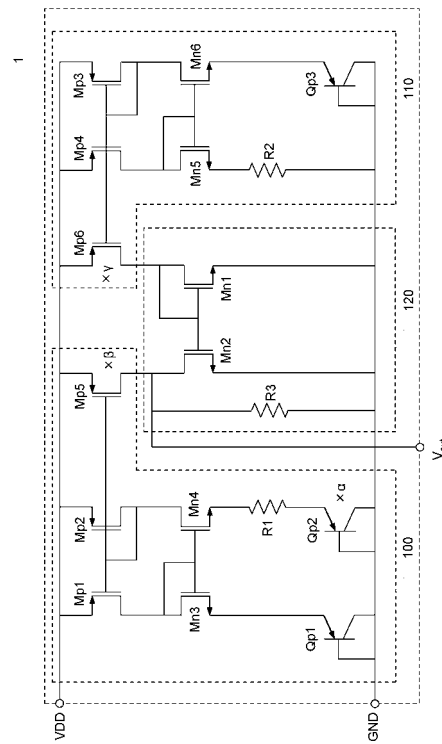
【図6】



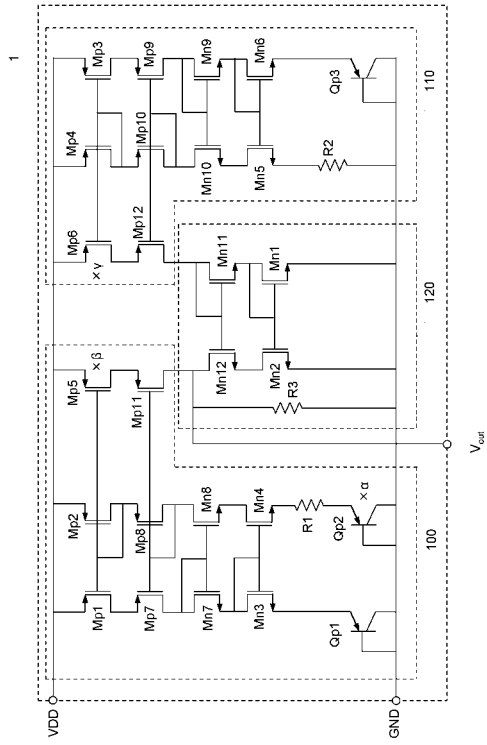
B

A

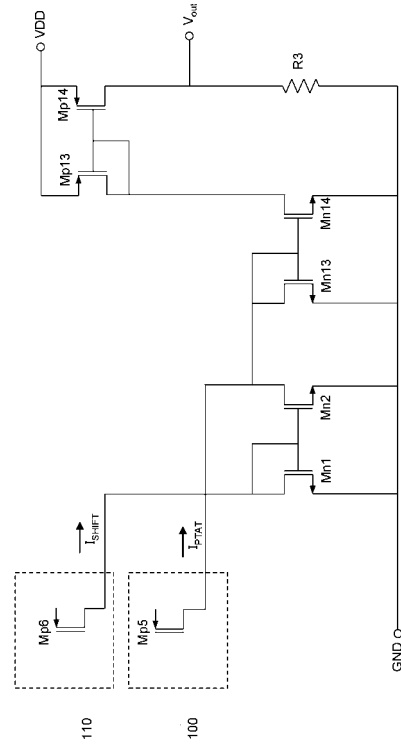
【図9】



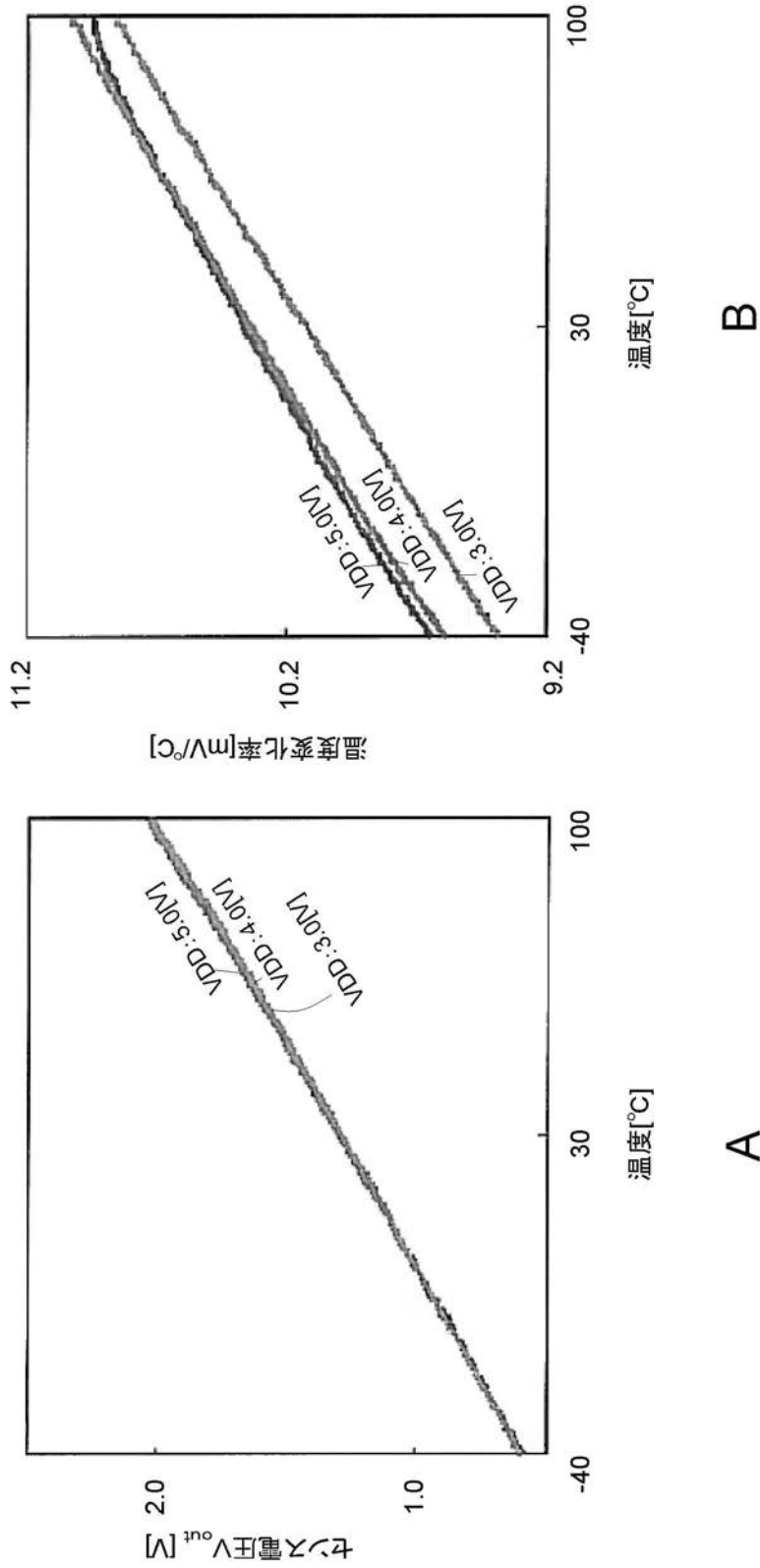
【 1 1 】



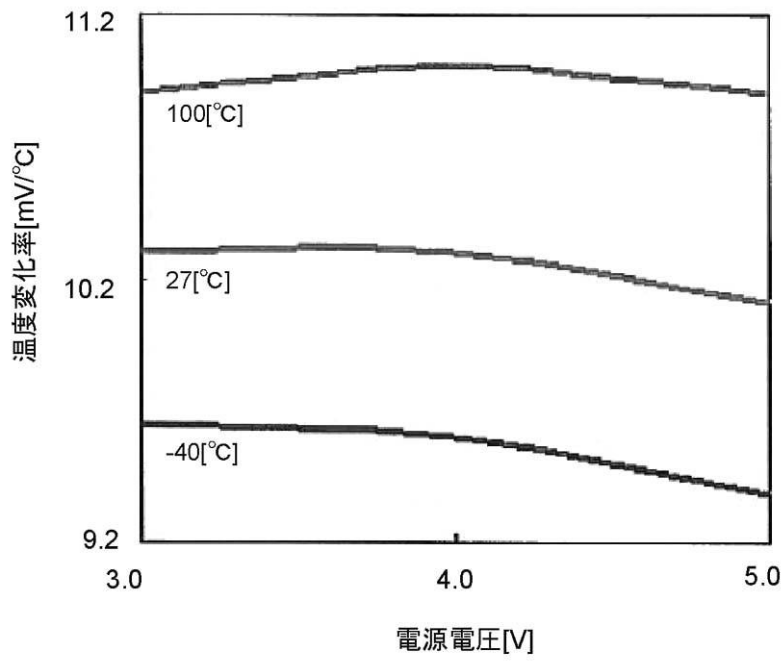
【 1 3 】



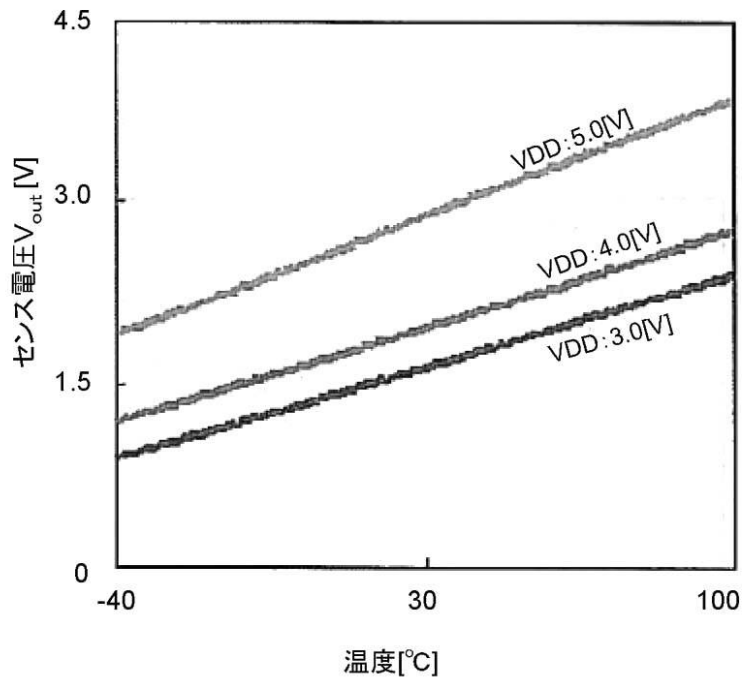
【図7】



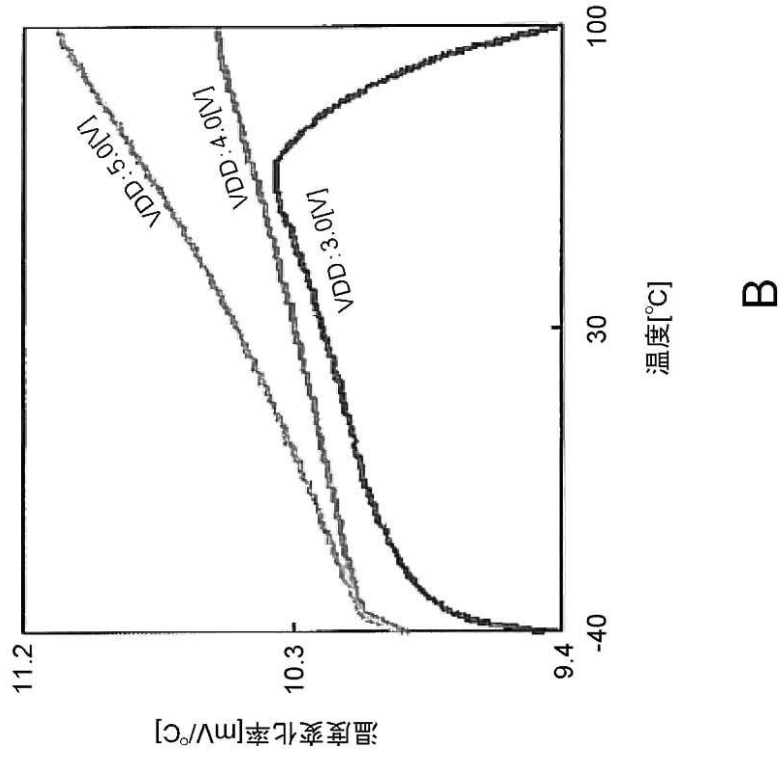
【 図 8 】



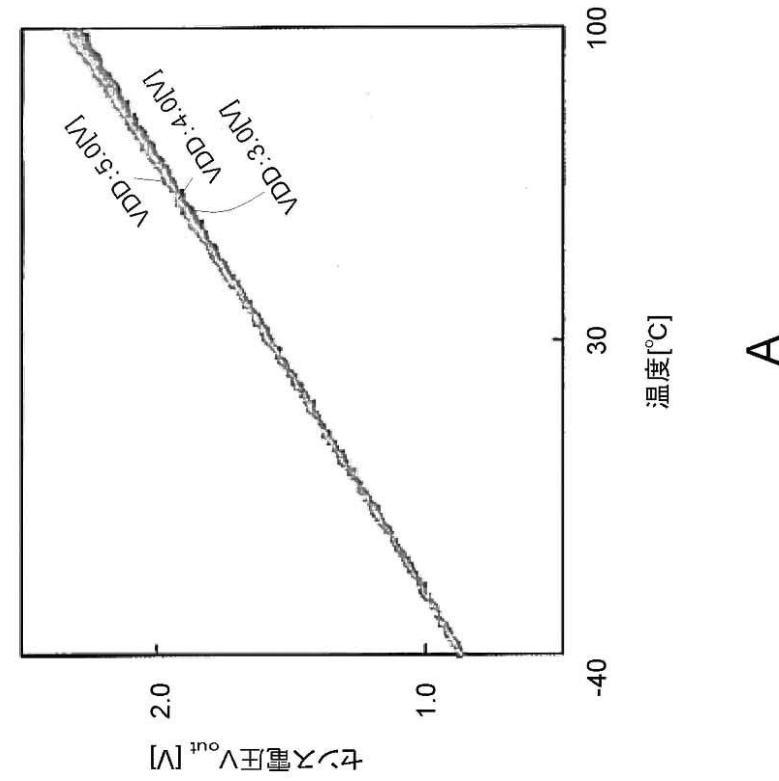
【 図 10 】



【図12】



A



B

---

フロントページの続き

(56)参考文献 特開2008-123480(JP,A)  
特開2005-265521(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G01K1/00~19/00  
H01L27/04