

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-171456

(P2011-171456A)

(43) 公開日 平成23年9月1日(2011.9.1)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/203 (2006.01)	HO 1 L 21/203 M	5 F 0 0 3
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 0 2
HO 1 L 21/337 (2006.01)	HO 1 L 29/80 C	5 F 1 0 3
HO 1 L 29/808 (2006.01)	HO 1 L 29/72 H	5 F 1 1 0
HO 1 L 21/331 (2006.01)	HO 1 L 29/201	

審査請求 未請求 請求項の数 9 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2010-32977 (P2010-32977)
 (22) 出願日 平成22年2月17日 (2010.2.17)

(71) 出願人 504155293
 国立大学法人島根大学
 島根県松江市西川津町1060
 (74) 代理人 100081813
 弁理士 早瀬 憲一
 (72) 発明者 梶川 靖友
 島根県松江市西川津町1060国立大学法人島根大学内
 Fターム(参考) 5F003 BA92 BB04 BB06 BB07 BC08
 BC90 BE04 BE90 BF06 BH18
 BM02 BM03 BP31 BP94
 5F102 GB01 GC01 GD04 GD05 GJ10
 GL04 GM04 HC01

最終頁に続く

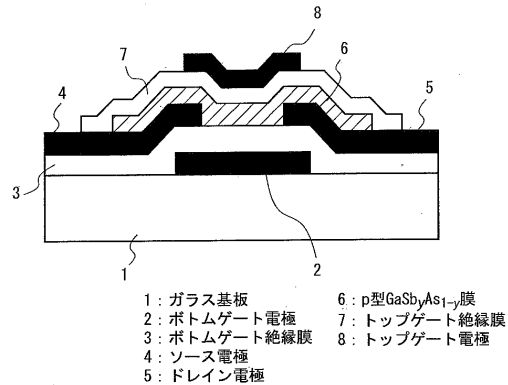
(54) 【発明の名称】 半導体装置、および半導体装置の製造方法

(57) 【要約】 (修正有)

【課題】 薄膜トランジスタ用半導体層の材料として、高い正孔移動度を示すp形半導体多結晶薄膜を、かつ、低い成膜温度でのプラスチック基板上への成膜をも行うことのできるp形半導体多結晶薄膜を、提供する。

【解決手段】 ガラスまたはプラスチックまたはステンレス基板のような非結晶質または多結晶基板1上に、該基板の温度を300以下とし、成長膜へのガリウム(Ga)、アンチモン(Sb)、及びヒ素(As)原子のそれぞれの供給量 J_{Ga} 、 J_{Sb} 、及び J_{As} を、 $J_{Sb} < J_{Ga} < J_{As} + J_{Sb}$ を満たすような値として、Ga、Sb、及びAs原子を同時供給して真空蒸着により成膜してなる、Sb組成yが $0.5 < y < 1$ を満たすp形 $GaSb_yAs_{1-y}$ 多結晶薄膜6を形成する製造方法による。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

多結晶または非結晶質基板、または該基板上に形成された層上に、該基板の温度を 300 以下とし、成長膜へのガリウム (Ga)、アンチモン (Sb)、及びヒ素 (As) 原子のそれぞれの供給量 J_{Ga} 、 J_{Sb} 、及び J_{As} を、 $J_{Sb} < J_{Ga} < J_{As} + J_{Sb}$ を満たすような値として、Ga、Sb、及びAs 原子を同時供給して真空蒸着により成膜してなる、Sb組成 y が $0.5 < y < 1$ を満たす p 形 $GaSb_yAs_{1-y}$ 多結晶薄膜、を含むことを特徴とする半導体装置。

【請求項 2】

p 形 $GaSb_yAs_{1-y}$ 多結晶薄膜を p 形層に用いる半導体装置の製造方法であって、
多結晶または非結晶質基板、または該基板上に形成された層上に、該基板の温度を 300 以下とし、成長膜へのガリウム (Ga)、アンチモン (Sb)、及びヒ素 (As) 原子のそれぞれの供給量 J_{Ga} 、 J_{Sb} 、及び J_{As} を、 $J_{Sb} < J_{Ga} < J_{As} + J_{Sb}$ を満たすような値として、Ga、Sb、及びAs原子を同時供給して真空蒸着により、Sb組成 y が $0.5 < y < 1$ を満たす p 形 $GaSb_yAs_{1-y}$ 多結晶薄膜を堆積する工程、を含むことを特徴とする半導体装置の製造方法。

【請求項 3】

p 形 $GaSb_yAs_{1-y}$ 多結晶薄膜を p 形チャネル層として用いる絶縁ゲート形電界効果薄膜トランジスタの製造方法であって、

多結晶または非結晶質基板、または該基板上に形成された所要の層上に、前記基板の温度を 300 以下とし、成長膜へのガリウム (Ga)、アンチモン (Sb)、及びヒ素 (As) 原子のそれぞれの供給量 J_{Ga} 、 J_{Sb} 、及び J_{As} を、 $J_{Sb} < J_{Ga} < J_{As} + J_{Sb}$ を満たすような値として、Ga、Sb、及びAs原子を同時供給して真空蒸着により、Sb組成 y が $0.5 < y < 1$ を満たす p 形 $GaSb_yAs_{1-y}$ 多結晶薄膜を堆積する工程を、含むことを特徴とする絶縁ゲート形電界効果薄膜トランジスタの製造方法。

【請求項 4】

請求項 3 に記載の絶縁ゲート形電界効果薄膜トランジスタの製造方法において、前記 p 形 $GaSb_yAs_{1-y}$ 多結晶薄膜を堆積する工程は、前記基板、または該基板上に形成された所要の層上に、前記基板の温度を 300 以下とし、Ga原子の供給量 J_{Ga} に対し、As原子の供給量 J_{As} を J_{Ga} の 0.2 倍以上、Sb原子の供給量 J_{Sb} を J_{Ga} の 0.8 倍として、Ga、Sb、及びAs原子を同時供給して真空蒸着により、p 形 $GaSb_{0.8}As_{0.2}$ 多結晶薄膜を堆積する工程である、

ことを特徴とする絶縁ゲート形電界効果薄膜トランジスタの製造方法。

【請求項 5】

p 形 $GaSb_yAs_{1-y}$ 多結晶薄膜と、III-V 族半導体多結晶薄膜とよりなる半導体ヘテロ接合を有する接合ゲート形電界効果薄膜トランジスタの製造方法であって、

多結晶または非結晶質基板、または該基板上に形成された所要の層上に、該基板の温度を 300 以下とし、成長膜への各原子の供給量をそれぞれ所要の値として、各原子を同時供給して真空蒸着により、前記 III-V 族半導体多結晶薄膜である $InAs$ 、 $In_{1-x}Ga_xAs$ または $InAs_{1-z}P_z$ 多結晶薄膜を堆積する第 1 の工程と、

該 III-V 族半導体多結晶薄膜上に、前記基板の温度を 300 以下としたまま、成長膜への Ga、Sb、及びAs原子の供給量 J_{Ga} 、 J_{Sb} 、及び J_{As} を、 $J_{Sb} < J_{Ga} < J_{As} + J_{Sb}$ を満たすような値として、Ga、Sb、及びAs原子を同時供給して真空蒸着により、前記 $InAs$ 、 $In_{1-x}Ga_xAs$ または $InAs_{1-z}P_z$ 多結晶薄膜におおよそ格子整合する、Sb組成 y が $0.5 < y < 1$ を満たす p 形 $GaSb_yAs_{1-y}$ 多結晶薄膜を堆積する第 2 の工程と、を含むことを特徴とする接合ゲート形電界効果薄膜トランジスタの製造方法。

【請求項 6】

請求項 5 に記載の接合ゲート形電界効果薄膜トランジスタの製造方法において、

前記第 1 の工程は、前記基板、または該基板上に形成された所要の層上に、該基板の温度を 300 以下とし、Ga原子の供給量 J_{Ga} に対し、In原子の供給量 J_{In} を J_{Ga} の 6.7 倍

10

20

30

40

50

、As 原子の供給量 J_{As} を J_{Ga} の約10倍として、Ga, In, 及びAs原子を同時供給して、n形 $In_{0.87}Ga_{0.13}As$ 多結晶薄膜を堆積する工程であり、

前記第2の工程は、その上に、前記基板の温度を300以下としたまま、In原子の供給を止めた後、Ga及びAs原子の供給量はそのままとし、Sb原子の供給量 J_{Sb} を J_{Ga} の0.8倍として、Ga, As, 及びSb原子を同時供給して、前記n形 $In_{0.87}Ga_{0.13}As$ 多結晶薄膜におおよそ格子整合するp形 $GaSb_{0.8}As_{0.2}$ 多結晶薄膜を堆積する工程である、ことを特徴とする接合ゲート形電界効果薄膜トランジスタの製造方法。

【請求項7】

III-V族半導体多結晶薄膜を、n形チャネル層として有し、かつ前記III-V族半導体多結晶薄膜上に絶縁ゲートを有する絶縁ゲート形電界効果薄膜トランジスタの製造方法において、

多結晶または非結晶質基板、または該基板上に形成された所要の層上に、該基板の温度を300以下とし、成長膜へのガリウム(Ga)、アンチモン(Sb)、及びヒ素(As)原子のそれぞれの供給量 J_{Ga} , J_{Sb} , 及び J_{As} を、 $J_{Sb} < J_{Ga} < J_{As} + J_{Sb}$ を満たすような値として、Ga, Sb, 及びAs原子を同時供給して真空蒸着により、Sb組成 y が $0.5 < y < 1$ を満たす、緩衝層となるp形 $GaSb_yAs_{1-y}$ 多結晶薄膜を堆積する第1の工程と、該p形 $GaSb_yAs_{1-y}$ 多結晶薄膜上に、前記基板の温度を300以下としたまま、成長膜への各原子の供給量をそれぞれ所要の値として、各原子を同時供給して、前記p形 $GaSb_yAs_{1-y}$ 多結晶薄膜におおよそ格子整合するIII-V族半導体多結晶薄膜を堆積する第2の工程と、

該III-V族半導体多結晶薄膜上に、ゲート絶縁膜及びゲート電極を形成する工程と、を含むことを特徴とする絶縁ゲート形電界効果薄膜トランジスタの製造方法。

【請求項8】

請求項7に記載の絶縁ゲート形電界効果薄膜トランジスタの製造方法において、

前記第1の工程は、前記基板、または該基板上に形成された所要の層上に、該基板の温度を300以下とし、Ga原子の供給量 J_{Ga} に対し、As原子の供給量 J_{As} を J_{Ga} の約10倍、Sb原子の供給量 J_{Sb} を J_{Ga} の0.8倍として、Ga, Sb, 及びAs原子を同時供給して真空蒸着により、p形 $GaSb_{0.8}As_{0.2}$ 多結晶薄膜を堆積する工程であり、

前記第2の工程は、その上に、前記基板の温度を300以下としたまま、Sb原子の供給を止めた後、Ga及びAs原子の供給量はそのままとし、In原子の供給量 J_{In} を J_{Ga} の6.7倍として、Ga, As, 及びIn原子を同時供給して、前記p形 $GaSb_{0.8}As_{0.2}$ 多結晶薄膜におおよそ格子整合するn形 $In_{0.87}Ga_{0.13}As$ 多結晶薄膜を堆積する工程である、ことを特徴とする絶縁ゲート形電界効果薄膜トランジスタの製造方法。

【請求項9】

p形 $GaSb_yAs_{1-y}$ 多結晶薄膜をp形外部ベース層として用いてなるヘテロ接合バイポーラトランジスタを製造する方法であって、

半導体単結晶基板上に所要の層を形成した後、該基板の温度を300以下として、成長膜へのガリウム(Ga)、アンチモン(Sb)、及びヒ素(As)原子のそれぞれの供給量 J_{Ga} , J_{Sb} , 及び J_{As} を、 $J_{Sb} < J_{Ga} < J_{As} + J_{Sb}$ を満たすような値として、Ga, As, Sb原子を同時供給して真空蒸着により、前記所要の層上に、前記p形外部ベース層となるp形 $GaSb_yAs_{1-y}$ 多結晶薄膜を成膜する工程、を含むことを特徴とするヘテロ接合バイポーラトランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体多結晶薄膜を有する半導体装置、およびその製造方法に関するものであり、特に、低温堆積p形半導体多結晶薄膜を有する絶縁ゲート形電界効果薄膜トランジスタ、接合ゲート形電界効果薄膜トランジスタ、およびヘテロ接合バイポーラトランジスタ、及びそれらの製造方法に関するものである。

【背景技術】

10

20

30

40

50

【0002】

一般に、半導体多結晶薄膜では、結晶粒界にキャリアに対するポテンシャル障壁が形成され、これが電気伝導に大きな影響をおよぼす。特に、半導体多結晶薄膜での移動度 μ は、結晶粒界でのポテンシャル障壁高さにより、 $\mu = \mu_0 \exp(- /kT)$ という形で制限される。したがって、半導体多結晶薄膜中でキャリアの移動度が高いためには、結晶粒界でのポテンシャル障壁が低くなければならない。

【0003】

金属と半導体を接触させた場合にも、金属/半導体界面にポテンシャル障壁が形成され、これをショットキー障壁という。結晶粒界でのポテンシャル障壁もこれと似ており、結晶粒界でのポテンシャル障壁は、2つのポテンシャル障壁を背中あわせにしたダブルショットキー障壁と考えることができる。そして、結晶粒界での障壁高さも、金属/半導体界面におけるショットキー障壁の高さとほぼ等しいと考えられる。

10

【0004】

図7は、IV族およびIII-V族半導体結晶と金(Au)との界面において、Auのフェルミ準位に対する半導体の伝導帯下端および価電子帯上端のエネルギーを半導体の格子定数に対しプロットしたものである(非特許文献1)。これを見ると、代表的なIII-V族化合物半導体であるGaAs、GaP、InPなどではAuのフェルミ準位がほぼ禁制帯中央に位置し、p形およびn形の両方に対し高いショットキー障壁が形成されることがわかる。これは界面において欠陥準位が発生し、そこにフェルミ準位がピン止めされるためと考えられている。この金属/半導体界面の場合と同様に、これらの半導体の多結晶の結晶粒界でも欠陥準位が発生し、そこにフェルミ準位がピン止めされてバンドが曲がり、高いポテンシャル障壁と空乏領域が形成されることが考えられる。GaAs、GaP、InPなどのIII-V族半導体の多結晶で移動度が低いのは、その高いポテンシャル障壁のためである。

20

【0005】

これに対し、InAsもIII-V族化合物半導体であるが、InAsではAuのフェルミ準位が伝導帯下端より上に位置し、n形InAsに対してはショットキー障壁が形成されないことが図7からわかる。同様に、n形InAs多結晶の結晶粒界においても電子に対するポテンシャル障壁が形成されず、結晶粒界による移動度の低下は小さいと考えられる。このような考察に基づき、本件発明者らはすでに、実際にInAs多結晶薄膜をガラス基板上に分子線蒸着法により形成することを行っており、300以下の低い基板温度において450cm²/Vs以上の高い電子移動度を得ている(非特許文献2)。さらに、このような低い基板温度でもInAsの多結晶成長が可能であるという点に着目し、プラスチック上にInAs多結晶薄膜を形成することも行っており、やはり450cm²/Vs以上の高い電子移動度を得ている(同非特許文献2)。

30

【0006】

ところで、デバイス応用を考えると、n形だけでなく、移動度の高いp形多結晶についてもこれをプラスチック上に形成できると有用である。プラスチック上に形成できるほどの低い成膜温度で形成できるp形半導体膜としては、SnO₂の非晶質膜が提案されている(非特許文献3)。しかし、この膜での正孔移動度は、0.011cm²/Vsと非常に低い。ただし、SnO膜も575という高い基板温度で単結晶基板上に成長すれば、2.4cm²/Vsという正孔移動度を示す単結晶膜となることが報告されている(非特許文献4)。また、酸化物半導体としては、ガラス基板上に基板温度200で堆積したCu₂O多結晶膜が5.7cm²/Vsという比較的高い正孔移動度を示すことが最近報告された(非特許文献5)。

40

【0007】

一方、p形で高い正孔移動度を示す可能性のあるIII-V族半導体という観点から図7を見ると、GaSbでは界面でのフェルミ準位のピン止め位置が価電子帯上端に近接しており、正孔に対する粒界ポテンシャル障壁が低く、該GaSbよりなる多結晶薄膜での高い正孔移動度が期待される。実際、基板温度400~500で蒸着したGaSb多結晶薄膜で100cm²/Vs以上の高い正孔移動度が報告されている(非特許文献6)。また、こ

50

のような高い正孔移動度の結果としての高い電気伝導率を利用して、430～520 で堆積した p 形 GaSb 多結晶層が、InP 系のヘテロ接合バイポーラトランジスタの低抵抗外部ベース層として検討されている（非特許文献 7）。

【0008】

ただし、プラスチック上に形成することを考えると、InAs と違って GaSb は、400 以下の低い基板温度でプラスチック上に化学量論的組成の単一相の結晶を成長することは困難である。一般に、III-V 族半導体の気相または真空中の成膜では、III 族元素より V 族元素の方が蒸気圧が高いため、V 族元素過剰の状態では成膜が行われる。As 過剰の条件の下での InAs の成長においては、200 程度の低い基板温度でも、In と結合しなかった過剰な As は表面から再蒸発するため、化学量論的組成の単一層の結晶が成長するのに対し、Sb 過剰の条件の下での GaSb 成長においては、400 以下の低い基板温度では、Sb の蒸気圧が低すぎて Ga と結合しなかった過剰な Sb も表面から再蒸発せず残ってしまうため、GaSb 結晶のなかに Sb 結晶が混じった 2 相膜が形成されることになる。この場合、Sb 結晶は半金属なのでこの 2 相膜は半導体膜として使うことはできない。

10

【0009】

以上のように、プラスチック上に形成できるほどの低い成膜温度で形成できる p 形半導体膜であって、しかも薄膜トランジスタ (TFET) 用材料として十分高い $10 \text{ cm}^2/\text{Vs}$ 以上の正孔移動度を示す半導体薄膜は、これまで見出されていなかった。

【0010】

なお、従来、単結晶基板上への GaSbAs の単結晶成長においても、400 以上の高い基板温度で成膜されるのが普通であった。この時は、Sb と As の両方の原子が再蒸発するため、成膜された GaSbAs 単結晶中の Sb と As の原子比は、Sb と As の原子供給比とは異なっており、Sb と As の原子供給比が一定であっても基板温度が高くなるにつれて As の組成が高くなることが知られている（非特許文献 8）。

20

【0011】

また、本件発明者らはすでに、n 形チャネル層として $\text{In}_{1-x}\text{Ga}_x\text{As}$ 多結晶薄膜を用い、かつ、該 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 多結晶薄膜を 300 以下の基板温度で堆積して構成してなる接合ゲート形電界効果薄膜トランジスタを提案している（特許文献 1）。

【0012】

また、従来、ヘテロ接合バイポーラトランジスタにおいて、その製造プロセスにおいてベース/コレクタ間の寄生容量を低減し、なおかつベース寄生抵抗を低減することのできる構造として、図 8 に示される構造が提案されている（非特許文献 9）。図 8 において、21 はアンドープ GaAs (100) 基板、22 は n⁺ 形 GaAs 層、23 は n⁻ 形 GaAs 層、24 は p⁺ 形 GaAs 層、25 は n 形エミッタ層、26 は AuGe 外部ベース電極、27 は SiO₂ 絶縁膜、28 は多結晶膜、29 は AuZn 外部ベース電極、30 は WSi エミッタ電極である。

30

【先行技術文献】

【特許文献】

【0013】

【特許文献 1】特願 2007 - 322712（出願日：平成 19 年 12 月 14 日）半導体多結晶薄膜および半導体装置

40

【非特許文献】

【0014】

【非特許文献 1】S. Tiwari and D. J. Frank, "Empirical fit to band discontinuities and barrier heights in III-V alloy systems", Applied Physics Letters Vol.60(1992), pp. 630-632.

【非特許文献 2】M. Takushima, Y. Kajikawa, Y. Kuya, M. Shiba, and K. Ohnishi, "Low-temperature growth of InAs on glass and plastic film substrates by molecular-beam deposition", Japanese Journal of Applied Physics, Vol.47(2008), pp.1469-1

50

472.

【非特許文献3】C.-W. Ou, Dhananjay, Z. Y. Ho, Y.-C. Chuang, S.-S. Cheng, M.-C. Wu, K.-C. Ho, and C.-W. Chu, "Anomalous p-channel amorphous oxide transistors based on tin oxide and their complementary circuits", Applied Physics Letters Vol.92(2008), 122113.

【非特許文献4】小郷、平松、野村、柳、神谷、平野、細野、「5s軌道基p型酸化物半導体SnOのエピタキシャル成長とp型薄膜トランジスタ」、第69回応用物理学会学術講演会(2009) 2p-J-4.

【非特許文献5】A. S. Reddy, H. H. Park, V. S. Reddy, K. V. S. Reddy, N. S. Sarm a, S. Kaleemulla, S. Uthanna, and P. S. Reddy, "Effect of sputtering power on t he physical properties of dc magnetron sputtered copper oxide thin films", Mate rials Chemistry and Physics Vol. 110 (2008) pp.397-401. 10

【非特許文献6】高橋清、酒井善雄、「GaSb蒸着膜の性質」、日本物理学会 春の分科会講演予稿集 (1965) p.48

【非特許文献7】Y. Dong, D. W. Scott, Y. Wei, A. C. Gossard, M. J. Rodwell, "Lo w-resistance p-type polycrystalline GaSb grown by molecular beam epitaxy", Jour nal of Crystal Growth Vol.256 (2003), pp. 223-229.

【非特許文献8】E. Selvig, B.O. Fimland, T. Skauli, and R. Haakenaasen, "Calibr ation of the arsenic mole fraction in MBE grown GaAs_ySb_{1-y} and Al_xGa_{1-x}As_ySb_{1-y} (y < 0.2)", Journal of Crystal Growth Vol. 227-228 (2001) pp.562-565. 20

【非特許文献9】K. Mochizuki, T. Nakayama, T. Tanoue, H. Matsuda, "AlGaAs/GaAs HBTs with buried SiO₂ in the extrinsic collector", Solid-State Electronics, Vol . 38 (1995) pp. 1619-1622.

【発明の概要】

【発明が解決しようとする課題】

【0015】

本発明は、上記のような従来の問題点を解消するためになされたもので、その目的は、薄膜トランジスタ用材料として十分高い正孔移動度を示す、半導体装置のp形層に用いられるp形半導体多結晶薄膜であって、低い成膜温度でのプラスチック基板上への成膜をも行うことのできる半導体多結晶薄膜を有する半導体装置を提供することにある。 30

【0016】

この発明の他の目的は、上記のような半導体多結晶薄膜を有する半導体装置の製造方法を提供することにある。

【0017】

この発明のもう1つの目的は、上記の半導体多結晶薄膜を用いた半導体装置である絶縁ゲート形電界効果薄膜トランジスタ、接合ゲート形電界効果薄膜トランジスタ、およびヘテロ接合バイポーラトランジスタのそれぞれの製造方法を提供することである。

【課題を解決するための手段】

【0018】

本発明の請求項1にかかる半導体装置は、ガラスまたはプラスチックまたはステンレス基板のような非結晶質または多結晶基板、または該基板上に形成された層上に、該基板の温度を300以下とし、成長膜へのガリウム(Ga)、アンチモン(Sb)、及びヒ素(As)原子のそれぞれの供給量 J_{Ga} 、 J_{Sb} 、及び J_{As} を、 $J_{Sb} < J_{Ga} < J_{As} + J_{Sb}$ を満たすような値として、Ga、Sb、及びAs原子を同時供給して真空蒸着により成膜してなる、Sb組成yが $0.5 < y < 1$ を満たすp形GaSb_yAs_{1-y}多結晶薄膜を含むことを特徴とする。 40

【0019】

本発明の請求項2にかかる半導体装置の製造方法は、p形GaSb_yAs_{1-y}多結晶薄膜をp形層に用いる半導体装置の製造方法であって、ガラスまたはプラスチックまたはステンレス基板のような非結晶質または多結晶基板、または該基板上に形成された層上に、該基板の温度を300以下とし、成長膜へのガリウム(Ga)、アンチモン(Sb)、及びヒ素(As 50

) 原子のそれぞれの供給量 J_{Ga} 、 J_{Sb} 、及び J_{As} を、 $J_{Sb} < J_{Ga} < J_{As} + J_{Sb}$ を満たすような値として、Ga、Sb、及びAs原子同時を供給して真空蒸着により、Sb組成 y が $0.5 < y < 1$ を満たすp形GaSb $_y$ As $_{1-y}$ 多結晶薄膜を堆積する工程を含むことを特徴とする。

【0020】

本発明の請求項3に記載の絶縁ゲート形電界効果薄膜トランジスタの製造方法は、p形GaSb $_y$ As $_{1-y}$ 多結晶薄膜をp形チャネル層として用いる絶縁ゲート形電界効果薄膜トランジスタの製造方法であって、ガラスまたはプラスチックまたはステンレス基板のような非結晶質または多結晶基板、または該基板上に形成された所要の層上に、前記基板の温度を300以下とし、成長膜へのガリウム(Ga)、アンチモン(Sb)、及びヒ素(As)原子のそれぞれの供給量 J_{Ga} 、 J_{Sb} 、及び J_{As} を、 $J_{Sb} < J_{Ga} < J_{As} + J_{Sb}$ を満たすような値として、Ga、Sb、及びAs原子を同時供給して真空蒸着により、Sb組成 y が $0.5 < y < 1$ を満たすp形GaSb $_y$ As $_{1-y}$ 多結晶薄膜を堆積する工程を含むことを特徴とする。

10

【0021】

本発明の請求項4にかかる絶縁ゲート形電界効果薄膜トランジスタの製造方法は、請求項3に記載の絶縁ゲート形電界効果薄膜トランジスタの製造方法において、前記p形GaSb $_y$ As $_{1-y}$ 多結晶薄膜を堆積する工程は、前記基板、または該基板上に形成された所要の層上に、前記基板の温度を300以下とし、Ga原子の供給量 J_{Ga} に対し、As原子の供給量 J_{As} を J_{Ga} の0.2倍以上、Sb原子の供給量 J_{Sb} を J_{Ga} の0.8倍として、Ga、Sb、及びAs原子を同時供給して真空蒸着により、p形GaSb $_{0.8}$ As $_{0.2}$ 多結晶薄膜を堆積する工程であることを特徴とする。

20

【0022】

本発明の請求項5にかかる接合ゲート形電界効果薄膜トランジスタの製造方法は、p形GaSb $_y$ As $_{1-y}$ 多結晶薄膜と、III-V族半導体多結晶薄膜とよりなる半導体ヘテロ接合を有する接合ゲート形電界効果薄膜トランジスタの製造方法であって、ガラスまたはプラスチックまたはステンレス基板のような非結晶質または多結晶基板、または該基板上に形成された所要の層上に、該基板の温度を300以下とし、成長膜への各原子の供給量をそれぞれ所要の値として、各原子を同時供給して真空蒸着により、前記III-V族半導体多結晶薄膜であるInAs、In $_{1-x}$ Ga $_x$ AsまたはInAs $_{1-z}$ P $_z$ 多結晶薄膜を堆積する第1の工程と、該III-V族半導体多結晶薄膜上に、前記基板の温度を300以下としたまま、成長膜へのGa、Sb、及びAs原子の供給量 J_{Ga} 、 J_{Sb} 、及び J_{As} を、 $J_{Sb} < J_{Ga} < J_{As} + J_{Sb}$ を満たすような値として、Ga、Sb、及びAs原子を同時供給して真空蒸着により、前記InAs、In $_{1-x}$ Ga $_x$ AsまたはInAs $_{1-z}$ P $_z$ 多結晶薄膜におおよそ格子整合する、Sb組成 y が $0.5 < y < 1$ を満たすp形GaSb $_y$ As $_{1-y}$ 多結晶薄膜を堆積する第2の工程と、を含むことを特徴とする。

30

【0023】

本発明の請求項6にかかる接合ゲート形電界効果薄膜トランジスタの製造方法は、請求項5に記載の接合ゲート形電界効果薄膜トランジスタの製造方法において、前記第1の工程は、前記基板、または該基板上に形成された所要の層上に、該基板の温度を300以下とし、Ga原子の供給量 J_{Ga} に対し、In原子の供給量 J_{In} を J_{Ga} の6.7倍、As原子の供給量 J_{As} を J_{Ga} の約10倍として、Ga、In、及びAs原子を同時供給して、n形In $_{0.87}$ Ga $_{0.13}$ As多結晶薄膜を堆積する工程であり、前記第2の工程は、その上に、前記基板の温度を300以下としたまま、In原子の供給を止めた後、Ga及びAs原子の供給量はそのままとし、Sb原子の供給量 J_{Sb} を J_{Ga} の0.8倍として、Ga、As、及びSb原子を同時供給して、前記n形In $_{0.87}$ Ga $_{0.13}$ As多結晶薄膜におおよそ格子整合するp形GaSb $_{0.8}$ As $_{0.2}$ 多結晶薄膜を堆積する工程であることを特徴とする。

40

【0024】

本発明の請求項7にかかる絶縁ゲート形電界効果薄膜トランジスタの製造方法は、III-V族半導体多結晶薄膜を、n形チャネル層として有し、かつ前記III-V族半導体多結晶薄膜上に絶縁ゲートを有する絶縁ゲート形電界効果薄膜トランジスタの製造方法において、ガラスまたはプラスチックまたはステンレス基板のような非結晶質または多結晶基板、

50

または該基板上に形成された所要の層上に、該基板の温度を300以下とし、成長膜へのガリウム(Ga)、アンチモン(Sb)、及びヒ素(As)原子のそれぞれの供給量 J_{Ga} 、 J_{Sb} 、及び J_{As} を、 $J_{Sb} < J_{Ga} < J_{As} + J_{Sb}$ を満たすような値として、Ga、Sb、及びAs原子を同時供給して真空蒸着により、Sb組成 y が $0.5 < y < 1$ を満たすp形GaSb $_y$ As $_{1-y}$ 多結晶薄膜を堆積する第1の工程と、該p形GaSb $_y$ As $_{1-y}$ 多結晶薄膜上に、前記基板の温度を300以下としたまま、成長膜への各原子の供給量をそれぞれ所要の値として、各原子を同時供給して、前記p形GaSb $_y$ As $_{1-y}$ 多結晶薄膜におおよそ格子整合するIII-V族半導体多結晶薄膜を堆積する第2の工程と、該III-V族半導体多結晶薄膜上に、ゲート絶縁膜及びゲート電極を形成する工程と、を含むことを特徴とする。

【0025】

本発明の請求項8にかかる絶縁ゲート形電界効果薄膜トランジスタの製造方法は、請求項7に記載の絶縁ゲート形電界効果薄膜トランジスタの製造方法において、前記第1の工程は、前記基板、または該基板上に形成された所要の層上に、該基板の温度を300以下とし、Ga原子の供給量 J_{Ga} に対し、As原子の供給量 J_{As} を J_{Ga} の約10倍、Sb原子の供給量 J_{Sb} を J_{Ga} の0.8倍として、Ga、Sb、及びAs原子を同時供給して真空蒸着により、p形GaSb $_{0.8}$ As $_{0.2}$ 多結晶薄膜を堆積する工程であり、前記第2の工程は、その上に、前記基板の温度を300以下としたまま、Sb原子の供給を止めた後、Ga及びAs原子の供給量はそのままとし、In原子の供給量 J_{In} を J_{Ga} の6.7倍として、Ga、As、及びIn原子を同時供給して、前記p形GaSb $_{0.8}$ As $_{0.2}$ 多結晶薄膜におおよそ格子整合するn形In $_{0.87}$ Ga $_{0.13}$ As多結晶薄膜を堆積する工程である、ことを特徴とする。

【0026】

本発明の請求項9にかかるヘテロ接合バイポーラトランジスタの製造方法は、p形GaSb $_y$ As $_{1-y}$ 多結晶薄膜をp形外部ベース層として用いてなるヘテロ接合バイポーラトランジスタを製造する方法であって、半導体単結晶基板上に所要の層を形成した後、該基板の温度を300以下として、成長膜へのガリウム(Ga)、アンチモン(Sb)、及びヒ素(As)原子のそれぞれの供給量 J_{Ga} 、 J_{Sb} 、及び J_{As} を、 $J_{Sb} < J_{Ga} < J_{As} + J_{Sb}$ を満たすような値として、Ga、As、Sb原子を同時供給して真空蒸着により、前記所要の層上に、前記p形外部ベース層となるp形GaSb $_y$ As $_{1-y}$ 多結晶薄膜を成膜する工程、を含むことを特徴とする。

【発明の効果】

【0027】

本発明にかかる半導体装置、およびその製造方法によれば、基板上に、該基板の温度を300以下とし、成長膜へのガリウム(Ga)、アンチモン(Sb)、及びヒ素(As)原子のそれぞれの供給量 J_{Ga} 、 J_{Sb} 、及び J_{As} を、 $J_{Sb} < J_{Ga} < J_{As} + J_{Sb}$ を満たすような値として、Ga、As、Sb原子を同時供給して真空蒸着により、Sb組成 y が $0.5 < y < 1$ を満たすp形GaSb $_y$ As $_{1-y}$ 多結晶薄膜を成膜するようにし、これを、半導体装置のp形層に用いるようにしたので、薄膜トランジスタ(TFT)用材料として十分高い $10\text{cm}^2/\text{Vs}$ 程度以上の正孔移動度を示すp形半導体多結晶薄膜が得られる。しかも、その成膜は、300以下の低い基板温度で行うので、プラスチック基板上への成膜をも行うことができる。

【0028】

すなわち、本発明における半導体多結晶薄膜は、GaSbにAsを加えてGaSbAsという三元混晶とすることにより、300以下の低い基板温度でも単一相の結晶成長が可能であり、しかも、該GaSbAs多結晶は、As組成が小さいうちには粒界ポテンシャル障壁が低いことより、高い正孔移動度を得られる。したがって、かかるAs組成が小さいGaSbAs混晶よりなるp形多結晶薄膜によって、プラスチック上にも形成できる高移動度のp形半導体多結晶薄膜が得られ、動作速度の速い半導体装置が得られる。

【0029】

また、本発明によれば、p形チャンネル層を有する絶縁ゲート形電界効果薄膜トランジスタを、該p形チャンネル層に、上記のような高い正孔濃度および高い正孔移動度を持つp形

10

20

30

40

50

GaSb_yAs_{1-y}多結晶薄膜を用いて構成したので、動作速度の速い絶縁ゲート形電界効果薄膜トランジスタが得られる。

【0030】

また、本発明によれば、多結晶半導体チャネル層と、多結晶ゲートとを有する接合ゲート形電界効果薄膜トランジスタを、該チャネル層となるInAs、In_{1-x}Ga_xAs またはInAs_{1-z}P_z層と、該多結晶ゲートとなるp形GaSb_yAs_{1-y}多結晶薄膜とよりなる接合ゲートを有するように構成したので、その半導体ヘテロ接合界面は、n形In_{1-x}Ga_xAs 多結晶をチャネル層としている絶縁ゲート形のトランジスタにおける絶縁膜/半導体界面よりも界面準位が少なく、低雑音で不安定性の少ない電界効果薄膜トランジスタが得られる。かつ、前記InAs、In_{1-x}Ga_xAs またはInAs_{1-z}P_z層と、前記p形GaSb_yAs_{1-y}多結晶薄膜とを、相互に格子整合するよう、かつ真空から出さずに連続して成膜すれば、半導体ヘテロ接合界面の界面準位はより少なくなり、より低雑音でより不安定性の少ない電界効果薄膜トランジスタを得られる。

10

【0031】

また、本発明によれば、III-V族半導体多結晶薄膜よりなるn形チャネル層を有する絶縁ゲート形電界効果薄膜トランジスタを、該チャネル層が、InAs、In_{1-x}Ga_xAs またはInAs_{1-z}P_z等よりなり、かつ、該n形チャネル層と基板との間に、p形GaSb_yAs_{1-y}多結晶薄膜を緩衝層として有するように構成したので、上記n形チャネル層と基板とが遠くに位置することとなる結果、チャネル層が基板との界面付近にある場合に比べ、結晶性の劣化の影響を避けることができ、動作特性のよいデバイスを得られる。さらに、前記InAs、In_{1-x}Ga_xAs またはInAs_{1-z}P_zよりなるn形チャネル層と、上記p形GaSb_yAs_{1-y}多結晶緩衝層とを、格子整合するものとし、かつ該2層を真空から出さずに連続して堆積した場合には、上記のように格子整合した半導体ヘテロ接合界面では界面準位がより少ないため、より界面準位の影響が小さく、雑音による不安定性のより少ないデバイスが得られる。

20

【0032】

本発明によれば、低抵抗外部ベース層を有するヘテロ接合バイポーラトランジスタを、該低抵抗外部ベース層に、高移動度の、かつ正孔濃度のより高いp形GaSb_yAs_{1-y}多結晶薄膜を用いて構成することにより、さらには、該p形GaSb_yAs_{1-y}多結晶薄膜にさらにp形不純物を添加してその正孔濃度をあげることににより、より抵抗率の低い外部ベース層が得られ、より動作速度の速いヘテロ接合バイポーラトランジスタが得られる。

30

【図面の簡単な説明】

【0033】

【図1】図1は、分子線蒸着法によりガラス基板上に堆積したGaSb_yAs_{1-y}多結晶膜のSb組成yと、Ga原子に対するSb原子の供給比J_{Sb}/J_{Ga}の関係を示す図。

【図2】図2は、分子線蒸着法によりAs原子を供給せず、通常のSb過剰の条件(J_{Sb}>J_{Ga})のもとで基板温度300で堆積したGaSb膜のX線回折パターン(図示上側)と、J_{Sb}<J_{Ga}<J_{As}+J_{Sb}の条件のもとで基板温度300で堆積したGaSbAs膜のX線回折パターン(図示下側)とを、比較して示す図。

【図3】図3は、分子線蒸着法によりガラス基板上に堆積したGaSb_yAs_{1-y}多結晶膜の、(a)正孔濃度、(b)正孔移動度、(c)抵抗率、のSb組成依存性を、それぞれ示す図。

40

【図4】図4は、本発明の実施の形態2によるGaSb_yAs_{1-y}多結晶薄膜をp形チャネル層として用いた絶縁ゲート形電界効果薄膜トランジスタを示す図。

【図5】図5は、本発明の実施の形態3による、p形GaSb_yAs_{1-y}/n形In_{1-x}Ga_xAsヘテロ接合を用いた接合ゲート形電界効果薄膜トランジスタを示す図。

【図6】図6は、本発明の実施の形態4による、p形GaSb_yAs_{1-y}層をp形多結晶緩衝層として用いたn形In_{1-x}Ga_xAs多結晶層をチャネル層とする絶縁ゲート形電界効果薄膜トランジスタを示す図。

【図7】図7は、IV族およびIII-V族半導体混晶とAuとの界面において、Auのフェルミ準位に対する半導体の伝導帯下端および価電子帯上端のエネルギーを半導体の格子定数に対しプロットした図を示す図。

50

【図 8】図 8 は、従来例（非特許文献 9）による p 形 GaSb 多結晶を外部ベース層として用いたヘテロ接合バイポーラトランジスタ、および本発明の実施の形態 5 による p 形 GaSb_yAs_{1-y} 多結晶を、外部ベース層として用いたヘテロ接合バイポーラトランジスタを、共通に示す図。

【発明を実施するための形態】

【0034】

（実施の形態 1）

以下、本発明の実施の形態 1 による半導体装置における半導体多結晶薄膜について、図面を参照して説明する。

【0035】

上記で説明したように、従来、単結晶基板上へ GaSbAs を単結晶成長させる場合においては、その成膜は、400 以上の高い基板温度で成膜を行うのが普通であった。この 400 以上の高い基板温度での成膜の最中においては、Sb と As の両方の原子が再蒸発するため、成膜された GaSbAs 単結晶中の Sb と As の原子比は、Sb と As の原子供給比とは異なっており、Sb と As の原子供給比を一定とした場合は、基板温度が高くなるにつれて As の組成が高くなることが知られていた（非特許文献 8）。

【0036】

一方、GaSbAs を 300 以下の低い基板温度で成長させる場合を考えると、表面に飛来した Ga および Sb の原子はすべて膜中に取り込まれるのに対し、Ga 原子と結合できなかった余分な As 原子は再蒸発する。

【0037】

したがって、GaSbAs を 300 以下の低い基板温度で成長させる場合において、Sb 原子の供給量 J_{Sb} を Ga 原子の供給量 J_{Ga} より小さくし、なおかつ As 原子の供給量 J_{As} を $J_{Ga} - J_{Sb}$ より大きくすると、化学量論的組成の単一相の GaSb_yAs_{1-y} 混晶が成長することが期待され、また、その Sb 組成 y は、As 原子の供給量 J_{As} に関係なく、 J_{Sb} / J_{Ga} に一致すると期待される。

【0038】

そこで、本件発明者は、GaSbAs を 300 以下の低い基板温度で成長させる場合の 1 つの特性を見るため、分子線蒸着法により基板温度を 300 として、Ga と As 原子の供給量をとともに約 6×10^{14} 個 / (cm²s) に固定し、Sb 原子の供給量のみを約 1×10^{14} 個 / (cm²s) から約 6×10^{14} 個 / (cm²s) の範囲内で様々に変えてガラス基板上に GaSbAs 多結晶薄膜を堆積した。このときの GaSbAs 多結晶薄膜の Sb 組成 y を、Ga 原子に対する Sb 原子の供給比 J_{Sb} / J_{Ga} に対してプロットしたものを、図 1 に示す。

【0039】

この図 1 より、期待されたとおり、400 以上の高い基板温度で堆積した場合と異なり、この基板温度 300 の条件のもとでは、Sb 組成 y は J_{Sb} / J_{Ga} に一致することがわかった。かつこのとき形成される膜は、すべて GaSbAs 多結晶の単一相薄膜であることが、X 線回折測定によって確かめられた。

【0040】

一方、As 原子を供給せず、通常採用されるような Sb 過剰の条件 ($J_{Sb} > J_{Ga}$) のもとで堆積を行った場合に形成される GaSb 膜としては、基板温度を 400 として該堆積を行った場合は GaSb の単一相薄膜が形成されたが、基板温度を 300 として該堆積を行った場合は GaSb 結晶と Sb 結晶が混在した 2 相膜が形成された。

【0041】

ここで、該基板温度を 300 として、As 原子を供給せず、通常採用されるような Sb 過剰の条件 ($J_{Sb} > J_{Ga}$) のもとで堆積を行った場合に形成された GaSb 膜の X 線回折パターン（図 2 中の上側のグラフ）を、基板温度を同じく 300 として、上記 $J_{Sb} < J_{Ga} < J_{As} + J_{Sb}$ の条件のもとで堆積を行った場合に形成された GaSbAs 膜の X 線回折パターン（図 2 中の下側のグラフ）と比較して、図 2 に示す。

【0042】

10

20

30

40

50

図2からわかるように、基板温度を300として、As原子を供給せず、通常採用されるようなSb過剰の条件($J_{Sb} > J_{Ga}$)のもとで堆積したGaSb膜(図2中上側)では、GaSb結晶による回折ピークの他にSb結晶による回折ピークが見られ、GaSb結晶とSb結晶との2相結晶になっていることがわかる。

【0043】

一方、基板温度を300として、 $J_{Sb} < J_{Ga} < J_{As} + J_{Sb}$ の条件のもとで堆積したGaSbAs膜(図2中下側)では、GaSbAs結晶による回折ピークのみが見られ、単一相のGaSbAs多結晶が堆積できていることがわかる。

【0044】

さらに、上記基板温度を300として、 $J_{Sb} < J_{Ga} < J_{As} + J_{Sb}$ の条件のもとで堆積したGaSbAs膜(図2中下側)における、電子濃度、電子移動度、および抵抗率のSb組成依存性を、それぞれ図3(a), (b), (c)に示す。

【0045】

図3の3つの図からわかるように、 $GaSb_yAs_{1-y}$ 多結晶薄膜は、Sb組成yが0.5より大きい時、高い正孔濃度と、 $10 \text{ cm}^2/Vs$ 程度以上の高い正孔移動度を示した。

【0046】

これらの実験結果より、Sb組成yが0.5より大きい $GaSb_yAs_{1-y}$ 多結晶膜は、基板温度300以下で成膜しても、上述したように高い正孔濃度と高い正孔移動度とを持ち、これを半導体デバイスのp形層として用いることができることがはじめて明らかとなった。

このような本実施の形態1の半導体装置によれば、該半導体装置のp形層に用いられる半導体多結晶薄膜を、ガラス基板またはプラスチック基板上に、該基板の温度を300以下とし、成長膜へのガリウム(Ga)、アンチモン(Sb)、及びヒ素(As)原子のそれぞれの供給量 J_{Ga} , J_{Sb} , 及び J_{As} が、 $J_{Sb} < J_{Ga} < J_{As} + J_{Sb}$ の関係を満たすようGa, As, Sb原子を同時供給して真空蒸着により製膜してなる、そのSb組成yが $0.5 < y < 1$ を満たすp形 $GaSb_yAs_{1-y}$ 多結晶薄膜であるものとしたので、該半導体装置のp形層に、高い正孔濃度と高い正孔移動度とを持つ半導体多結晶薄膜を用いることができる効果を得られる。

【0047】

(実施の形態2)

本発明の実施の形態2は、p形チャネル層を有する絶縁ゲート形電界効果薄膜トランジスタを、p形チャネル層に、実施の形態1によるp形 $GaSb_yAs_{1-y}$ 多結晶薄膜を用いて構成したものである。その模式図を図4に示す。図4において、1はガラス基板またはプラスチック基板、2はボトムゲート電極、3はボトムゲート絶縁膜、4はソース電極、5はドレイン電極、6は上記実施の形態1によるp形 $GaSb_yAs_{1-y}$ 多結晶薄膜よりなるp形チャネル層、7はトップゲート絶縁膜、8はトップゲート電極である。

【0048】

本実施の形態2による絶縁ゲート形電界効果薄膜トランジスタを製造する方法は、以下のとおりである。

【0049】

図4において、ガラス基板またはプラスチック基板1上に、ボトムゲート電極2を構成する材料を全面に形成した後、エッチングを行ってボトムゲート電極2を形成し、その上に全面にボトムゲート絶縁膜3を形成したのち、さらに、その上に全面にソース電極、およびドレイン電極となる材料を形成し、該材料の、前記ボトムゲート電極2の中央部に対応する部分を開口して、その両側にソース電極4およびドレイン電極5を形成する。そののち、基板1の温度を300以下にして、成長膜へのガリウム(Ga)、アンチモン(Sb)、及びヒ素(As)原子の供給量 J_{Ga} , J_{Sb} , 及び J_{As} を、 $J_{Sb} < J_{Ga} < J_{As} + J_{Sb}$ の関係を満たすよう、Ga, Sb, As原子を同時供給して真空蒸着により、前記ボトムゲート絶縁膜3、およびソースおよびドレイン電極4、5上に、p形 $GaSb_yAs_{1-y}$ 多結晶薄膜6を形成する。

10

20

30

40

50

たとえば、基板 1 の温度を 300 以下にして、成長膜への Ga 原子の供給量 J_{Ga} を 6×10^{14} 個 / (cm²s)、Sb 原子の供給量 J_{Sb} をその 0.8 倍の 4.8×10^{14} 個 / (cm²s)、As 原子の供給量 J_{As} を 6×10^{15} 個 / (cm²s) とし、Ga、Sb、As を同時供給して、p 形 GaSb_{0.8}As_{0.2} 多結晶薄膜 6 を形成する。

【0050】

そのうち、該 p 形 GaSb_yAs_{1-y} 多結晶薄膜 6 の不要部分をエッチング除去したのち、トップゲート絶縁膜と成る材料を堆積してその不要部分を除去してトップゲート絶縁膜 7 を形成し、さらに、その上にトップゲート電極となる材料を堆積し、その不要部分を除去して、トップゲート電極 8 を形成する。

【0051】

このように、本実施の形態 2 においては、p 形チャンネル層を有する絶縁ゲート形電界効果薄膜トランジスタを、該 p 形チャンネル層に、実施の形態 1 で示した p 形 GaSb_yAs_{1-y} 多結晶薄膜を用いて構成したので、該 p 形 GaSb_yAs_{1-y} 多結晶薄膜が上記のように、高い正孔移動度を持つことより、動作速度の速い絶縁ゲート形電界効果薄膜トランジスタを得ることができる。

【0052】

また、その製造方法においては、上記 p 形 GaSb_yAs_{1-y} 多結晶薄膜 6 は、分子線蒸着法により 300 以下の低い基板温度にて堆積することができ、このため、図 4 に示した本実施の形態 2 の絶縁ゲート形電界効果薄膜トランジスタは、その基板 1 をプラスチックとすることもできる。

【0053】

(実施の形態 3)

本発明の実施の形態 3 は、上記実施の形態 1 における p 形 GaSb_yAs_{1-y} 多結晶薄膜を用いて、半導体ヘテロ接合を有する接合ゲート形電界効果薄膜トランジスタを構成したものである。

【0054】

上記実施の形態 1 における p 形 GaSb_yAs_{1-y} 多結晶薄膜を構成する GaSb_yAs_{1-y} 結晶は、Sb 組成を調整することにより、InAs や In_{1-x}Ga_xAs および InAs_{1-z}P_z 結晶と格子定数が一致したものとすることができ、このように相互に格子定数の一致した、n 形の InAs または In_{1-x}Ga_xAs または InAs_{1-z}P_z 結晶等よりなる III-V 族半導体多結晶薄膜と、上記の p 形 GaSb_yAs_{1-y} 多結晶薄膜とを積層すれば、格子整合した半導体ヘテロ接合を有する接合ゲート形電界効果薄膜トランジスタを構成することができる。

【0055】

一般に、絶縁膜と半導体との界面には界面準位が多く存在し、このような界面準位は、トランジスタにおける雑音や不安定性の原因となるが、格子整合した半導体ヘテロ界面では、一般に界面準位が少ない。したがって、このように格子整合した半導体ヘテロ接合を用いた接合ゲート形電界効果薄膜トランジスタを構成した場合、絶縁ゲート形電界効果薄膜トランジスタに比し、界面準位の影響が小さく、雑音による不安定性の少ないものが得られることが期待される。

【0056】

図 5 は、本実施の形態 3 による、p 形 GaSb_yAs_{1-y} / n 形 In_{1-x}Ga_xAs ヘテロ接合を有する接合ゲート形電界効果薄膜トランジスタを示す。図 5 において、1 はガラス基板、あるいはプラスチック基板、4 はソース電極、5 はドレイン電極、11 は n 形 In_{1-x}Ga_xAs (x=0.13) 多結晶チャンネル層、12 は p 形 GaSb_yAs_{1-y} (y=0.8) 多結晶ゲート層、10 はゲート電極である。

【0057】

このような本実施の形態 3 による接合ゲート形電界効果薄膜トランジスタを製造する方法は、以下の通りである。

【0058】

ガラス基板、またはプラスチック基板上に、該基板の温度を 300 として、まず、Ga

10

20

30

40

50

原子の供給量 J_{Ga} を 6×10^{14} 個/(cm^2s)、In原子の供給量 J_{In} をその6.7倍の 4×10^{15} 個/(cm^2s)、As原子の供給量 J_{As} を 6×10^{15} 個/(cm^2s)として、Ga、In、Asを同時供給してn形 $In_{0.87}Ga_{0.13}As$ 多結晶薄膜を堆積する。

【0059】

次に、基板温度は300 のままとして、一旦シャッターを閉じて、すべての原子の供給を止め、その後、GaおよびAs原子の供給量はそのままとし、Sb原子の供給量 J_{Sb} を J_{Ga} の0.8倍の 4.8×10^{14} 個/(cm^2s)として、Ga、As、Sbを同時供給してp形 $GaSb_{0.8}As_{0.2}$ 多結晶薄膜12を堆積する。

【0060】

次に、前記n形 $In_{0.87}Ga_{0.13}As$ 多結晶薄膜11、および前記p形 $GaSb_{0.8}As_{0.2}$ 多結晶薄膜12の不要部分を除去したのち、ソース電極およびドレイン電極となる金属を堆積し、その不要部分を除去してソース電極4およびドレイン電極5を形成し、その後、ゲート電極となる金属を堆積し、その不要部分を除去してゲート絶縁膜10を形成して、本実施の形態3の接合ゲート形電界効果薄膜トランジスタを完成する。

10

【0061】

このようにすれば、 $In_{0.87}Ga_{0.13}As$ 多結晶も、 $GaSb_{0.8}As_{0.2}$ 多結晶も、ともに格子定数が6.007 となつて一致し、格子整合する上、真空中から出さずに連続して堆積を行うことができるので、界面準位の少ない良好なヘテロ界面が得られる。

【0062】

すなわち、かかる接合ゲート形電界効果薄膜トランジスタでは、相互に格子整合し、かつ、2膜が真空から出さずに連続的に堆積される、p形 $GaSb_yAs_{1-y}$ ($y=0.8$)多結晶ゲート層12と、n形 $In_{1-x}G_xAs$ ($x=0.13$)多結晶チャネル層11とのp/n界面では、n形 $In_{1-x}G_xAs$ 多結晶をチャネル層としている絶縁ゲート形電界効果薄膜トランジスタでの絶縁膜/半導体界面よりも、界面準位がより少なく、より低雑音でより不安定性の少ない電界効果薄膜トランジスタが得られるものである。

20

【0063】

このように、本実施の形態3においては、n形チャネル層を有する接合ゲート形電界効果薄膜トランジスタを、n形 $InAs$ 、 $In_{1-x}G_xAs$ または $InAs_{1-z}P_z$ チャネル層と、p形 $GaSb_yAs_{1-y}$ 多結晶ゲートとよりなる半導体ヘテロ接合ゲートを有するように構成したので、その半導体ヘテロ接合界面は、たとえばn形 $In_{1-x}G_xAs$ 多結晶をチャネル層とする絶縁ゲート形のものにおける絶縁膜/半導体界面よりも界面準位が少なく、したがって、該絶縁ゲート形のものより、低雑音で不安定性の少ない電界効果薄膜トランジスタを得られる。

30

【0064】

しかも、前記n形チャネル層と、前記p形多結晶ゲート層とを、相互に格子整合するものとし、かつ、該2膜をその切り替え時に原子の供給量のみを切り替えるようにして真空から出さずに連続して成膜するようにすれば、半導体ヘテロ接合界面での界面準位はより少なくなり、より低雑音で、より不安定性の少ない電界効果薄膜トランジスタを得られる。

【0065】

(実施の形態4)

本発明の実施の形態4は、上記実施の形態1におけるp形 $GaSb_yAs_{1-y}$ 多結晶を緩衝層として用いて、n形チャネル層を有する絶縁ゲート形電界効果薄膜トランジスタを構成したものである。

40

【0066】

一般に、単結晶基板上に電界効果薄膜トランジスタを作製する場合においては、単結晶基板にチャネル層を直接形成すると、基板付近のチャネル層の影響で特性が悪くなるので、この影響を避けるために、基板に緩衝層を形成したのち、その上にチャネル層を形成するのが一般的である。

【0067】

同様に、チャネル層にn形の $InAs$ 、 $In_{1-x}G_xAs$ または $InAs_{1-z}P_z$ を用いる絶縁ゲート形電

50

界効果薄膜トランジスタを作製する際においても、基板との界面付近のチャンネル層は、それより上部のチャンネル層より、その結晶性が劣化してしまう。

【0068】

この点に鑑み、このようなn形のチャンネル層を用いる絶縁ゲート形電界効果薄膜トランジスタを作製する際に、上記n形チャンネル層を堆積する前に、基板上にp形多結晶薄膜よりなる緩衝層を堆積するようにすれば、上記n形チャンネル層と基板とが遠くに位置することとなる結果、上記基板との界面付近にあるチャンネル層での結晶性の劣化の影響を避けることができ、動作特性のよい絶縁ゲート形電界効果薄膜トランジスタを得ることができる。さらにこの際、このp形多結晶緩衝層として、上記n形の InAs 、 $\text{In}_{1-x}\text{Ga}_x\text{As}$ または $\text{InAs}_{1-z}\text{P}_z$ チャンネル層と格子整合する格子定数を有するp形 $\text{GaSb}_y\text{As}_{1-y}$ を用いれば、上記でも説明したように、該格子整合した半導体ヘテロ接合界面では、界面準位が少ないため、より界面準位の影響が小さく、雑音による不安定性の少ないデバイスが得られる。

10

【0069】

図6は、本発明の実施の形態4によるn形チャンネル層を有する絶縁ゲート形電界効果薄膜トランジスタを示す。図6において、1はガラス基板またはプラスチック基板、4はソース電極、5はドレイン電極、17はn形 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 多結晶チャンネル層、18はp形 $\text{GaSb}_y\text{As}_{1-y}$ 多結晶緩衝層、14はゲート絶縁膜、15はゲート電極である。

【0070】

このような本実施の形態4による絶縁ゲート形電界効果薄膜トランジスタを製造する方法は、以下の通りである。

20

【0071】

まず、ガラス基板またはプラスチック基板1上に、該基板の温度を300以下とし、成長膜へのガリウム(Ga)、アンチモン(Sb)、及びヒ素(As)原子の供給量 J_{Ga} 、 J_{Sb} 、及び J_{As} が、 $J_{\text{Sb}} < J_{\text{Ga}} < J_{\text{As}} + J_{\text{Sb}}$ の関係を満たすようGa、As、Sb原子を同時供給して真空蒸着により、そのSb組成 y が $0.5 < y < 1$ を満たすp形 $\text{GaSb}_y\text{As}_{1-y}$ 多結晶薄膜18を成膜する。より具体的には、成長膜へのGa原子の供給量 J_{Ga} を 6×10^{14} 個/(cm^2s)、Sb原子の供給量 J_{Sb} をその0.8倍の 4.8×10^{14} 個/(cm^2s)、As原子の供給量 J_{As} を 6×10^{15} 個/(cm^2s)として、Ga、As、Sbを同時供給してp形 $\text{GaSb}_{0.8}\text{As}_{0.2}$ 多結晶薄膜18を形成する。

次に、基板温度を300以下のままとし、一旦シャッターを閉じて、すべての原子の供給を止め、その後、GaおよびAs原子の供給量はそのままとし、In原子の供給量 J_{In} をGa原子の供給量 J_{Ga} の6.7倍の 4×10^{15} 個/(cm^2s)として、前記p形 $\text{GaSb}_{0.8}\text{As}_{0.2}$ 多結晶薄膜18上にGa、As、Inを同時供給してn形 $\text{In}_{0.87}\text{Ga}_{0.13}\text{As}$ 多結晶薄膜17を堆積する。

30

【0072】

次に、前記p形 $\text{GaSb}_{0.8}\text{As}_{0.2}$ 多結晶薄膜18、および前記n形 $\text{In}_{0.87}\text{Ga}_{0.13}\text{As}$ 多結晶薄膜17の不要部分を除去したのち、ソース電極およびドレイン電極となる金属を堆積し、その不要部分を除去してソース電極4およびドレイン電極5を形成し、その後、ゲート絶縁膜およびゲート電極となる金属を堆積して、それらの不要部分を除去し、ゲート絶縁膜14及びゲート電極15を形成して、本実施の形態4の絶縁ゲート形電界効果薄膜トランジスタを完成する。

40

【0073】

このように、本実施の形態4においては、III-V族半導体多結晶薄膜よりなるn形チャンネル層を有する絶縁ゲート形電界効果薄膜トランジスタを、該チャンネル層を、 InAs 、 $\text{In}_{1-x}\text{Ga}_x\text{As}$ または $\text{InAs}_{1-z}\text{P}_z$ 等よりなるものとし、かつ、該n形チャンネル層と基板との間に、p形 $\text{GaSb}_y\text{As}_{1-y}$ 多結晶薄膜を緩衝層として介在させるよう構成したので、上記n形チャンネル層と基板とが遠くに位置することとなる結果、基板との界面付近にあるチャンネル層での結晶性の劣化の影響を避けることができ、動作特性の良好な絶縁ゲート形電界効果薄膜トランジスタを得ることができる。

【0074】

しかもこの際、上記該n形チャンネル層と、上記p形多結晶緩衝層とを、相互に格子整合

50

するものとし、かつ、該2膜を、その切り替え時に原子の供給量のみを切り替えるようにして真空から出さずに連続して成膜するようにすれば、該2層よりなる半導体ヘテロ接合界面での界面準位はより少なくなり、より低雑音で、より不安定性の少ない、動作特性の電界効果薄膜トランジスタを得ることができる。

【0075】

(実施の形態5)

本発明の実施の形態5は、上記実施の形態1におけるp形GaSb_yAs_{1-y}多結晶を外部ベース層として用いて、ヘテロ接合バイポーラトランジスタを構成したものである。上記したように、非特許文献9において、ヘテロ接合バイポーラトランジスタの製造プロセスにおいてベース/コレクタ間の寄生容量を低減するために、なおかつ、ベース寄生抵抗を低減するために、図8のような構造が提案されている。

10

【0076】

図8において、21は単結晶半絶縁性基板、22はn⁺形サブコレクタ層、23はn形コレクタ層、24はp形ベース層、25はn形エミッタ層、26はコレクタ電極、27は絶縁膜、28はp形GaSbよりなる外部多結晶ベース層、29は外部ベース電極、30はエミッタ電極である。

【0077】

このようなヘテロ接合バイポーラトランジスタの構造では、外部多結晶ベース層28とn⁺形サブコレクタ層22との間に絶縁膜27があることにより、ベース/コレクタ間の寄生容量が大きく低減されており、かつ、ベース電極29と外部ベース層28との接合面積

20

【0078】

このような構造を作製するためには、絶縁膜27上への外部多結晶ベース層28の再成長が必要であり、この外部多結晶ベース層は低抵抗で平坦性がよいことが要求される。非特許文献9において、Dongらは、このようなヘテロ接合バイポーラトランジスタにおける外部多結晶ベース層として、p形GaSb多結晶層を430~520 nmで堆積した。この場合、該p形GaSb多結晶層は、 $6 \times 10^{19} \text{ cm}^{-3}$ 程度の正孔濃度と、 $5 \text{ cm}^2/\text{Vs}$ 程度の正孔移動度を示し、その結果として、 0.02 cm 程度の低い抵抗率を示した。かつ、多結晶の粒子サイズは、基板温度を520 nmから430 nmに下げるにつれ、250 nmから40 nmに減少し、平坦性も改善されている。しかしまだ、基板温度が高いという問題点と、平坦性については改善の余地があるものであった。

30

【0079】

上記実施の形態1で示したp形GaSb_yAs_{1-y}は、Sb組成 $y = 0.8$ の時、正孔濃度が $1.5 \times 10^{18} \text{ cm}^{-3}$ と、非特許文献9の場合の約1/40しかないにもかかわらず、高い正孔移動度のために 0.17 cm という低い抵抗率を示している。したがって、さらにp形不純物を添加して $6 \times 10^{19} \text{ cm}^{-3}$ 程度の正孔濃度にあげれば、p形GaSb多結晶よりも低い抵抗率が得られると考えられる。

【0080】

したがって、本発明の実施の形態5は、上述したように、上記実施の形態1におけるp形GaSb_yAs_{1-y}多結晶を、外部ベース層として用いてヘテロ接合バイポーラトランジスタを構成したものである。

40

【0081】

なお、このp形GaSb_yAs_{1-y}多結晶薄膜の形成は、図8において、n⁺形サブコレクタ層22、およびSiO₂絶縁膜27が形成された後に、基板1の温度を300 K以下にして、成長膜へのガリウム(Ga)、アンチモン(Sb)、及びヒ素(As)原子の供給量をそれぞれ J_{Ga} 、 J_{Sb} 、及び J_{As} としたとき、 $J_{\text{Sb}} < J_{\text{Ga}} < J_{\text{As}} + J_{\text{Sb}}$ を満たすよう、該各原子を同時供給して真空蒸着により、上記n⁺形サブコレクタ層22およびSiO₂絶縁膜27上に、p形GaSb_yAs_{1-y}多結晶薄膜28を形成する。

【0082】

たとえば、基板1の温度を300 K以下にして、成長膜へのGa原子の供給量 J_{Ga} を 6×10

50

1^4 個/(cm^2s)、Sb原子の供給量 J_{Sb} をその0.8倍の 4.8×10^{14} 個/(cm^2s)、As原子の供給量 J_{As} を 6×10^{15} 個/(cm^2s)として、Ga、Sb、Asを同時供給して $\text{GaSb}_{0.8}\text{As}_{0.2}$ 多結晶薄膜28を形成する。

【0083】

このように、本実施の形態5においては、上記非特許文献9においては、ヘテロ接合バイポーラトランジスタにおける低抵抗外部ベース層としてp形GaSb多結晶を用いているのに代えて、該低抵抗外部ベース層に、実施の形態1におけるp形 $\text{GaSb}_y\text{As}_{1-y}$ 多結晶薄膜を用いるようにしたので、低抵抗外部ベース層の抵抗率がより低いヘテロ接合バイポーラトランジスタを得ることができ、さらには、前記p形 $\text{GaSb}_y\text{As}_{1-y}$ 多結晶に、p形不純物を添加してその正孔濃度を $6 \times 10^{19} \text{cm}^{-3}$ 程度にさらに上げるようにすれば、さらにより低い抵抗率を持つ外部ベース層が得られるものである。

10

【0084】

加えて、実施の形態1で示したp形 $\text{GaSb}_y\text{As}_{1-y}$ 多結晶薄膜は、形成温度が300以下であり、400以上で堆積したGaSb多結晶よりも多結晶の粒子サイズが小さく平坦性に優れるという利点が見られるものであったことより、本実施の形態5のヘテロ接合バイポーラトランジスタにおいても、上記p形 $\text{GaSb}_y\text{As}_{1-y}$ 多結晶薄膜を300以下の基板温度で形成するようにすれば、多結晶の粒子サイズが小さく、平坦性に優れる低抵抗外部ベース層が得られる。

【符号の説明】

【0085】

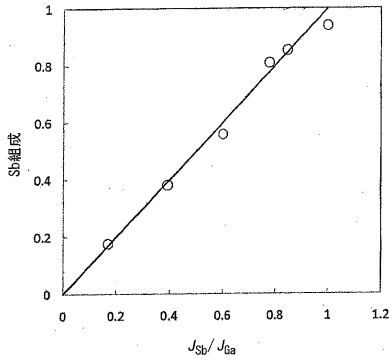
20

- 1 ガラス基板
- 2 ボトムゲート電極
- 3 ボトムゲート絶縁膜
- 4 ソース電極
- 5 ドレイン電極
- 6 $\text{GaSb}_y\text{As}_{1-y}$ 多結晶p形チャンネル層
- 7 トップゲート絶縁膜
- 8 トップゲート電極
- 10 ゲート電極
- 11 n形 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 多結晶チャンネル層
- 12 p形 $\text{GaSb}_y\text{As}_{1-y}$ 多結晶ゲート層
- 14 ゲート絶縁膜
- 15 ゲート電極
- 17 n形 $\text{In}_{1-x}\text{Ga}_x\text{As}$ 多結晶チャンネル層
- 18 p形 $\text{GaSb}_y\text{As}_{1-y}$ 多結晶緩衝層
- 21 単結晶半絶縁性基板
- 22 n⁺形サブコレクタ層
- 23 n形コレクタ層
- 24 p形ベース層
- 25 n形エミッタ層
- 26 コレクタ電極
- 27 絶縁膜
- 28 外部多結晶ベース層
- 29 外部ベース電極
- 30 エミッタ電極

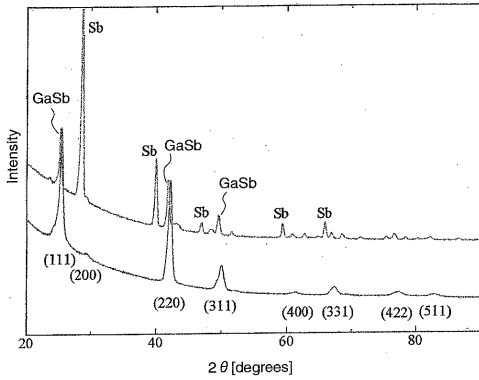
30

40

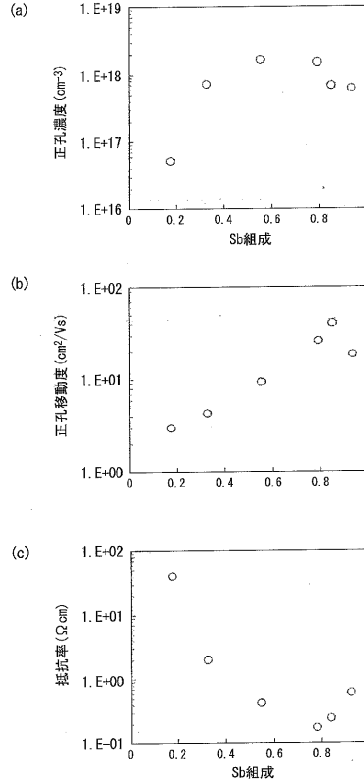
【 図 1 】



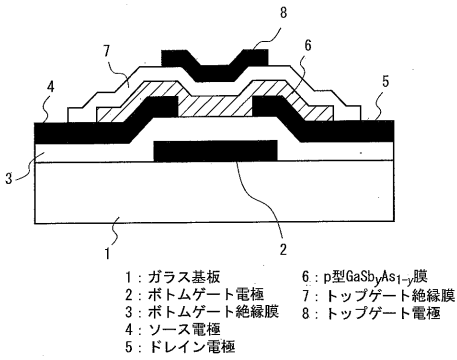
【 図 2 】



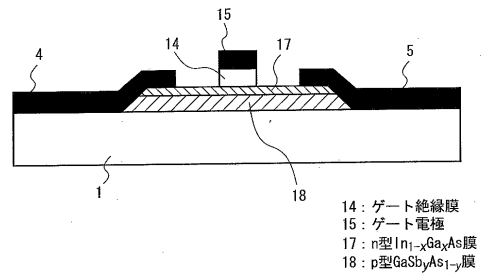
【 図 3 】



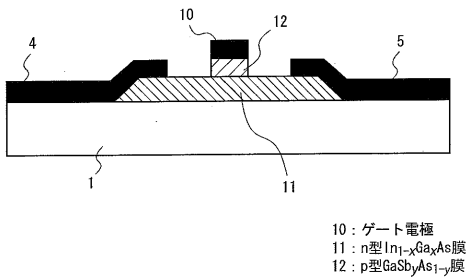
【 図 4 】



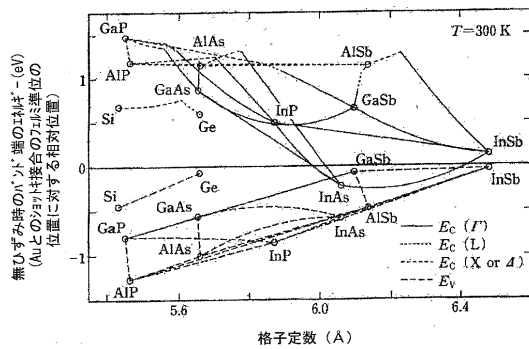
【 図 6 】



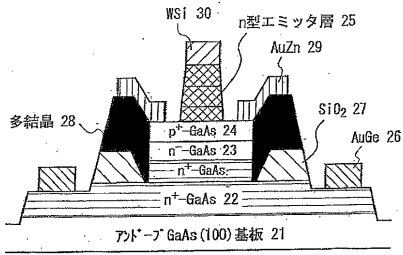
【 図 5 】



【 図 7 】



【 図 8 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<i>H 0 1 L 29/737 (2006.01)</i>	H 0 1 L 29/78 6 1 8 E	
<i>H 0 1 L 29/201 (2006.01)</i>	H 0 1 L 29/78 6 1 8 A	
<i>H 0 1 L 21/336 (2006.01)</i>		

Fターム(参考) 5F103 AA04 BB41 BB42 BB52 DD01 DD13 HH04 JJ01 JJ03 LL13
NN01 NN02 RR10
5F110 AA01 AA17 CC01 DD01 DD02 EE02 EE30 EE42 FF27 GG04
GG07 GG13 GG19 GG42 HK02 HK32 QQ09