

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5224601号
(P5224601)

(45) 発行日 平成25年7月3日(2013.7.3)

(24) 登録日 平成25年3月22日(2013.3.22)

(51) Int.Cl.

G 1 1 C 15/04 (2006.01)

F I

G 1 1 C 15/04 6 3 1 G

G 1 1 C 15/04 F

請求項の数 12 (全 33 頁)

(21) 出願番号 特願2009-229601 (P2009-229601)
 (22) 出願日 平成21年10月1日(2009.10.1)
 (65) 公開番号 特開2011-76688 (P2011-76688A)
 (43) 公開日 平成23年4月14日(2011.4.14)
 審査請求日 平成24年6月7日(2012.6.7)

(73) 特許権者 504136568
 国立大学法人広島大学
 広島県東広島市鏡山1丁目3番2号
 (74) 代理人 100104444
 弁理士 上羽 秀敏
 (74) 代理人 100112715
 弁理士 松山 隆夫
 (74) 代理人 100125704
 弁理士 坂根 剛
 (74) 代理人 100120662
 弁理士 川上 桂子
 (74) 代理人 100123906
 弁理士 竹添 忠

最終頁に続く

(54) 【発明の名称】 連想メモリ

(57) 【特許請求の範囲】

【請求項1】

複数の参照データを保存する保存手段と、

入力された検索データと、前記複数の参照データの各々とを並列に比較して、前記検索データと前記参照データとの距離を、前記参照データごとに求める比較手段と、

前記求めた距離に応じた周波数を有するパルス信号を前記参照データごとに生成するパルス生成手段と、

前記生成された複数のパルス信号の周波数に基づいて、前記複数の参照データのうち、前記検索データに最も近い参照データを決定する決定手段とを備える連想メモリ。

【請求項2】

請求項1に記載の連想メモリであって、

前記パルス生成手段は、

前記複数の参照データに対応した複数の発振手段を備え、

前記各発振手段は、前記検索データと前記対応する参照データとの距離が小さいほど、周波数の高い前記パルス信号を出力し、

前記決定手段は、発振周波数の最も高いパルス信号を出力した発振手段に対応した参照データを、前記検索データに最も近い参照データに決定する連想メモリ。

【請求項3】

請求項2に記載の連想メモリであって、

前記決定手段はさらに、

10

20

前記複数の発振手段に対応した複数の判定手段を備え、

前記決定手段は、前記複数の判定手段のうち、前記発振手段からのパルス信号を最も早く受信した判定手段に基づいて、前記検索データに最も近い参照データを決定する連想メモリ。

【請求項 4】

請求項 3 に記載の連想メモリであってさらに、

前記発振手段に対応した複数の分周手段を備え、

各分周手段は、対応する発振手段から出力されたパルス信号を所定の分周比で分周して、対応する判定手段に出力する連想メモリ。

【請求項 5】

請求項 3 に記載の連想メモリであって、

前記決定手段は、

前記複数の判定手段に接続されたラッチ指示ノードと、

前記ラッチ指示ノードを充電する充電手段とを備え、

前記各判定手段は、

対応する前記発振手段からの出力信号を受け、前記出力信号が前記パルス信号であるとき前記ラッチ指示ノードを放電する放電手段と、

前記ラッチ指示ノードが放電されたときに前記放電手段が受けている前記出力信号をラッチするラッチ手段とを備える連想メモリ。

【請求項 6】

請求項 2 に記載の連想メモリであって、

前記決定手段は、

複数段のトーナメント式に接続された複数の判定手段を備え、

第 1 段目に配置された複数の判定手段の各々は、

各々が対応する発振手段の出力信号を受ける複数の第 1 のパルス判定手段と、

前記複数の第 1 のパルス判定手段に接続されたパルス受付判定ノードと、

前記パルス受付判定ノードを充電する充電手段とを備え、

前記第 1 のパルス判定手段は、

前記対応する発振手段の出力信号としてパルス信号を受けたとき、前記パルス受付判定ノードを放電する第 1 の放電手段と、

クロック信号を受けたとき前記第 1 の放電手段が受けている出力信号をラッチするラッチ手段とを備え、

第 2 段目以降に配置された判定手段は、

各々が、前段の対応する判定手段のパルス受付判定ノードに接続された、複数の第 2 のパルス判定手段と、

前記複数の第 2 のパルス判定手段が接続されたパルス受付判定ノードと、

前記充電手段とを備え、

前記第 2 のパルス判定手段は、

前記前段の対応する判定手段のパルス受付判定ノードが放電されたとき、前記パルス受付判定ノードを放電する第 2 の放電手段を備え、

最上段の判定手段はさらに、

前記パルス受付判定ノードが放電されたとき、クロック信号を出力するクロック信号生成手段を備える連想メモリ。

【請求項 7】

請求項 2 又は請求項 3 に記載の連想メモリであって、

前記発振手段は、直列に接続された複数のインバータと、

前記検索データと前記対応する参照データとの距離に応じて、前記インバータの段数を選択する段数選択手段とを備える連想メモリ。

【請求項 8】

請求項 2 に記載の連想メモリであって、

前記決定手段は、
 複数の前記発振手段に対応する複数のカウンタ手段を備え、
 前記カウンタ手段は、対応する発振手段からパルス信号を受け、所定数のパルスを受けたとき活性化された出力信号を生成する連想メモリ。

【請求項 9】

請求項 2 に記載の連想メモリであってさらに、
 j (j は、 $1 < j < k$ を満たす整数、 k は、2 以上の整数) 回目の検索において、 $j - 1$ 回目までに決定手段により決定された参照データに対応する発振手段から出力されたパルス信号を無効化するパルス無効化手段を備えることを特徴とする連想メモリ。

【請求項 10】

請求項 2 に記載の連想メモリであって、
 前記参照データは、複数の参照ビットデータを含み、
 前記検索データは、前記参照ビットデータに対応する複数の検索ビットデータを含み、
 前記比較手段は、前記各参照ビットデータと前記各検索ビットデータとをハミング距離に基づいて比較し、
 前記発振手段は、
 直列に接続される複数の遅延手段を備え、
 前記各遅延手段は、 $L + 1$ 個 (L は自然数) 通りの遅延時間を設定可能であり、 L 個の参照ビットデータ及び検索ビットデータの比較結果に応じて、前記遅延時間を選択する連想メモリ。

【請求項 11】

請求項 2 に記載の連想メモリであって、
 前記参照データは、複数の参照ビットデータを含み、
 前記検索データは、前記参照ビットデータに対応する複数の検索ビットデータを含み、
 前記比較手段は、前記参照ビットデータと前記検索ビットデータとをマンハッタン距離に基づいて比較し、
 前記発振手段は、
 直列に接続される複数の遅延手段を備え、
 前記各遅延手段は、 2^k (k は自然数) 通りの遅延時間を設定可能であり、 k 個の参照ビットデータ及び検索ビットデータの比較結果に応じて、前記遅延時間を選択する連想メモリ。

【請求項 12】

請求項 3 に記載の連想メモリであって、
 前記決定手段はさらに、
 前記複数の発振手段から出力されるパルス信号のうち、最も早く出力されたパルス信号を検知する検知手段を備え、
 前記各判定手段は、
 対応する前記発振手段から出力信号を受け、前記検知手段が最も早く出力されたパルス信号を検知したとき、前記出力信号をラッチする、連想メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、最小距離検索機能を有する連想メモリに関する。

【背景技術】

【0002】

画像圧縮及び画像認識の分野において、最小距離検索機能を有する連想メモリが注目されている。連想メモリは W ビット幅 R 個の参照データを記憶する (W 及び R は自然数)。データ列 (検索データ) が入力されたとき、連想メモリは、複数の参照データの中から最も類似した (距離の近い) データを検索する。

【 0 0 0 3 】

入力されたデータ列と最も類似の参照データを見つけることは、パターンマッチングにおいて基本的な処理である（非特許文献1参照）。したがって、画像圧縮や画像認識等の情報処理において、最小距離検索連想メモリは有用である。最小距離検索連想メモリはたとえば、特許文献1に開示されている。さらに、ハミング距離、マンハッタン距離及びユークリッド距離の検索機能を有する全並列型の連想メモリが特許文献2、非特許文献2及び非特許文献3に開示されている。

【先行技術文献】

【特許文献】

【 0 0 0 4 】

【特許文献1】特開2002-288985号公報

【特許文献2】特開2005-209317号公報

【非特許文献】

【 0 0 0 5 】

【非特許文献1】D. R. Tsveter, "The Pattern Recognition Basis of Artificial Intelligence," Los Alamitos, CA: IEEE computersociety, 1998.

【非特許文献2】H. J. Mattausch, T. Gyohten, Y. Soda, and T. Koide, "Compact Associative-Memory Architecture with Fully-Parallel Search Capability for the Minimum Hamming Distance," IEEE Journal of Solid-State Circuits, Vol. 37, pp. 218-227, 2002.

【非特許文献3】H. J. Mattausch, N. Omori, S. Fukae, T. Koide and T. Gyohten, "Fully-Parallel Pattern-Matching Engine with Dynamic Adaptability to Hamming or Manhattan Distance," 2002 Symposium on VLSI Circuits Digest of Technical Papers, pp. 252-255, 2002.

【非特許文献4】M. Ikeda, et al., "Time-domain minimum-distance detector and its application to low-power coding schema on chip-interface," Proc. of ESSCIRC '97, pp.464-467, 1998.

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 6 】

従来の連想メモリは、メモリアレイ部と、Winner Line-up増幅回路（Winner Line-up Amplifier：以下、WLAという）と、Winner Take All回路（以下、WTAという）とを備える。メモリアレイ部は、行列状に配置されたメモリセルを備える。メモリアレイ部の同じ行に配列された複数のメモリセルは、Wビット幅の参照データを記憶する。メモリアレイ部はさらに、各々が各行に対応した複数の比較回路を備える。比較回路は、対応する行のメモリセルに記憶された参照データと、外部から入力された検索データとの距離に応じた比較電流信号を生成する。

【 0 0 0 7 】

WLA回路は、各々が各比較回路に対応した複数の電流電圧変換回路を備える。各電流電圧変換回路は、対応する比較回路から出力された比較電流信号を電圧に変換する。WLA回路は、変換された複数の電圧のうち、電圧レベルが最も低い電圧をWinnerとして所定の電圧 V_w に増幅する。そして、それ以外の電圧をLoserとして所定の電圧 V_L に増幅する。ここで、Winnerは、検索データに最も類似する参照データに対応する。そして、Loserは、検索データに最も類似する参照データ以外の他の参照データに対応する。WTA回路は、WLA回路から受けた電圧をさらに増幅して出力する。連想メモリでは、電圧 V_w に増幅された行のメモリセルに記憶された参照データが検索データに最も類似した参照データに決定される。

【 0 0 0 8 】

変換された複数の電圧を電圧 V_w 及び電圧 V_L に増幅するために、WLA回路は、各行に対応して配置されたトランジスタ素子を用いて、各電圧が所定のしきい値電圧 V_{ref}

10

20

30

40

50

よりも大きいか否かを判定する。そして、しきい値電圧 V_{ref} よりも小さい電圧を電圧 V_W に増幅し、しきい値電圧 V_{ref} よりも大きい電圧を電圧 V_L に増幅する。

【0009】

上述の電圧判定に用いられるトランジスタ素子の特性は、各行で一致している必要がある。しかしながら、トランジスタ素子の特性はどうしてもばらつく。特性が異なるトランジスタを電圧判定に用いれば、本来電圧 V_W に増幅されないはずの行で、電圧 V_W に増幅されてしまう場合が生じる。要するに、各行の比較電流信号を電圧に変換することで参照データを検索する従来の連想メモリでは、誤検索が生じる場合がある。

【0010】

本発明の目的は、誤検索を抑制できる連想メモリを提供することである。

10

【課題を解決するための手段及び発明の効果】

【0011】

本発明による連想メモリは、保存手段と、比較手段と、パルス生成手段と、決定手段とを備える。保存手段は、複数の参照データを保存する。比較手段は、入力された検索データと、複数の参照データの各々とを並列に比較して、検索データと参照データとの距離を、参照データごとに求める。パルス生成手段は、求めた距離に応じた周波数を有するパルス信号を参照データごとに生成する。決定手段は、生成された複数のパルス信号の周波数に基づいて、複数の参照データのうち、検索データに最も近い参照データを決定する。

【0012】

本発明による連想メモリは、従来のように、参照データと検索データとの距離を電流値や電圧値に変換せず、距離に応じた発振周波数を有するパルス信号を生成する。距離を電流値や電圧値に変換するといったアナログ処理を行わないため、トランジスタ素子特性のばらつきに起因した誤検索が生じにくい。

20

【0013】

好ましくは、パルス生成手段は、複数の参照データに対応した複数の発振手段を備える。各発振手段は、検索データと前記対応する参照データとの距離が小さいほど、周波数の高いパルス信号を出力する。決定手段は、発振周波数の最も高いパルス信号を出力した発振手段に対応した参照データを、検索データに最も近い参照データに決定する。

【0014】

より好ましくは、決定手段はさらに、複数の発振手段に対応した複数の判定手段を備える。決定手段は、複数の判定手段のうち、発振手段からのパルス信号を最も早く受信した判定手段に基づいて、検索データに最も近い参照データを決定する。

30

【0015】

この場合、電流電圧差ではなく、パルス信号を受ける時間差に基づいて検索データに最も近い参照データを決定する。そのため、トランジスタ素子特性のばらつきの影響を受けにくい。

【0016】

好ましくは、連想メモリはさらに、発振回路に対応した複数の分周手段を備える。各分周手段は、対応する発振手段から出力されたパルス信号を所定の分周比で分周して、対応する判定手段に出力する。

40

【0017】

この場合、決定手段は、最も早く受信したパルス信号をより精度良く特定できる。

【0018】

好ましくは、決定手段はさらに、複数の判定手段に接続されたラッチ指示ノードと、ラッチ指示ノードを充電する充電手段とを備える。各判定手段は、放電手段と、ラッチ手段とを備える。放電手段は、対応する発振手段からの出力信号を受け、出力信号がパルス信号であるときラッチ指示ノードを放電する。ラッチ手段は、ラッチ指示ノードが放電されたときに放電手段が受けている出力信号をラッチする。

【0019】

この場合、最も早くパルス信号を受信した判定手段が出力する出力信号のレベルと、そ

50

の他の判定手段が出力する出力信号のレベルとを異なるレベルにできる。

【0020】

好ましくは、決定手段は、トーナメント式に接続された複数の判定手段を備える。第1段目に配置された複数の判定手段の各々は、複数の第1のパルス判定手段と、パルス受付判定ノードと、充電手段とを備える。第1のパルス判定手段は、対応する発振手段の出力信号を受ける。パルス受付判定ノードは、複数の第1のパルス判定手段に接続される。充電手段は、パルス受付判定ノードを充電する。第1のパルス判定手段は、第1の放電手段と、ラッチ手段とを備える。第1の放電手段は、対応する発振手段の出力信号としてパルス信号を受けたとき、パルス受付ノードを放電する。ラッチ手段は、クロック信号を受けたとき第1の放電手段が受けている出力信号をラッチする。第2段目以降に配置されたトーナメント判定手段は、複数の第2のパルス判定手段と、パルス受付判定ノードと、充電手段とを備える。第2のパルス判定手段は、前段の対応するトーナメント判定手段のパルス受付判定ノードに接続される。パルス受付判定ノードは、複数の第2のパルス判定手段が接続される。第2のパルス判定手段は第2の充電手段を備える。第2の充電手段は、前段の対応する判定手段のパルス受付判定ノードが放電されたとき、パルス受付ノードを放電する。最上段の判定手段はさらに、クロック生成手段を備える。クロック生成手段は、パルス受付判定ノードが放電されたとき、クロック信号を出力する。

10

【0021】

この場合、各パルス受付判定ノードの負荷容量を小さくすることができる。そのため、パルス信号を受けてからクロック信号が出力されるまでの時間を短縮できる。

20

【0022】

好ましくは、発信手段は、直列に接続された複数のインバータと、段数選択手段とを備える。段数選択手段は、検索データと対応する参照データとの距離に応じて、インバータの段数を選択する。

【0023】

この場合、インバータの段数に応じて発振周波数を調整できる。

【0024】

好ましくは、決定手段は、複数の発振手段に対応する複数のカウンタ手段を備える。カウンタ手段は、対応する発振手段からパルス信号を受け、受けたパルスの総数をカウントし、所定数のパルスを受けたとき活性化された出力信号を生成する。

30

【0025】

この場合、検索データに類似した参照データを、検索データに類似する順に順次決定することができる。

【0026】

好ましくは、連想メモリはさらに、パルス無効化手段を備える。パルス無効化手段は、 j (j は、 $1 < j \leq k$ を満たす整数、 k は、2以上の整数) 回目の検索において、 $j - 1$ 回目までに決定手段により決定された参照データに対応する発振手段から出力されるパルス信号を無効化する。

【0027】

この場合、検索データに類似した参照データを、検索データに類似する順に順次決定することができる。

40

【図面の簡単な説明】

【0028】

【図1】本発明の実施の形態による連想メモリの全体構成を示す機能ブロック図である。

【図2】図1中のユニットデータ保存回路とユニットデータ比較回路の回路図である。

【図3】図1中の発振回路の構成を示す機能ブロック図である。

【図4】図3中の遅延回路の回路図である。

【図5】図1中のWTA回路の回路図である。

【図6】図3に示した発振回路内のインバータの段数と発信周波数のばらつきとの関係を示す図である。

50

【図7】本発明の第2の実施の形態による連想メモリの全体構成を示す機能ブロック図である。

【図8】図7中の分周回路を用いた場合のパルス信号の波形の変化を説明するための図である。

【図9】本発明の第3の実施の形態による連想メモリのWTA回路の回路図である。

【図10】本発明の第4の実施の形態による連想メモリの発振回路の構成を示す機能ブロック図である。

【図11】図10中の遅延回路の回路図である。

【図12】図11と異なる他の遅延回路の回路図である。

【図13】図11及び図12と異なる他の遅延回路の回路図である。

10

【図14】図11～図13と異なる他の遅延回路の回路図である。

【図15】本発明の第5の実施の形態による連想メモリの全体構成を示す機能ブロック図である。

【図16】本発明の第6の実施の形態による連想メモリの全体構成を示す機能ブロック図である。

【図17】本発明の第7の実施の形態による連想メモリの全体構成を示す機能ブロック図である。

【図18】図17中のメモリアレイ部内の第1行目の保存回路、比較回路及び発振回路の構成を示す機能ブロック図である。

【図19】図18中の発振回路の構成を示す機能ブロック図である。

20

【図20】図19中の遅延回路の構成を示す機能ブロック図である。

【図21】本発明の第8の実施の形態による連想メモリのメモリアレイ部内の第1行目の保存回路、比較回路及び発振回路の構成を示す機能ブロック図である。

【図22】本発明の第9の実施の形態による連想メモリのWTA回路の構成を示す機能ブロック図である。

【発明を実施するための形態】

【0029】

以下、図面を参照し、本発明の実施の形態を詳しく説明する。図中同一又は相当部分には同一符号を付してその説明は繰り返さない。

【0030】

30

[第1の実施の形態]

[全体構成]

図1を参照して、本発明の実施の形態による連想メモリ100は、メモリアレイ部10と、WTA(Winner Take All)回路20とを備える。

【0031】

メモリアレイ部10は、メモリ部1と、行デコーダ2と、列デコーダ3と、Read/Write回路4と、検索データ保存回路5とを備える。

【0032】

メモリ部1は、ユニットデータ保存回路(Unit Strage:US)US₁₁～US_{1W}、US₂₁～US_{2W}、・・・、US_{R1}～US_{RW}を備える。ここで、Wは2以上の自然数であり、Rは2以上の自然数である。以降の説明では、任意のユニットデータ保存回路をUS_{ij}(1 ≤ i ≤ W、1 ≤ j ≤ R)と記載する。

40

【0033】

ユニットデータ保存回路(Unit Strage:US)US₁₁～US_{1W}、US₂₁～US_{2W}、・・・、US_{R1}～US_{RW}は、行列状に配置される。同じ行に配列された複数のユニットデータ保存回路US_{ij}は保存回路S_iを構成する。たとえば、第1行に配列されたユニットデータ保存回路US₁₁～US_{1W}は、保存回路S₁を構成する。同様に、第2行に配列されたユニットデータ保存回路US₂₁～US_{2W}は、保存回路S₂を構成し、第R行に配列されたユニットデータ保存回路US_{R1}～US_{RW}は、保存回路S_Rを構成する。

50

【0034】

各行の保存回路 S_i は W ビット幅の参照データを記憶する。具体的には、第1行に対応した保存回路 S_1 は、 W ビット幅の参照データを記憶する。第2行に対応した保存回路 S_2 は、保存回路 S_1 が保存する参照データと異なる他の参照データを記憶する。保存回路 S_i 内の複数のユニットデータ保存回路 US_{ij} の各々は、参照データのうちの対応する1ビットデータを記憶する。

【0035】

メモリ部1はさらに、各保存回路 $S_1 \sim S_R$ に対応した複数の比較回路 $C_1 \sim C_R$ を備える。

比較回路 C_1 は、第1行に配置された保存回路 S_1 に対応する。比較回路 C_2 は、第2行に配置された保存回路 S_2 に対応する。同様に、比較回路 C_R は、第 R 行に配置された保存回路 S_R に対応する。

【0036】

比較回路 C_1 は、複数のユニットデータ比較回路 (Unit Comparator: UC) $UC_{11} \sim UC_{1W}$ を備える。同様に、第2行に対応した比較回路 C_2 は、複数のユニットデータ比較回路 $UC_{21} \sim UC_{2W}$ を備える。同様に、第3行～第 R 行に対応した比較回路 $C_3 \sim C_R$ は、複数のユニットデータ比較回路 $UC_{31} \sim UC_{3W}$ 、 \dots 、 $UC_{R1} \sim UC_{RW}$ を備える。

【0037】

ユニットデータ比較回路 $UC_{11} \sim UC_{1W}$ は、それぞれ、ユニットデータ保存回路 $US_{11} \sim US_{1W}$ に対応して配置される。ユニットデータ比較回路 $UC_{21} \sim UC_{2W}$ は、それぞれ、ユニットデータ保存回路 $US_{21} \sim US_{2W}$ に対応して配置される。以下、同様にして、ユニットデータ比較回路 $UC_{31} \sim UC_{3W}$ 、 \dots 、 $UC_{R1} \sim UC_{RW}$ は、それぞれ、ユニットデータ保存回路 $US_{31} \sim US_{3W}$ 、 \dots 、 $US_{R1} \sim US_{RW}$ に対応して配置される。

【0038】

以降の説明では、任意の比較回路を C_i 、任意のユニットデータ比較回路を UC_{ij} と記載する。

【0039】

各行の比較回路 C_i は、外部から W ビット幅の検索データを受け付ける。そして、検索データと、対応する保存回路 S_i に保存された W ビット幅の参照データとを比較する。より具体的には、比較回路 C_i は、検索データと参照データとの距離 (本例ではハミング距離) を求める。各行の参照データと検索データとの比較は、並列に実行される。つまり、各比較回路 C_i は、対応する第 i 行の参照データと検索データとの比較を、並列 (同時) に実行する。

【0040】

メモリ部1はさらに、パルス生成回路を備える。パルス生成回路は、複数の発振回路 (Oscillating Circuit: OC) $OC_1 \sim OC_R$ を備える。以降、任意の発振回路を OC_i と記載する。

【0041】

各発振回路 OC_i は、各行に配置される。具体的には、発振回路 OC_1 は、保存回路 S_1 及び比較回路 C_1 に対応する。発振回路 OC_2 は、保存回路 S_2 及び比較回路 C_2 に対応する。同様に、発振回路 OC_R は、保存回路 S_R 及び比較回路 C_R に対応する。

【0042】

発振回路 OC_i は、比較回路 C_i により求められたハミング距離に応じた発振周波数を有するパルス信号 P_i を出力する。具体的には、発振回路 OC_1 は、第1行 (保存回路 S_1) に保存された参照データと検索データとのハミング距離に応じた発振周波数を有するパルス信号 P_1 を出力する。発振回路 OC_2 は、第2行の参照データと検索データとのハミング距離に応じた発振周波数を有するパルス信号 P_2 を出力する。同様に、発振回路 O

10

20

30

40

50

C_R は、第 R 行の参照データと検索データとのハミング距離に応じた発信周波数を有するパルス信号 P_R を出力する。

【0043】

要するに、複数の発振回路 $OC_1 \sim OC_R$ を備えたパルス生成回路は、各行の参照データに応じたパルス信号 $P_1 \sim P_R$ を生成する。パルス信号 P_i の発信周波数は、対応する行（第 i 行）の参照データと検索データとのハミング距離に対応する。具体的には、ハミング距離が小さい程、発振周波数は高く、ハミング距離が大きい程、発振周波数は低い。

【0044】

行デコーダ 2 は、メモリ部 1 の行方向のアドレスを指定する。列デコーダ 3 は、メモリ部 1 の列方向のアドレスを指定する。Read/Write 回路 4 は、行デコーダ 2 及び列デコーダ 3 により指定されたユニットデータ保存回路 $US_{11} \sim US_{1W}$ 、 $US_{21} \sim US_{2W}$ 、 \dots 、 $US_{R1} \sim US_{RW}$ に参照データを書き込む。Read/Write 回路 4 はさらに、検索データを検索データ保存回路 5 に書き込む。

10

【0045】

検索データ保存回路 5 は、Read/Write 回路 4 によって書き込まれた検索データを保存する。

【0046】

WTA 回路 20 は、パルス生成回路（発振回路 $OC_1 \sim OC_R$ ）で生成された複数のパルス信号 $P_1 \sim P_R$ を受ける。WTA 回路 20 は、パルス信号 $P_1 \sim P_R$ の発振周波数に基づいて、検索データに最も類似する参照データを決定する。WTA 回路 20 は、パルス信号 $P_1 \sim P_R$ のうち、発振周波数が最大のパルス信号 P_i を特定する。そして、特定されたパルス信号 P_i に対応する行（第 i 行）に記憶された参照データを、検索データに最も類似した参照データに決定する。

20

【0047】

WTA 回路 20 は、複数の発振回路 $OC_1 \sim OC_R$ に対応した複数の判定回路（Judgment Circuit） $JC_1 \sim JC_R$ を備える。以降、任意の判定回路を JC_i と記載する。複数の判定回路 $JC_1 \sim JC_R$ は、対応するパルス信号 $P_1 \sim P_R$ を受ける。パルス信号 $P_1 \sim P_R$ のうち、発振周波数が最大のパルス信号 P_i の電圧レベルが最も早く変化する。判定回路 $JC_1 \sim JC_R$ のうち、最も早くレベル変化したパルス信号 P_i を受けた判定回路 JC_i は、活性化された判定信号（Judgment Signal） JS_i を出力する。2 番目以降にレベル変化した信号 P_i を受けた残りの判定回路 JC_i は、非活性化された判定信号 JS_i を出力する。活性化された判定信号 JS は「1」を示し、電圧 VDD からなる。非活性化された判定信号 JS_i は「0」を示し、電圧 $Vref$ ($Vref < VDD$) からなる。活性化された判定信号 JS_i は、対応する行（第 i 行）の参照データが検索データに最も類似した参照データ（以降、この参照データを *Winner* という）であることを示す。また、非活性化された判定信号 JS_i は、対応する行の参照データが検索データに最も類似した参照データではない（以降、この参照データを *Looser* という）ことを示す。

30

【0048】

たとえば、メモリ部 1 に記憶された複数の参照データのうち、保存回路 S_2 に記憶された参照データが検索データに最も類似していると仮定する。この場合、パルス信号 $P_1 \sim P_R$ のうち、パルス信号 P_2 の発振周波数が最も高い。そのため、WTA 回路 20 は、判定信号 $JS_1 \sim JS_R$ のうち、判定信号 JS_2 のみを活性化し、残りの判定信号 JS_i を非活性化する。

40

【0049】

以上のとおり、連想メモリ 100 は、従来の連想メモリのように、参照データと検索データとの距離の違いを電流及び電圧差に置き換えない。代わりに、距離の違いをパルスの発振周波数の違いに置き換える。つまり、距離が異なれば発振周波数も異なる。発振周波数が異なれば、パルスが最初に立ち上がる（又は立ち下がる）時刻が異なるため、距離の違いが時間差に置き換わる。連想メモリ 100 は、この時間差に基づいて、検索データに最も類似する参照データを決定する。距離の違いを電流及び電圧差に変換する場合、アナ

50

ログ処理が実行される。この場合、上述のとおり、WinnerとLoserを分けるために利用されるトランジスタ素子の特性ばらつきにより誤検索が生じる場合がある。これに対して、連想メモリ100は、距離の違いを発振周波数の違い(時間差)に置き換えてWinnerを決定する。つまり、デジタル処理によりWinnerを決定する。そのため、トランジスタ素子の特性のばらつき影響を受けにくく、誤検索が抑制される。

【0050】

以下、保存回路 S_i 内のユニットデータ保存回路 US_{ij} と、比較回路 C_i 内のユニットデータ比較回路 UC_{ij} と、パルス生成回路内の発振回路 OC_i と、WTA回路20について詳述する。以降の説明では、Wビット幅の参照データを構成する各ビットデータを参照ビットデータという。また、Wビット幅の参照データを構成する各ビットデータを検索ビットデータという。つまり、参照データはW個の参照ビットデータを有し、検索データは、参照ビットデータに対応するW個の検索ビットデータを有する。

10

【0051】

[ユニットデータ保存回路及びユニットデータ比較回路]

図2を参照して、ユニットデータ保存回路 US_{11} は、SRAM素子を構成する。ユニットデータ保存回路 US_{11} は、データをラッチするラッチ回路210と、n型MOSトランジスタ201、202とを含む。n型MOSトランジスタ201及び202は直列に接続される。そして、n型MOSトランジスタ201と202との間には、ラッチ回路210が接続される。n型MOSトランジスタ201及び202のゲートは、それぞれワード線 WL_1 に接続される。

20

【0052】

ワード線 WL_1 は行デコーダ2に接続される。行デコーダ2がワード線 WL_1 を選択したとき、n型MOSトランジスタ201及び202はオンになる。このとき、n型MOSトランジスタ201は、外部から入力された参照データを構成する1ビットの参照ビットデータDをラッチ回路210に供給する。n型MOSトランジスタ202は、参照ビットデータDの反転信号である参照ビットデータDQを受け、ラッチ回路210に供給する。

【0053】

ラッチ回路210は、2つのインバータI1及びI2を含む。インバータI1の入力端子はインバータI2の出力端子と接続される。インバータI1の出力端子はインバータI2の入力端子と接続される。インバータI1はn型MOSトランジスタ201から参照ビットデータDを受ける。インバータI2はn型MOSトランジスタ202から参照ビットデータDQを受ける。そのため、ラッチ回路210は1ビットの参照ビットデータDをラッチする。参照ビットデータDは「1」又は「0」である。参照ビットデータDが「1」とは、n型MOSトランジスタ201からラッチ回路210に供給される信号がHレベルである場合を示し、参照ビットデータDが「0」とは、信号がLレベルであることを示す。

30

【0054】

ユニットデータ比較回路 UC_{11} には、外部から検索ビットデータCAMが入力される。検索ビットデータCAMは、検索データを構成する1ビットのデータであり、ユニットデータ保存回路 US_{11} に対応する。ユニットデータ比較回路 UC_{11} は、ユニットデータ保存回路 US_{11} で保存されている参照ビットデータDと、検索ビットデータCAMとを比較して、距離(ハミング距離)を求める。そして、求めた距離に対応する発振回路 OC_1 に出力する。

40

【0055】

ユニットデータ比較回路 UC_{11} は、2つのトランスファゲートTG1、TG2とインバータI3とを含む。

【0056】

各トランスファゲートTG1、TG2は、n型MOSトランジスタと、p型MOSトランジスタとで構成される。トランスファゲートTG1内のp型MOSトランジスタのゲートは、参照ビットデータDをラッチ回路210から受け、n型MOSトランジスタのゲート

50

トは参照ビットデータDQをラッチ回路210から受ける。トランスファゲートTG2内のp型MOSトランジスタのゲートは、ラッチ回路210から参照ビットデータDQをラッチ回路210から受け、n型MOSトランジスタのゲートは参照ビットデータDをラッチ回路210から受ける。

【0057】

参照ビットデータDのレベル(「1」又は「0」)に応じて、トランスファゲートTG1及びTG2のいずれか一方がオンになり、他方はオフになる。トランスファゲートTG1は外部から検索ビットデータCAMを受取る。トランスファゲートTG2は、検索ビットデータCAMの反転信号である検索ビットデータCAMQを外部から受ける。

【0058】

ノードN1はオンされたトランスファゲートTG1又はTG2から出力された信号を、パスイネーブル信号path_enaとして出力する。インバータI3はパスイネーブル信号path_enaを反転したパスイネーブル信号path_enaqを出力する。つまり、ユニットデータ比較回路UC₁₁は、2つの信号path_ena、path_enaqを出力する。2つの信号path_ena、path_enaqは、参照ビットデータDと検索ビットデータCAMとの比較結果であり、ハミング距離に相当する。

【0059】

参照ビットデータDと検索ビットデータCAMとが一致する場合、信号path_enaはLレベルになり、信号path_enaqはHレベルになる。たとえば、参照ビットデータD及び検索ビットデータCAMがいずれも「1」である場合、トランスファゲートTG1がオフになり、TG2がオンになる。また、参照ビットデータD及び検索ビットデータCAMがいずれも「0」である場合、トランスファゲートTG1がオンになり、TG2がオフになる。その結果、信号path_enaはLレベルになり、信号path_enaqはHレベルになる。

【0060】

一方、参照ビットデータDと検索ビットデータCAMとが一致しない場合、信号path_enaはHレベルになり、信号path_enaqはLレベルになる。たとえば、参照ビットデータDが「1」であり、検索ビットデータCAMが「0」である場合、トランスファゲートTG1がオフになり、TG2がオンになる。参照ビットデータDが「0」であり、検索ビットデータCAMが「1」である場合、トランスファゲートTG1がオンになり、TG2がオフになる。その結果、信号path_enaはHレベルになり、信号path_enaqはLレベルになる。

【0061】

信号path_ena及びpath_enaqは、発振回路OC₁生成されるパルス信号P₁の発振周波数を決定する。

【0062】

ユニットデータ保存回路US₁₂~US_{1W}、US₂₁~US_{2W}、・・・US_{R1}~US_{RW}は、ユニットデータ保存回路US₁₁と同じ構成からなる。また、ユニットデータ比較回路UC₁₂~UC_{1W}、UC₂₁~UC_{2W}、・・・UC_{R1}~UC_{RW}は、ユニットデータ比較回路UC₁₁と同じ構成からなる。

【0063】

[発振回路]

発振回路OC₁は、保存回路S₁に記憶されたWビット幅の参照データとWビット幅の検索データとの距離(ハミング距離)に応じた発振周波数のパルス信号P₁を出力する。具体的には、参照データと検索データとの距離が小さい程、つまり、参照データが検索データに類似する程、発振回路OC₁は、高い発振周波数のパルス信号P₁を出力する。

【0064】

図3は発振回路OC₁の機能ブロック図である。図3を参照して、発振回路OC₁は、複数の遅延回路(Delay Circuit)DC₁₁~DC_{1W}を含む。遅延回路DC₁₁~DC_{1W}はそれぞれ、ユニットデータ比較回路UC₁₁~UC_{1W}に対応する。

10

20

30

40

50

【 0 0 6 5 】

遅延回路 $DC_{11} \sim DC_{1W}$ は直列に接続される。直列された複数の遅延回路 $DC_{11} \sim DC_{1W}$ のうち、端に位置する遅延回路 DC_{11} の出力端子は出力ノード $N10$ に接続される。また、他方の端に位置する遅延回路 DC_{1W} の入力端子は、 $NAND$ ゲート 300 の出力端子と接続される。 $NAND$ ゲート 300 は、発振回路 OC_1 を起動する役割を有する。 $NAND$ ゲート 300 の一方の入力端子には、発振回路 OC_1 を起動するためのイネーブル信号 ENA が入力される。また他方の入力端子は出力ノード $N10$ と接続される。

【 0 0 6 6 】

イネーブル信号 ENA が活性化（ H レベル）されたとき、 $NAND$ ゲート 300 は、入力信号を反転して出力する反転回路として機能する。一方、各遅延回路 $DC_{11} \sim DC_{1W}$ は、受けた信号を反転して外部に出力する。つまり、各遅延回路 $DC_{11} \sim DC_{1W}$ も上述の反転回路として機能する。したがって、発振回路 OC_1 は、リング状に連結された奇数個の反転回路（起動時の $NAND$ ゲート 300 及び遅延回路 $DC_{11} \sim DC_{1W}$ ）を備える。

10

【 0 0 6 7 】

図4に遅延回路 DC_{11} の回路図を示す。遅延回路 DC_{11} は、複数のインバータ $I10 \sim I14$ と、インバータの段数を選択する段数選択回路 SE とを備える。段数選択回路 SE は、2つのトランスファゲート $TG10$ 及び $TG11$ を備える。トランスファゲート $TG10$ は、 H レベルの信号 $path_ena$ と L レベルの信号 $path_enaq$ とを受けたときにオンする。つまり、対応するユニットデータ比較回路 UC_{11} から出力された参照ビットデータ D と検索ビットデータ CAM とが一致しないとき、トランスファゲート $TG10$ はオンする。

20

【 0 0 6 8 】

トランスファゲート $TG11$ は、 L レベルの信号 $path_ena$ と H レベルの信号 $path_enaq$ とを受けたときにオンする。つまり、参照ビットデータ D と検索ビットデータ CAM とが一致したとき、スイッチ回路 $TG11$ はオンになる。

【 0 0 6 9 】

複数のインバータ $I10 \sim I14$ は直列に接続される。インバータ $I13$ とインバータ $I14$ との間にはトランスファゲート $TG10$ が接続される。そして、スイッチ回路 $TG11$ は、インバータ $I10$ の入力端子とインバータ $I14$ の入力端子との間に接続される。

30

【 0 0 7 0 】

段数選択回路 SE は、対応するユニットデータ比較回路 UC_{11} の比較結果に応じてインバータの段数を選択する。ユニットデータ比較回路 UC_{11} での比較の結果、参照ビットデータ D と検索ビットデータ CAM とが一致する場合、トランスファゲート $TG10$ がオフになり、 $TG11$ がオンになる。そのため、遅延回路 DC_{11} の入力信号は1段のインバータ $I14$ を介して外部に出力される。

【 0 0 7 1 】

一方、参照ビットデータ D と検索ビットデータ CAM とが異なる場合、トランスファゲート $TG10$ がオンになり、 $TG11$ がオフになる。そのため、遅延回路 DC_{11} の入力信号は、5段のインバータを介して外部に出力される。つまり、参照ビットデータ D と検索ビットデータとが一致しない方が、遅延時間が長くなる。

40

要するに、遅延回路 DC_{11} は、インバータ段数が少ないパス（ショートパス）と、インバータ段数が多いパス（ロングパス）と、参照ビットデータと検索ビットデータとのハミング距離に応じてショートパス及びロングパスのいずれかを選択する段数選択回路とを備える。

【 0 0 7 2 】

他の遅延回路 $DC_{12} \sim DC_{1W}$ も、遅延回路 DC_{11} と同じ構成を有する。したがって、発振回路 OC_1 では、保存回路 S_1 に記憶された W ビット幅の参照データが W ビット

50

幅の検索データに類似するほど、つまり、参照データと検索データとの距離が小さい程、インバータの段数が少なくなる。なぜなら、Lレベルの信号 $path_ena$ とHレベルの信号 $path_enaq$ とを出力するデータユニット比較回路 UC_{1j} の数が相対的に多くなるからである。インバータの段数が少ないほど、遅延時間は短くなる。したがって、発振回路 OC_1 は、発振周波数の高いパルス信号 P_1 を出力する。

【0073】

一方、保存回路 S_1 に記憶された参照データと検索データとの距離が遠い程、発振回路 OC_1 内で利用されるインバータの段数は多くなる。そのため、発振回路 OC_1 は発振周波数の低いパルス信号 P_1 を出力する。

【0074】

以上の構成により、発信回路 OC_1 は、保存回路 S_1 の参照データと検索データとの距離に応じた発振周波数のパルス信号 P_1 を出力する。発振回路 OC_1 は、参照データと検索データとの距離が小さい程、利用するインバータの段数を減らす。そのため、参照データが検索データに類似する程、高い発振周波数を有するパルス信号 P_1 を出力する。

【0075】

発振回路 $OC_2 \sim OC_R$ はそれぞれ、発振回路 OC_1 と同じ構成を有する。したがって、発振回路 $OC_1 \sim OC_R$ のうち、発振周波数が最大となるパルス信号 P_i を出力した発振回路 OC_i に対応する保存回路 S_i に、検索データに最も類似した参照データが格納されている。

【0076】

NANDゲート300は、ノードN10上の信号とイネーブル信号 ENA とを受け、NAND論理演算結果を遅延回路 DC_{1W} に出力する。上述のとおり、NANDゲート300は、イネーブル信号 ENA に応じて発振回路 OC_1 を起動又は停止する。イネーブル信号 ENA が非活性(Lレベル)のとき、NANDゲート300は常にHレベルの信号を出力する。そのため、発振回路 OC_1 から出力される信号はHレベルで一定である。つまり、発振回路 OC_1 は、パルス信号を出力しない。

【0077】

[WTA回路]

WTA回路20は、発振回路 $OC_1 \sim OC_R$ からパルス信号 $P_1 \sim P_R$ を受ける。そして、パルス信号 $P_1 \sim P_R$ の発振周波数に基づいて、検索データに最も類似した参照データ(Winner)を決定する。

【0078】

図5を参照して、WTA回路20は、複数の判定回路 $JC_1 \sim JC_R$ と、プリチャージ回路30と、ラッチ指示ノードN40とを備える。各判定回路 $JC_1 \sim JC_R$ は、ラッチ指示ノードN40に接続される。

【0079】

プリチャージ回路30は、イネーブル信号 ENA の反転信号であるイネーブル信号 $ENAQ$ を受けたとき、ラッチ指示ノードN40に電荷を供給し、充電する。これにより、ラッチ指示ノードN40の電圧はHレベル(VDD)に上昇する。

【0080】

判定回路 JC_1 は、対応する発振回路 OC_1 の出力信号を受ける。判定回路 JC_2 は、発振回路 OC_2 の出力信号を受ける。同様に、判定回路 $JC_3 \sim JC_R$ は、発振回路 $OC_3 \sim OC_R$ の出力信号をそれぞれ受ける。

【0081】

判定回路 JC_1 は、インバータI20と、遅延回路251と、ラッチ回路252と、放電回路250と、クロック生成回路253とを備える。

【0082】

インバータI20は、発信回路 OC_1 の出力信号を受け、反転してノードN30に出力する。放電回路250は、n型MOSトランジスタからなる。n型MOSトランジスタは、ラッチ指示ノードN40と接地電圧が供給されるGNDノードとの間に接続され、その

10

20

30

40

50

ゲートはノードN30に接続される。放電回路250は、n型MOSトランジスタのゲートにHレベルの信号が入力されたとき、ラッチ指示ノードN40を放電する。つまり、判定回路JC₁は、パルス信号P₁を受けたとき、放電回路250によりラッチ指示ノードN40の電圧レベルを接地電圧(Lレベル)まで低下する。

【0083】

クロック生成回路253は、ラッチ指示ノードN40がLレベルとなったときにクロック信号CLKを出力する。クロック生成回路253は、インバータI21からなる。インバータI21の入力端子はラッチ指示ノードN40に接続される。クロック生成回路253は、ラッチ指示ノードN40がLレベルになったとき、Hレベルのクロック信号CLKを出力する。

10

【0084】

ラッチ回路252は、Dフリップフロップで構成される。ラッチ回路252は、Hレベルのクロック信号CLKを受けたとき、インバータI20の出力信号をラッチして、判定信号JS₁を外部に出力する。

【0085】

遅延回路251は、発振回路OC₁からパルス信号P₁が出力された場合、クロック生成回路253がクロック信号を出力するときにパルス信号P₁の反転信号がラッチ回路252に入力されるように調整する。ただし、遅延回路251はなくてもよい。

【0086】

判定回路JC₂~JC_Rは、判定回路JC₁と同じ構成を有する。各判定回路JC₁~JC_Rの放電回路250及びクロック生成回路253は、いずれもラッチ指示ノードN40と接続されている。したがって、いずれかの判定回路JCの放電回路250がラッチ指示ノードN40を放電すれば、全ての判定回路JC₁~JC_Rのクロック生成回路253はHレベルのクロック信号CLKを出力する。

20

【0087】

発振回路OC₁~OC_Rの出力信号にパルスが形成されていないとき、つまり、発振回路OC_iがパルス信号P_iを出力する前、パルス信号P₁~P_RはHレベルで一定である。ここで、発振回路OC₁~OC_Rのうち、発振回路OC₂が最大の発振周波数のパルス信号P₂を出力したと仮定する。

【0088】

この場合、発信回路OC₂の出力信号が、他の発振回路OC_iの出力信号よりも早く、電圧レベルがHレベルからLレベルに変化する。そのため、各判定回路JC_i内の放電回路250のうち、判定回路JC₂の放電回路250が最も早く動作してラッチ指示ノードN40をLレベルにする。

30

【0089】

このとき、判定回路JC₂のラッチ回路252はHレベルの信号を受ける。しかしながら、他の判定回路JC₁、JC₃~JC_Rのラッチ回路252はLレベルの信号を受けている。ラッチ指示ノードN40がLレベルになると、各判定回路JC_i内のクロック生成回路253が一斉にHレベルのクロック信号CLKを出力する。そのため、判定回路JC₂内のラッチ回路252のみがHレベルの信号をラッチし、その他の判定回路JC₁、JC₃~JC_R内のラッチ回路252はLレベルの信号をラッチする。

40

【0090】

以上の工程により、判定回路JC₂はWinnerを示すHレベルの判定信号JS₂を出力し、他の判定回路JC₁、JC₃~JC_RはLoserを示すLレベルの判定信号JS₁、JS₃~JS_Rを出力する。

【0091】

以上のとおり、本実施の形態による連想メモリ100は、参照データと検索データとの距離に応じた発振周波数のパルス信号を生成する。そして、パルス信号の発振周波数に基づいて、Winnerとなる参照データを決定する。

【0092】

50

参照データと検索データとの距離を発振周波数に変換すれば、従来の連想メモリのようにトランジスタ素子の特性のばらつきによる誤検索が発生しにくい。発振回路 OC_i は複数段のインバータを備える。インバータを構成するトランジスタ素子の特性にばらつきが生じて、インバータ段数は複数存在するため、特性ばらつきの影響を抑えることができる。つまり、トランジスタ素子の特性にばらつきが生じて、発振周波数のばらつきを抑制することができる。

【0093】

図6は発振回路 OC_i 内のインバータの段数と発振周波数のばらつきとの関係を示すグラフである。図6のグラフは次の方法で求めた。初めに、インバータ段数が17段、33段、65段及び129段の発振回路をそれぞれ作製した。使用するCMOSトランジスタのゲート長は90nmとした。

10

【0094】

作製された各発振回路に種々の電源電圧を用いてパルス信号を生成した。生成されたパルス信号の発振周波数を測定した。測定された発振周波数の平均値を1として正規化し、標準偏差を求めた。図6中の縦軸は、各発振回路の標準偏差(%)を示す。図6を参照して、インバータ段数が多いほど、発振周波数のばらつきが抑えられることが分かる。

【0095】

[第2の実施の形態]

上述のとおり、第1の実施の形態による連想メモリ100では、WTA回路20が、パルス信号 $P_1 \sim P_R$ の発振周波数に基づいて、Winnerとなる参照データを決定する。したがって、最大の発振周波数を有するパルス信号 P_i と、2番目に高い発振周波数を有するパルス信号 P_j との発振周波数の差が大きいほど、Winnerの誤検出が起こりにくい。

20

【0096】

図7を参照して、第2の実施の形態による連想メモリ110は、連想メモリ100と比較して、メモリ部10とWTA回路20との間に、分周部35を新たに備える。連想メモリ110のその他の構成は、連想メモリ100と同じである。

【0097】

分周部35は、複数の分周回路(Frequency Divider) $FD_1 \sim FD_R$ を備える。連想メモリ110のその他の構成は、連想メモリ100と同じである。

30

【0098】

分周回路 FD_1 は、発振回路 OC_1 のパルス信号 P_1 を受ける。そして、パルス信号 P_1 の周波数を所定の分周比で分周する。本例では、分周回路 FD_1 は、パルス信号 P_1 を1.5分周する。ただし、分周比は1.5に限られない。他の分周回路 $FD_2 \sim FD_R$ も分周回路 FD_1 と同じ分周比でパルス信号 $P_2 \sim P_R$ を分周する。

【0099】

WTA回路20内の各判定回路 $JC_1 \sim JC_R$ は、分周されたパルス信号 $P_1 \sim P_R$ を受ける。WTA回路20は、分周されたパルス信号 $P_1 \sim P_R$ に基づいて、Winnerを決定する。

【0100】

パルス信号 P_i を所定の分周比で分周すれば、最も高い発振周波数のパルス信号 P_i の波形変化と、次に高い発振周波数のパルス信号 P_j の波形変化との差を大きくすることができる。図8を用いてこの点を説明する。

40

【0101】

図8は、各分周回路 FD_i が分周比1.5でパルス信号 P_i を分周した場合の、パルス信号 P_1 及び P_2 の波形を示す図である。図中の $P_1(FD_1)$ は、分周回路 FD_1 から出力されたパルス信号 P_1 を示す。図中の $P_2(FD_2)$ は、分周回路 FD_2 から出力されたパルス信号 P_2 を示す。図中の P_1 は、分周回路 FD_1 に入力されるパルス信号 P_1 を示し、図中の P_2 は、分周回路 FD_2 に入力されるパルス信号 P_2 を示す。

【0102】

50

ここで、パルス信号 P_1 の周波数が最も高く、 P_2 の周波数が次に高いと仮定する。図 8 に示すとおり、分周回路に入力される前のパルス信号 P_1 と P_2 との最初の波形変化の時間差は Td_1 である。

【0103】

一方、分周されたパルス信号 P_1 (FD_1) と P_2 (FD_2) との最初の波形変化の時間差は Td_2 となる。時間差 Td_2 は時間差 Td_1 よりも大きい。要するに、分周回路 $FD_1 \sim FD_R$ は、Winner となるパルス信号の最初の波形変化と、次に周波数の高いパルス信号の最初の波形変化との時間差を増大する。そのため、WTA 回路 20 はより正確に、Winner を決定できる。

【0104】

[第3の実施の形態]

連想メモリ 100 内の WTA 回路 20 では、図 5 に示すように、全ての判定回路 $JC_1 \sim JC_R$ が 1 つのラッチ指示ノード $N40$ に接続される。WTA 回路 20 のラッチ指示ノード $N40$ は、全ての判定回路 $JC_1 \sim JC_R$ に接続されるために長い。そのため、ラッチ指示ノード $N40$ の負荷容量は大きい。したがって、放電回路 250 内の n 型 MOS トランジスタがオンになってから、ラッチ指示ノード $N40$ の電圧レベルが接地電圧に落ちるまでに時間がかかる。ラッチ指示ノード $N40$ の電圧レベルを落とすのに時間がかかれば、Winner の決定も時間がかかる。

【0105】

そこで、本実施の形態による連想メモリは、WTA 回路 20 の代わりに図 9 に示す新たな WTA 回路 25 を備える。その他の構成は連想メモリ 100 と同じである。

【0106】

図 9 を参照して、WTA 回路 25 は、複数の判定ブロック JB を備える。複数の判定ブロック JB は、トーナメント式に複数段に接続される。図 9 では、最下段である第 1 段から、最上段である第 n 段 (n は 2 以上の自然数) まで、 n 段のトーナメント式となっている。

【0107】

最下段に当たる第 1 段目に配列された複数の判定ブロック JB_1 は、 R 個の第 1 パルス判定回路 $PJC_1 \sim PJC_R$ を含む。換言すれば、 R 個の第 1 パルス判定回路 $PJC_1 \sim PJC_R$ は、複数の判定ブロック JB_1 に分割される。

【0108】

各判定回路 JB_1 は、 R 個未満の第 1 パルス判定回路 PJC_i とパルス受付判定ノード $N50$ とを備える。第 1 パルス判定回路 $PJC_1 \sim PJC_R$ の各々は、図 5 中の判定回路 $JC_1 \sim JC_R$ と比較して、クロック生成回路 253 を有さない。その他の構成は判定回路 $JC_1 \sim JC_R$ と同じである。各第 1 パルス判定回路 $PJC_1 \sim PJC_R$ は、対応する発振回路 $OC_1 \sim OC_R$ からパルス信号 $P_1 \sim P_R$ をそれぞれ受ける。

【0109】

各判定ブロック JB_1 はさらに、パルス受付判定ノード $N50$ と、プリチャージ回路 30 とを備える。プリチャージ回路 30 は、イネーブル信号 $ENAQ$ を受けたとき、パルス受付判定ノード $N50$ を充電する。

【0110】

パルス受付判定ノード $N50$ は、判定ブロック JB_1 に含まれる複数の第 1 パルス判定回路 PJC_i (ただし、 R 個未満) に接続される。より具体的には、各第 1 パルス判定回路 PJC_i 内の放電回路 250 に接続される。

【0111】

図 5 中のラッチ指示ノード $N40$ に接続される判定回路 JC_i は R 個である。これに対して図 9 中の各パルス受付判定ノード $N50$ に接続される第 1 パルス判定回路 PJC_i は R 個未満である。パルス受付判定ノード $N50$ は、ラッチ指示ノード $N40$ と比較して、負荷容量が小さい。

【0112】

10

20

30

40

50

トーナメント式に接続された判定ブロックのうち、第2段目～第 $n - 1$ 段目に配列される判定ブロック $J B 2 \sim J B n - 1$ の構成について説明する。図9を参照して、第2段目に配列される複数の判定ブロック $J B 2$ の各々は、プリチャージ回路30と、パルス受付判定ノード $N 5 0$ と、複数の第2パルス判定回路 $P J$ を含む。

【0113】

各第2パルス判定回路 $P J$ は、対応する判定ブロック $J B 1$ 内のパルス受付判定ノード $N 5 0$ に接続される。第2パルス判定回路 $P J$ は、インバータ $I 2 0$ と、放電回路 $2 5 0$ とを備える。第2パルス判定回路 $P J$ は、自身が属する判定ブロック $J B 2$ 内のパルス受付判定ノード $N 5 0$ に接続される。より具体的には、第2パルス判定回路 $P J$ 内の放電回路 $2 5 0$ がパルス受付判定ノード $N 5 0$ と接続される。プリチャージ回路30は、イネーブル信号 $E N A Q$ を受けたとき、パルス受付判定ノード $N 5 0$ を充電する。

10

【0114】

第3段目～第 $n - 1$ 段目に配列された各判定ブロック $J B$ の構成も同じである。第 $n - 1$ 段目に配列された判定ブロック $J B$ 内の第2パルス判定回路 $P J$ は、前段、つまり、第 $n - 2$ 段目に配列された複数の判定ブロック $J B$ のうち、対応する判定ブロック $J B$ 内のパルス受付判定ノード $N 5 0$ に接続される。

【0115】

最上段である第 n 段には、1つの判定ブロック $J B n$ が配置される。判定ブロック $J B n$ は、判定ブロック $J B 2$ と比較して、クロック生成回路31を新たに備える。他の構成は判定ブロック $J B 2$ と同じである。

20

【0116】

クロック生成回路31は、パルス受付判定ノード $N 5 0$ が L レベルになったとき、クロック信号 $C L K$ を出力する。クロック生成回路31内の構成は図5中のクロック生成回路 $2 5 3$ と同じである。つまり、クロック生成回路31はインバータ $I 2 1$ を備える。

【0117】

以上のとおり、 $W T A$ 回路 $2 5$ は、第1段～第 n 段までの複数段のトーナメント式に接続された判定ブロック $J B 1 \sim J B n$ を備える。各パルス受付判定ノード $N 5 0$ に接続される第1又は第2パルス判定回路の数は、図5中のラッチ指示ノード $N 4 0$ に接続される判定回路の数よりも少ない。したがって、各パルス受付判定ノード $N 5 0$ の負荷容量は、ラッチ指示ノード $N 4 0$ の負荷容量よりも小さい。そのため、パルス受付判定ノード $N 5 0$ を H レベルから L レベルに下げるのにかかる時間は、ラッチ指示ノード $N 4 0$ よりも短くすることができる。

30

【0118】

要するに、トーナメント式に判定ブロック $J B 1 \sim J B n$ を配置すれば、パルス受付判定ノード $N 5 0$ の負荷容量を小さくできる。そのため、判定ブロック $J B 1$ 内が最も高い周波数のパルス信号 P_i を受けてから、クロック信号 $C L K$ が出力されるまでの時間を短くできる。換言すれば、 $W i n n e r$ の決定時間を短くできる。

【0119】

[第4の実施の形態]

第1の実施の形態では、データユニット保存回路 $U S_{i j}$ ごとに遅延回路 $D C_{i j}$ を設けた。しかしながら、このような構成では、使用されるトランジスタ素子数が多くなる。そのため、1つの遅延回路を複数のデータユニット保存回路に対応させてもよい。

40

【0120】

本実施の形態による連想メモリは、発振回路 $O C_1 \sim O C_R$ に代えて、新たな発振回路 $O S C_1 \sim O S C_R$ を備える。その他の構成は連想メモリ100と同じである。

【0121】

図10を参照して、発振回路 $O S C_1$ は、発振回路 $O C_1$ と比較して、遅延回路 $D C_{1 1}$ 、 $D C_{1 2}$ 、 \dots 、 $D C_{1 W}$ に代えて、遅延回路 $D L C_{1 1}$ 、 $D L C_{1 2}$ 、 \dots 、 $D C L_{1 T}$ (T は1以上の自然数)と、距離判定回路 $D J_{1 1} \sim D J_{1 T}$ とを備える。距離判定回路 $D J_{1 1} \sim D J_{1 T}$ は、遅延回路 $D L C_{1 1} \sim D L C_{1 T}$ に対応する。その他の構

50

成は発振回路OC1と同じである。

【0122】

活性化されたNANDゲート300は入力信号を反転する。また、遅延回路 $DL C_{11} \sim DL C_{1T}$ の各々も、入力信号を反転する。したがって、NANDゲート300及び遅延回路 $DL C_{11} \sim DL C_{1T}$ は、反転回路として機能する。つまり、発振回路OSC1は、奇数個の反転回路を備える。したがって、遅延回路 $DL C_{11} \sim DL C_{1T}$ は偶数個含まれている。奇数個の反転回路(NANDゲート300及び遅延回路 $DL C_{11} \sim DL C_{1T}$)はループ状に直列に連結されている。

【0123】

各遅延回路 $DL C_{11} \sim DL C_{1T}$ は、2つのデータユニット比較回路 UC_{ij} の比較結果に基づいて、パルス信号 P_1 の発振周波数を決定する。

10

【0124】

各距離判定回路 $DJ_{11} \sim DJ_{1T}$ は、2つのデータユニット比較回路 UC_{ij} から比較結果(2つの信号 $path_ena$ 及び信号 $path_enaq$)を受ける。そして、比較結果からハミング距離を求める。そして、求めたハミング距離に応じた信号を、対応する遅延回路 $DL C_{11} \sim DL C_{1T}$ に出力する。

【0125】

具体的には、距離判定回路 DJ_{11} は、ユニットデータ比較回路 UC_{11} 及び UC_{12} から比較結果を受ける。比較の結果、ユニットデータ保存回路 US_{11} 及び US_{12} に格納された参照ビットデータDの全てが対応する検索ビットデータCAMと一致するとき(つまり、ハミング距離=0のとき)、距離判定回路 DJ_{11} は、Hレベルの信号S0を出力する。そして、Lレベルの信号S1及びS2を出力する。また、信号S0、S1及びS2の反転信号 $/S0$ 、 $/S1$ 及び $/S2$ を出力する。

20

【0126】

2つの参照ビットデータのうち、いずれか1つが対応する検索ビットデータと一致するとき(つまり、ハミング距離=1のとき)、距離判定回路 DJ_{11} は、Hレベルの信号S1を出力し、Lレベルの信号S0及びS2を出力する。

【0127】

2つの参照ビットデータのいずれも対応する検索ビットデータと一致しないとき(距離=2であるとき)、距離判定回路 DJ_{11} は、Hレベルの信号S2を出力し、Lレベルの信号S0及びS1を出力する。

30

【0128】

上述のとおり、遅延回路 $DL C_{11} \sim DL C_{1T}$ とNANDゲート300は、ループ状に直列に接続される。複数の遅延回路 $DL C_{11} \sim DL C_{1T}$ のうち、端に位置する遅延回路 $DL C_{11}$ の出力端子は出力ノードN10に接続される。また、他方の端に位置する遅延回路 $DL C_{1T}$ の入力端子は、NANDゲート300の出力端子と接続される。

【0129】

遅延回路 $DL C_{11}$ の構成を図11に示す。遅延回路 $DL C_{11}$ は、第1の遅延段70と、第2の遅延段71と、インバータI71と、段数選択回路72とを備える。段数選択回路72は、トランスファゲートTG71、TG72及びTG73を備える。段数選択回路72は、距離判定回路 DJ_{11} からの信号S0～S2に応じて、利用するインバータの段数を選択する。換言すれば、段数選択回路72は、ハミング距離に応じて遅延時間(発振周波数)を選択する。

40

【0130】

第1の遅延段70及び第2の遅延段71はそれぞれ、直列に接続された偶数個のインバータを含む。第1の遅延段70は、前段の遅延回路 $DL C_{12}$ の出力を受け、遅延する。第2の遅延段71は、第1の遅延段70の出力を受け、遅延する。

【0131】

段数選択回路72内のトランスファゲートTG71～TG73は並列に接続される。トランスファゲートTG71～TG73はそれぞれ、n型MOSトランジスタとp型MOS

50

トランジスタとで構成される。トランスファゲートTG71は、対応する距離判定回路DJ₁₁からHレベルの出力信号S0とLレベルの出力信号/S0を受けるとオンになる。ここで、出力信号/S0は、信号S0の反転信号である。要するに、トランスファゲートTG71は、データユニット保存回路US11及びUS12に格納された参照データがいずれも検索データと一致したとき(距離=0のとき)、オンになる。このとき、遅延回路DLC₁₁は、入力信号をトランスファゲートTG71に通じてインバータI71に出力する。

【0132】

トランスファゲートTG72は、Hレベルの信号S1とLレベルの信号/S1(信号S1の反転信号)とを受けるとオンになる。つまり、距離=1のときにオンになる。このとき、遅延回路DLC11は、入力信号を第1の遅延段70に供給する。そして、第1の遅延段70の出力をインバータI71に供給する。

10

【0133】

トランスファゲートTG73は、Hレベルの信号S2とLレベルの信号/S2(信号S2の反転信号)とを受けるとオンになる。つまり、距離=2のときにオンになる。このとき、トランスファゲートTG13は、第2の遅延段71の出力をインバータI71に供給する。

【0134】

要するに、発振回路DLC₁₁は、3つのパス(遅延段のないショートパス、遅延段71を有するミドルパス、遅延段71及び72を有するロングパス)と、3つのパスのうちいずれか1つを選択する段数選択回路72とを備える。各パスは、それぞれ異なる遅延時間が設定されている。発振回路DLC₁₁は、2つの参照ビットデータと検索ビットデータとの比較結果に応じて、3つのパスの中から1つのパスを選択する。上述の例では、距離=0のとき、遅延回路DLC₁₁は、ショートパスを選択する。このとき、利用するインバータの段数は1つ(インバータI71のみ)である。距離=1のとき、遅延回路DLC₁₁は、ミドルパスを選択する。このとき、インバータの段数は5つである(第1の遅延段70+インバータI71)。距離=2のとき、遅延回路DLC₁₁は、ロングパスを選択する。このとき、インバータ段数は9個である(第1の遅延段70、第2の遅延段71及びインバータI71)。

20

【0135】

なお、遅延回路DLC₁₂~DLC_{1T}は遅延回路DLC₁₁と同じ構成を有する。

30

【0136】

上述のとおり、遅延回路DLCは複数の比較結果に応じてインバータの段数を変える。そのため、発振回路DLC₁₁は、発振回路DC₁₁と比較して、利用するトランジスタ素子数を減らすことができる。さらに、参照データと検索データが一致した場合(距離=0の場合)のインバータ段数を減らすことができる。そのため、より高周波のパルス信号を出力できる。その結果、WTA回路20がWinnerを決定する時間をより短くできる。

【0137】

上述の例では、遅延回路DLCは、2つの遅延段を含み、利用する遅延段数に応じて3つの遅延時間を設定できる。遅延回路DLCは、2つの参照ビットデータと2つの検索ビットデータから得られる2つの比較結果に応じて、利用する遅延段数を選択する。その結果、3つの遅延時間の中から1つの遅延時間が選択される。

40

遅延回路DLCはL(Lは2以上の自然数)個の参照ビットデータと検索ビットデータと比較結果に応じて遅延時間を設定することもできる。より具体的には、遅延回路DLCは、複数の遅延段を含み、利用する遅延段数に応じてL+1個の遅延時間を設定できる。遅延回路DLCは、L個の比較結果に応じて、L+1個の遅延時間(パス)の中から1つの遅延時間(パス)を選択する。遅延回路DLCに入力された信号は、選択された遅延時間だけ遅延して次段の遅延回路DLCに出力される。要するに、L個の参照ビットデータと検索ビットデータとを比較する場合、遅延回路DLCは、L+1個のパスを備える。各

50

パスは異なる遅延時間が設定される。

【 0 1 3 8 】

なお、図 1 2 に示すように、第 1 の遅延段 7 0 及び第 2 の遅延段 7 1 の初段のインバータをトライステート型のインバータにしてもよい。トライステートインバータ I 7 0 1 は、H レベルの信号 S 1 又は S 2 を受けると活性化する。また、トライステートインバータ I 7 0 2 は、H レベルの信号 S 2 を受けると活性化する。距離 = 0 のとき、第 1 の遅延段 7 0 及び第 2 の遅延段 7 1 は動作せず、距離 = 1 のとき、第 2 の遅延段 7 1 は動作しない。したがって、消費電力を削減できる。

【 0 1 3 9 】

トライステートインバータ I 7 0 1 及び I 7 0 2 が非活性の場合、各遅延段 7 0 及び 7 1 の 2 段目のインバータの入力ノードは浮遊状態となる。そのため、ノイズ等の影響でノードのレベルが変動し、インバータが動作してしまう場合がある。図 1 3 に示すように、トライステートインバータ I 7 0 1 及び I 7 0 2 に代えて、NOR ゲート 7 2 1 及び 7 2 2 を用いれば、2 段目のインバータの入力ノードが浮遊状にならない。そのため、ノイズ等の影響で 2 段目以降のインバータが動作するのを防止できる。

【 0 1 4 0 】

NOR ゲート 7 2 1 は、L レベルの信号 / S 1 又は L レベルの信号 / S 2 を受けると、NOT ゲート (インバータ) として動作する。また、NOR ゲート 7 2 2 は、L レベルの信号 / S 2 を受けると、NOT ゲートとして動作する。

【 0 1 4 1 】

さらに、図 1 4 に示すように、第 2 の遅延段 7 1 とトランスファゲート T G 7 3 との間にダミーの NOR ゲート 7 2 2 を配置してもよい。この場合、各パスの配線に係る容量を同じにできる。そのため、設計時において、各パスの遅延回路の設計を同じにすることができる。

【 0 1 4 2 】

[第 5 の実施の形態]

上述の連想メモリ 1 0 0 は、検索データに最も近い参照データを検索する。しかしながら、検索データに近い参照データを、検索データに近い順に複数検索できる方が好ましい場合がある。

【 0 1 4 3 】

図 1 5 を参照して、本実施の形態による連想メモリ 2 0 0 は、連想メモリ 1 0 0 と比較して、新たにフィードバック回路 5 0 を備える。その他の構成は連想メモリ 1 0 0 と同じである。

【 0 1 4 4 】

フィードバック回路 5 0 は、複数のフィードバック回路 5 1 ~ 5 R を備える。各フィードバック回路 5 1 ~ 5 R は、制御信号 C O N を受けて起動する。

【 0 1 4 5 】

フィードバック回路 5 1 は、H レベルの判定信号 J S ₁ を受けたとき、H レベルのフィードバック信号を出力する。発振回路 O C ₁ の出力ノードは、H レベルのフィードバック信号を受けて、充電される。つまり、フィードバック回路 5 1 は、H レベルの判定信号 J S ₁ を受けると、発振回路 O C ₁ の出力ノードをチャージする。そのため、発振回路 O C ₁ の出力信号は H レベルで固定される。たとえパルス信号 P ₁ が出力されても、パルス信号 P ₁ が無効化される。

【 0 1 4 6 】

フィードバック回路 5 1 は、判定信号 J S ₁ が L レベルのとき、発振回路 O C ₁ の出力ノードをチャージしない。しかし、いったん判定信号 J S ₁ が H レベルになると、それ以降、H レベルのフィードバック信号を発振回路 O C ₁ の出力ノードに供給し続ける。

【 0 1 4 7 】

同様に、フィードバック回路 5 2 ~ 5 R はそれぞれ、対応する判定信号 J S ₂ ~ J S _R が H レベルになるまで、発振回路 O C ₂ ~ O C _R の出力ノードをチャージしない。しかし

10

20

30

40

50

、いったん判定信号 $J S_2 \sim J S_R$ が H レベルになると、それ以降、発振回路 $O C_2 \sim O C_R$ の出力ノードをチャージし続ける。

【 0 1 4 8 】

以上の構成を有する連想メモリ 2 0 0 の動作は次のとおりである。

【 0 1 4 9 】

連想メモリ 2 0 0 は初めに、1 回目の検索を開始する。このとき、連想メモリ 2 0 0 は検索データに最も類似する参照データを検索する。

【 0 1 5 0 】

初めに、各比較回路 $C_1 \sim C_R$ に検索データが入力される。その後、イネーブル信号 $E N A$ が H レベルとなり、発振回路 $O C_1 \sim O C_R$ が動作を開始する。ここで、保存回路 S_2 に記憶された参照データが検索データに最も類似すると仮定する。この場合、判定信号 $J S_2$ が H レベルとなり、その他の判定信号 $J S_1$ 、 $J S_3 \sim J S_R$ は L レベルとなる。

【 0 1 5 1 】

フィードバック回路 $5_1 \sim 5_R$ は、制御信号 $C O N$ を受けて起動する。フィードバック回路 5_2 は、H レベルの判定信号 $J S_2$ を受けると、発振回路 $O C_2$ の出力ノードをチャージする。その結果、発振回路 $O C_2$ の出力ノードの電圧レベルは H レベルに維持される。そのため、発振回路 $O C_2$ から出力されるパルス信号 P_2 は無効化される。

【 0 1 5 2 】

第 1 回目の検索が終了したとき、発振回路 $O C_1 \sim O C_R$ に入力されるイネーブル信号 $E N A$ はいったん非活性 (L レベル) となる。

【 0 1 5 3 】

続いて、連想メモリ 2 0 0 は、第 2 回目の検索を実行する。このとき、イネーブル信号 $E N A$ が再び H レベルになる。そこで、発振回路 $O C_1 \sim O C_R$ は第 1 回目と同じ比較結果に基づいて、パルス信号 $P_1 \sim P_R$ を再び出力する。

【 0 1 5 4 】

しかしながら、発振回路 $O C_2$ の出力ノードは、フィードバック回路 5_2 により H レベルに維持されている。したがって、パルス信号 P_2 は無効化され、発振回路 $O C_2$ の出力信号 H レベルのままとなる。そのため、 $W T A$ 回路 2_0 は、パルス信号 P_2 以外の他の信号 P_1 、 $P_3 \sim P_R$ に基づいて、最も検索データに近い参照データを決定する。ここで、保存回路 S_1 に記憶された参照データが検索データに最も近いと仮定する。この場合、判定信号 $J S_1$ が H レベルとなり、その他の信号 $J S_2 \sim J S_R$ は L レベルとなる。

【 0 1 5 5 】

第 2 回目の検索により H レベルとなった信号 $J S_1$ に対応する参照データ (つまり、保存回路 S_1 に記憶された参照データ) は、検索データに 2 番目に類似する参照データに相当する。

【 0 1 5 6 】

判定信号 $J S_1$ が H レベルになると、フィードバック回路 5_1 は発振回路 $O C_1$ の出力ノードをチャージする。要するに、フィードバック回路 5_1 は発振回路 $O C_1$ のパルス信号 P_1 を無効化する。第 3 回目の検索時では、発振回路 $O C_1$ 及び $O C_2$ はパルス信号を出力できない。そのため、既に検索された参照データ (保存回路 S_1 及び S_2 の参照データ) を除く他の参照データから、検索データに最も類似する参照データが検索される。検索された参照データは検索データに 3 番目に近いデータに相当する。

【 0 1 5 7 】

以上のとおり、連想メモリ 2 0 0 は、 j 回目 (j は、 $1 < j < k$ を満たす整数、 k は、2 以上の整数) 回目の検索において、 $j - 1$ 回目までに H レベルの判定信号 $J S_i$ を出力した判定回路 $J C_i$ に対応する発振回路 $O C_i$ の出力を無効化する。これにより、検索処理を実行するごとに、検索データに近い参照データを、検索データに近い順に検索することができる。

【 0 1 5 8 】

[第 6 の実施の形態]

10

20

30

40

50

第5の実施の形態による連想メモリ200は、フィードバック回路50を用いて発振回路 OC_i の出力を無効化することにより、検索データに近い参照データを検索データに近い順に複数検索できる。しかしながら、1回の検索処理で1つの参照データしか検索できない。したがって、検索データに近い参照データの複数検索する場合、希望する参照データ数と同じ回数の検索処理を実行しなければならない。

【0159】

図16に本実施の形態による連想メモリ300の機能ブロック図を示す。図16を参照して、連想メモリ300は、連想メモリ100と比較して、WTA回路20に代えて、カウンタ部40を備える。

【0160】

カウンタ部40は、複数のカウンタ回路41~4Rを備える。カウンタ回路41は、発振回路 OC_1 のパルス信号 P_1 を受ける。そして、パルス信号 P_1 のパルスをカウントする。カウント数が所定数CT(たとえば10個)となったとき、カウンタ回路41はHレベルの判定信号 JS_1 を出力する。

【0161】

同様に、カウンタ回路42~4Rはそれぞれ、発振回路 $OC_2 \sim OC_R$ のパルス信号 $P_2 \sim P_R$ を受ける。そして、各パルス信号 $P_2 \sim P_R$ のパルスをカウントする。カウント数が所定数CTとなったとき、カウンタ回路42~4RはHレベルの判定信号 $JS_2 \sim JS_R$ を順次出力する。

【0162】

上述のとおり、発振回路 $OC_1 \sim OC_R$ は、対応する参照データが検索データに類似するほど、パルス信号 $P_1 \sim P_R$ の発振周波数を高くする。カウンタ回路41~4Rは、発振周波数が高いパルス信号 $P_1 \sim P_R$ を受けるほど早く、Hレベルの判定信号 $JS_1 \sim JS_R$ を出力する。したがって、判定信号 $JS_1 \sim JS_R$ は、対応する参照データが検索データに類似する順に、順次Hレベルに立ち上がる。Hレベルの判定信号 $JS_1 \sim JS_R$ の出力順に基づいて、カウンタ部40は、検索データに近い参照データを、検索データに近い順に決定できる。

【0163】

以上のとおり、連想メモリ300は、1回の検索処理で、検索データに近い参照データを複数個検索することができる。

【0164】

[第7の実施の形態]

上述の実施の形態では、ハミング距離を適用した場合の連想メモリについて説明した。しかしながら、本発明による連想メモリは、マンハッタン距離にも適用できる。

【0165】

図17を参照して、連想メモリ400は、連想メモリ100と同様に、メモリアレイ部10と、WTA回路20とを備える。

【0166】

メモリアレイ部10は、図1と同様に、メモリ部1と、行デコーダ2と、列デコーダ3と、Read/Write回路4と、検索データ保存回路5とを備える。

【0167】

メモリ部1内のユニットデータ保存回路 $US_{11} \sim US_{1w}$ 、 $US_{21} \sim US_{2w}$ 、 \dots 、 $US_{R1} \sim US_{Rw}$ の各々は、参照データをKビット単位で保存する。

【0168】

ここで、第i行($1 \leq i \leq R$)に配置されたユニットデータ保存回路 US_{ij} ($1 \leq j \leq w$)に注目する。第i行の保存回路 S_i に保存された参照データ REF_i のうち、ユニットデータ保存回路 US_{ij} に保存されたデータを参照データ REF_{ij} とする。つまり、第i行に保存された参照データ REF_i は、 REF_{i1} 、 REF_{i2} 、 \dots 、 REF_{ij} 、 \dots 、 REF_{iw} で構成される。また、外部から入力される検索データをSWとする。検索データSWは、 SW_1 、 SW_2 、 \dots 、 SW_j 、 \dots 、 SW_w で構成される。

10

20

30

40

50

【 0 1 6 9 】

検索データ SW と参照データ REF_i との間のマンハッタン距離は、次の式 (1) で示される。

【 数 1 】

$$D_{Manh,i} = \sum_{j=1}^w |SW_j - REF_{ij}| \quad (1)$$

上述のとおり、ユニットデータ保存回路 US_{ij} は k ビットの参照データ REF_{ij} を保存する。そのため、ユニットデータ保存回路 US_{ij} は k 個の記憶回路 (たとえば $SRAM$ 素子) を備える。各記憶回路は、参照データ REF_{ij} の各桁の参照ビットデータ (第 1 桁の参照ビットデータ ~ 最上位 (第 k 桁) の参照ビットデータ) をそれぞれ記憶する。

10

【 0 1 7 0 】

ユニットデータ比較回路 UC_{ij} は、対応するユニットデータ保存回路 US_{ij} に保存された参照データ REF_{ij} (k ビット) と、検索データ SW_j (k ビット) とのマンハッタン距離を算出する。

【 0 1 7 1 】

図 18 に、第 1 行 ($i = 1$) に配置されるユニットデータ保存回路とユニットデータ比較回路と発振回路との機能ブロック図を示す。

20

【 0 1 7 2 】

ユニットデータ保存回路 US_{11} は、 K 個の記憶回路 $SRAM_{11} \sim SRAM_{1K}$ を備える。記憶回路 $SRAM_{11}$ には、参照データ REF_{11} の第 1 桁目の参照ビットデータが記憶されている。同様に、記憶回路 $SRAM_{1K}$ には、参照データ REF_{11} の第 K 桁目の参照ビットデータが記憶されている。

【 0 1 7 3 】

ユニットデータ比較回路 UC_{11} は、 K ビット減算器 410 と、絶対値演算回路 420 とを備える。 K ビット減算器 410 及び絶対値演算回路 420 は、検索データ SW_1 と参照データ REF_{11} との差の絶対値を算出する。

30

【 0 1 7 4 】

具体的には、 K ビット減算器 410 は、参照データ REF_{11} の第 1 桁目の参照ビットデータと、検索データ SW_1 の第 1 桁目の検索ビットデータとを差分する。そして、絶対値演算回路 420 は、その差分値を絶対値に換算し、出力信号 OJ_1 及び $/OJ_1$ として出力する。出力信号 $/OJ_1$ は出力 OJ_1 の反転信号である。

【 0 1 7 5 】

同様に、 K ビット減算器 410 は、参照データ REF_{11} の第 2 桁目の参照ビットデータと検索データ SW_1 の第 2 桁目の検索ビットデータとを差分する。そして、絶対値演算回路 420 は、その差分値を絶対値に換算し、出力信号 OJ_2 及び $/OJ_2$ として出力する。 K ビット減算器 410 及び絶対値演算回路 420 は、参照データ REF_{11} の第 3 桁目以降のビットデータについても同様に算出し、出力信号 $OJ_3 \sim OJ_K$ 及び $/OJ_3 \sim /OJ_K$ を出力する。

40

【 0 1 7 6 】

同じ第 1 行のデータユニット保存回路 $US_{11} \sim US_{1w}$ に格納された参照データ $REF_{11} \sim REF_{1w}$ と検索データ $SW_1 \sim SW_w$ の比較結果 (出力信号 $OJ_1 \sim OJ_K \times W$ 個分) は、全て、同じ発振回路 OCM_1 に入力される。

【 0 1 7 7 】

発振回路 OCM_1 は、比較回路 C_1 の比較結果、つまり、求められた参照データ REF_1 と検索データ SW とのマンハッタン距離に応じて、出力するパルス信号 P_1 の発振周波数を決定する。

50

【0178】

発振回路 OCM_1 の機能ブロック図を図19に示す。発振回路 OCM_1 は偶数個の遅延回路 $DL101 \sim DL10W$ と、 $NAND$ ゲート300とを備える。偶数個の遅延回路 $DL101 \sim DL10W$ と $NAND$ ゲート300とは、動作時に、入力信号を反転する反転回路として機能する。したがって、発振回路 OCM_1 は、ループ状に直列に連結された複数の反転回路を備える。遅延回路 $DL101$ の出力は外部に出力されると共に、 $NAND$ ゲート300に入力される。つまり、遅延回路 $DL101 \sim DL10W$ 及び $NAND$ ゲート300はリングオシレータを構成する。

【0179】

遅延回路 $DL101$ はデータユニット保存回路 US_{11} に対応する。遅延回路 $DL102$ はデータユニット保存回路 US_{12} に対応する。以降、同様に、遅延回路 $DL103 \sim DL10W$ は、データユニット保存回路 $US_{13} \sim US_{1W}$ にそれぞれ対応する。

10

【0180】

遅延回路 $DL101$ の構成を図20に示す。遅延回路 $DL101$ は、複数の遅延回路 $DJ_1 \sim DJ_k$ と、インバータ $I50$ とを備える。遅延回路 $DJ_1 \sim DJ_k$ 及びインバータ $I50$ は直列に接続される。

【0181】

遅延回路 DJ_1 は、遅延段 $DEL1$ と段数選択回路55とを備える。遅延段 $DEL1$ は、直列に接続された複数のインバータで構成される。遅延回路 DJ_1 は、出力信号 OJ_1 に応じて、利用するインバータ段数を選択する。換言すると、遅延回路 DJ_1 は、信号 OJ_1 に応じて遅延段 $DEL1$ を利用するか否かを選択する。

20

【0182】

距離判定回路 DJ_1 は、遅延回路 $DL102$ からの出力を受ける。そして、ユニットデータ比較回路 UC_{11} から出力された信号 OJ_1 及び $\overline{OJ_1}$ に基づいて、ユニットデータ保存回路 US_{11} に保存された参照データ REF_{11} のうち、第1桁目の参照ビットデータの距離を求める。参照データ REF_{11} の第1桁目の参照ビットデータが、検索データ SW_1 の第1桁目の検索ビットデータと一致するとき、信号 OJ_1 はHレベルとなり、信号 $\overline{OJ_1}$ はLレベルとなる。一方、参照データ REF_{11} の第1桁目の参照ビットデータが、検索データ SW_1 の第1桁目の検索ビットデータと一致しないとき、信号 OJ_1 はLレベルとなり、信号 $\overline{OJ_1}$ はHレベルとなる。

30

【0183】

段数選択回路55は、トランスファゲート $GT10$ と $GT11$ とを備える。トランスファゲート $GT10$ 及び $GT11$ は並列に接続される。遅延段 $DEL1$ は、遅延回路 DJ_1 の入力端子とトランスミッションゲート $GT10$ との間に接続される。

【0184】

参照データ REF_{11} の第1桁目の参照ビットデータと検索データ SW_1 の第1桁目の検索ビットデータとが一致するとき、トランスファゲート $GT11$ がオンになり、 $GT10$ がオフになる。この場合、入力信号は遅延段 $DEL1$ を通らずにトランスファゲート $GT11$ を通過し、外部に出力される。

【0185】

一方、参照データ REF_{11} の第1桁目の参照ビットデータと検索データ SW_1 の第1桁目の検索ビットデータとが一致しないとき、トランスファゲート $GT10$ がオンになる。この場合、入力信号は遅延段 $DEL1$ により設定された遅延時間 $T1$ だけ遅延して、外部に出力される。

40

【0186】

要するに、遅延回路 DJ_1 は、2通りの遅延時間を設定でき、参照ビットデータと検索ビットデータとが異なる場合に2通りの遅延時間のうち、長い方の遅延時間を選択する。

【0187】

遅延回路 $DJ_2 \sim DJ_k$ も遅延回路 DJ_1 と同様に動作する。各遅延回路 $DJ_2 \sim DJ_k$ は、2通りの遅延時間を設定でき、参照ビットデータと検索ビットデータとの比較結果

50

に応じて2通りの遅延時間のいずれかを選択する。そのため、遅延回路DL101は、kビットの参照ビットデータとkビットの検索ビットデータとの比較結果に基づいて、 2^k 通りの遅延時間を設定できる。換言すると、遅延回路DL101は、互いに遅延時間の異なる 2^k 通りのパスを備え、k個の参照ビットデータとk個の検索ビットデータとのマンハッタン距離に応じてパスを選択する。

遅延回路DJ₂内の遅延段の遅延時間は、遅延段DEL₁の2倍とする。つまり、桁が上がるに従って遅延時間Tを長く設定する。これにより、桁が最上位ビットに近いほど、長い遅延時間が設定される。つまり、マンハッタン距離が大きい程、遅延時間が長くなる。

【0188】

10

各遅延回路DL102~DL10Wも、遅延回路DL101と同じ構成を有し、同様の動作をする。そのため、発振回路OCM₁は、保存回路S₁に保存された参照データと検索データとのマンハッタン距離に応じた発振周波数の信号を出力する。具体的には、参照データと検索データとのマンハッタン距離が近い程、高い発振周波数の信号を出力する。

【0189】

上述では第1行の保存回路S₁、比較回路C₁及び発振回路OCM₁の構成及び動作を説明した。しかしながら、第2行目以降の保存回路S₂~S_R、比較回路C₂~C_R及び発振回路OCM₂~OCM_Rの構成及び動作も、保存回路S₁、比較回路C₁及び発振回路OCM₁と同様である。

【0190】

20

したがって、連想メモリ400は、連想メモリ100と同様に、距離に応じて発振周波数を変更できる。

【0191】

[第8の実施の形態]

本発明による連想メモリは、ハミング距離やマンハッタン距離だけでなく、ユークリッド距離にも適用できる。

【0192】

ユークリッド距離に適用される連想メモリの構成は、連想メモリ400と同様である。メモリ部1内のユニットデータ保存回路US₁₁~US_{1W}、US₂₁~US_{2W}、 \dots 、US_{R1}~US_{RW}の各々は、参照データをKビット単位で保存する。第i行の保存回路S_iに保存された参照データREF_iのうち、ユニットデータ保存回路US_{ij}に保存されたデータを参照データREF_{ij}とする。つまり、第i行に保存された参照データREF_iは、REF_{i1}、REF_{i2}、 \dots REF_{ij}、 \dots REF_{iw}で構成される。また、外部から入力される検索データをSWとする。検索データSWは、SW₁、SW₂、 \dots SW_j、 \dots SW_wで構成される。

30

【0193】

検索データSWと参照データREF_iとの間のユークリッド距離は、次の式(2)で示される。

【数2】

40

$$D_{Eucl,i} = \sqrt{\sum_{j=1}^w |SW_j - REF_{ij}|} \quad (2)$$

ユニットデータ保存回路US_{ij}はKビットの参照データREF_{ij}を保存する。そのため、ユニットデータ保存回路US_{ij}はK個の記憶回路(SRAM素子)を備える。各記憶回路は、参照データREF_{ij}の各桁のビットデータ(第1桁のビットデータ~最上位(第k桁)ビットデータ)をそれぞれ記憶する。

50

【 0 1 9 4 】

ユニットデータ比較回路 UC_{ij} は、対応するユニットデータ保存回路 US_{ij} に保存された参照データ REF_{ij} (k ビット) と、検索データ SW_j (k ビット) とのユークリッド距離を算出する。

【 0 1 9 5 】

図 2 1 に、第 1 行 ($i = 1$) に配置されるユニットデータ保存回路とユニットデータ比較回路と発振回路との機能ブロック図を示す。

【 0 1 9 6 】

ユニットデータ保存回路 US_{11} は、 K 個の記憶回路 $SRAM_{11} \sim SRAM_{1K}$ を備える。記憶回路 $SRAM_{11}$ には、参照データ REF_{11} の第 1 桁目のビットデータが記憶されている。同様に、記憶回路 $SRAM_{1K}$ には、参照データ REF_{11} の第 K 桁目のビットデータが記憶されている。

10

【 0 1 9 7 】

ユニットデータ比較回路 UC_{11} は、 K ビット減算器 4 1 0 と、絶対値演算回路 4 2 0 と、比較電流信号生成回路 4 3 0 と、アナログスクエア回路 4 4 0 と、 A/D コンバータ 4 5 0 とを備える。

【 0 1 9 8 】

K ビット減算器 4 1 0 及び絶対値演算回路 4 2 0 は、検索データ SW_1 と参照データ REF_{11} との差の絶対値を算出する。算出結果は、対応する比較電流信号生成回路 4 3 0 で絶対値に応じた値のアナログ電流に変換される。

20

【 0 1 9 9 】

変換されたアナログ電流はアナログスクエア回路 4 4 0 で 2 乗される。これにより、参照データ REF_{11} と、検索データ SW_1 とのユークリッド距離がアナログ電流値で出力される。

【 0 2 0 0 】

A/D コンバータ 4 5 0 は、出力されたアナログ電流をデジタル変換する。これにより、ユークリッド距離が n ビットのデジタルデータで出力される。

【 0 2 0 1 】

発振回路 OCE_1 は、発振回路 OC_1 や OCM_1 と同様に、ユークリッド距離に応じた発振周波数のパルス信号 P_1 を出力する。発振回路 OCE_1 は、複数のインバータからなる遅延段と、段数選択回路とを備える。発振回路 OCE_1 内の段数選択回路は、ユークリッド距離が小さいほど、使用するインバータ段数を少なく選択する。そのため、ユークリッド距離が小さいほど高い発信周波数のパルス信号 P_1 が出力される。

30

【 0 2 0 2 】

第 1 行の保存回路 S_1 内の他のユニットデータ保存回路 $US_{12} \sim US_{1W}$ 、ユニットデータ比較回路 $UC_{12} \sim UC_{1W}$ の動作も上述の通りである。また、第 2 行目以降の保存回路 $S_2 \sim S_R$ 、比較回路 $C_2 \sim C_R$ 及び発振回路 $OCE_2 \sim OCE_R$ の構成及び動作も、保存回路 S_1 、比較回路 C_1 及び発振回路 OCE_1 と同様である。したがって、ユークリッド距離を適用した連想メモリも、連想メモリ 1 0 0 と同様に、距離に応じて発振周波数を変更できる。

40

【 0 2 0 3 】

[第 9 の実施の形態]

上述の実施の形態において、 WTA 回路 2 0 (図 5) や WTA 回路 2 5 (図 9) について説明した。しかしながら、 WTA 回路は、図 5 や図 9 に限定されない。

図 2 2 は、 WTA 回路の他の例を示す。図 2 2 を参照して、 WTA 回路 3 5 0 は、検知回路 3 5 1 と、複数の判定回路 $JC_{11} \sim JC_{1R}$ とを備える。判定回路 JC_{11} は発振回路 OC_1 に対応し、発振回路 OC_1 の出力信号を受ける。同様に、判定回路 JC_{12} は発振回路 OC_2 に対応し、発振回路 JC_{1R} は発振回路 OC_R に対応する。

判定回路 JC_{11} は、判定回路 JC_1 と比較して、放電回路 2 5 0 及びクロック生成回路 2 5 3 を有さない。他の構成は判定回路 JC_1 と同じである。判定回路 $JC_{12} \sim JC$

50

1_R の構成は、判定回路 $J C_{1_1}$ と同じである。

検知回路 351 は、発信回路 $O C_1 \sim O C_R$ の出力を受け、最も早く出力されたパルス信号を検知する。検知回路 351 は、最も早く出力されたパルス信号を受けたとき、検知信号を出力する。より具体的には、検知回路 351 は、各判定回路 $J C_{1_1} \sim J C_{1_R}$ 内のインバータ I20 の出力を受ける。そして、いずれかのインバータ I20 から最初にパルス信号を受けたとき、検知信号を出力する。

判定回路 $J C_{1_1} \sim J C_{1_2}$ 内のラッチ回路 252 は、インバータ I20 の出力を受ける。つまり、対応する発振回路 $O C_1 \sim O C_R$ の出力信号を受ける。そして、検知信号を受けたとき、発信回路 $O C_1 \sim O C_R$ からの出力信号をラッチする。

判定回路 $J C_{1_1}$ が、最も早くパルス信号を受けるとき（つまり、発振回路 $O C_1$ が最も周波数の高いパルス信号を出力するとき）、判定回路 $J C_{1_1}$ 内のラッチ回路 252 は、Hレベルの信号をラッチする。そして、他の判定回路 $J C_{1_2} \sim J C_{1_R}$ 内のラッチ回路 252 は、Lレベルの信号をラッチする。以上の結果、判定回路 $J C_{1_1}$ は Winner を示す Hレベルの判定信号 $J S_1$ を出力し、他の判定回路 $J C_{1_2} \sim J C_{1_R}$ は、Loser を示す判定回路 $J S_2 \sim J S_R$ を出力する。

検知回路 350 は、各判定回路 $J C_{1_1} \sim J C_{1_R}$ 内のインバータ I20 の出力を受けるワイヤードOR回路であってもよいし、複数段のOR回路で構成されてもよい。

以上、本発明の実施の形態を説明したが、上述した実施の形態は本発明を実施するための例示に過ぎない。よって、本発明は上述した実施の形態に限定されることがなく、その趣旨を逸脱しない範囲内で上述した実施の形態を適宜変形して実施することが可能である。

【符号の説明】

【0204】

- 1 メモリ部
- 2 行デコーダ
- 3 列デコーダ
- 4 Read / Write 回路
- 5 検索データ保存回路
- 10 メモリアレイ部
- 20 WTA 回路
- 30 プリチャージ回路
- 35 分周部
- 31 クロック生成回路
- 40 カウンタ部
- 50 フィードバック回路
- 100, 110, 200, 300, 400 連想メモリ
- 250 放電回路
- $S_1 \sim S_R$ 保存回路
- $C_1 \sim C_R$ 比較回路

10

20

30

【図1】

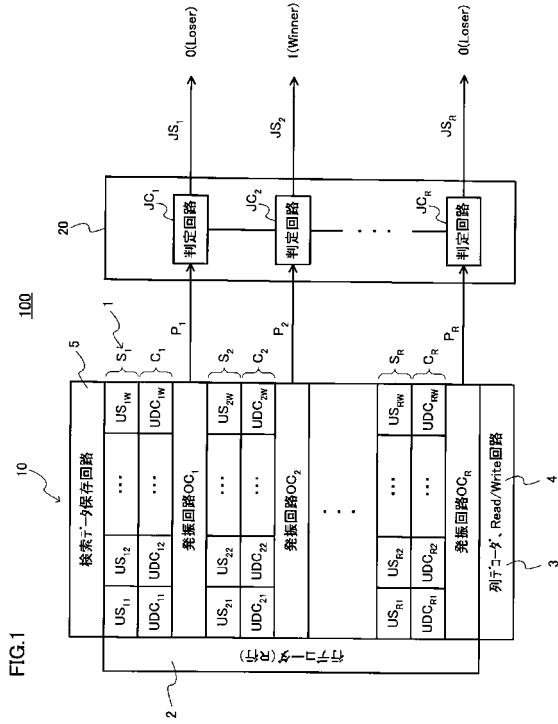
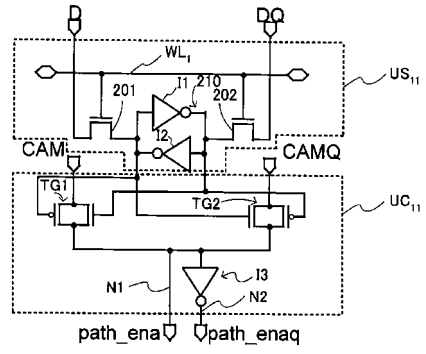


FIG.1

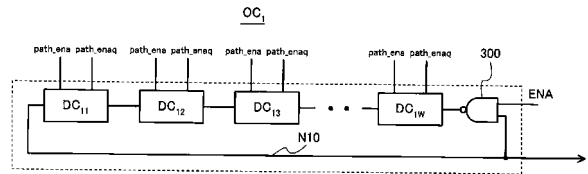
【図2】

FIG.2



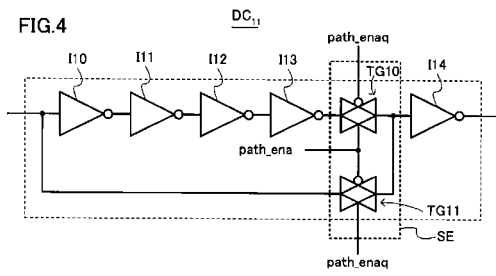
【図3】

FIG.3



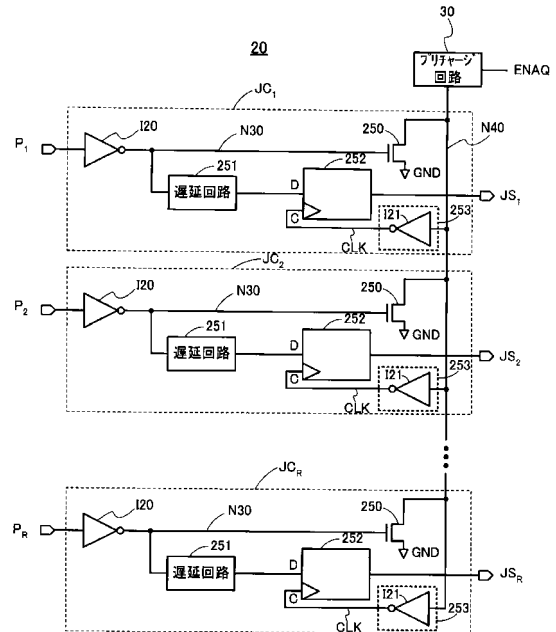
【図4】

FIG.4



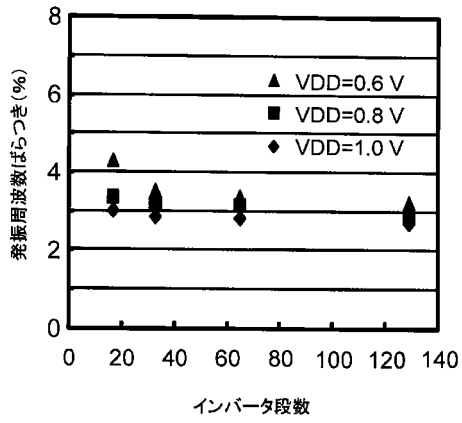
【図5】

FIG.5



【図6】

FIG.6



【図7】

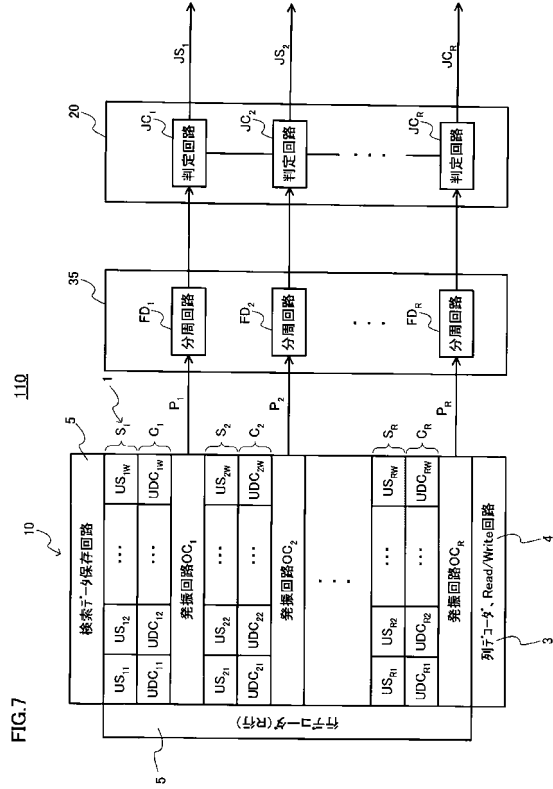
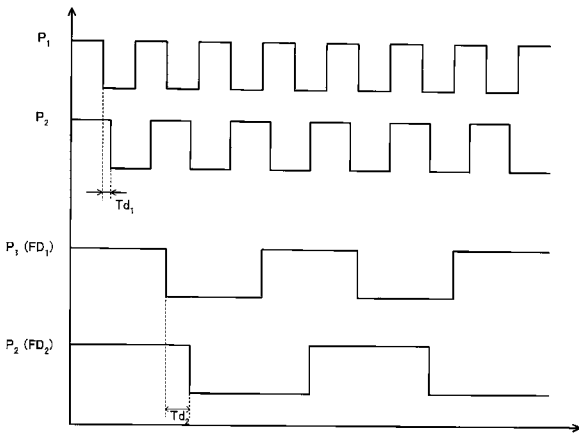


FIG.7

【図8】

FIG.8



【図9】

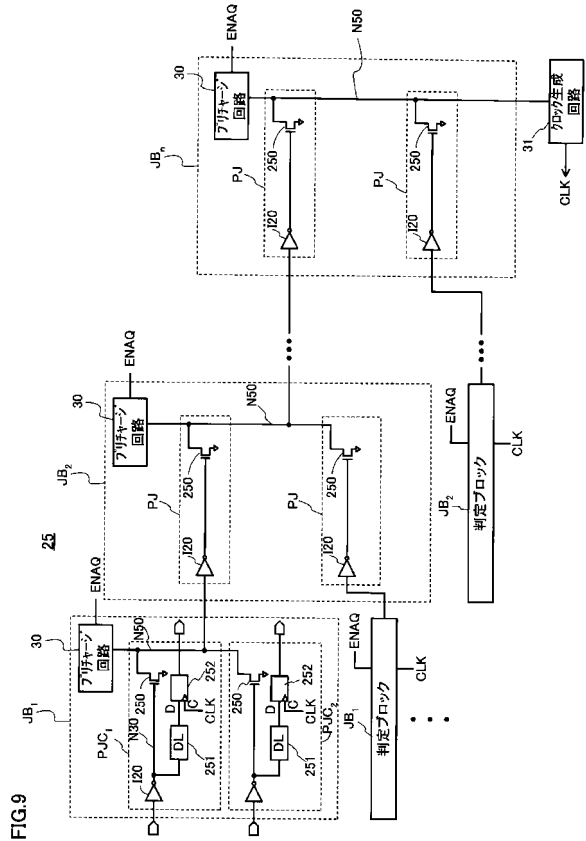


FIG.9

【 図 1 0 】

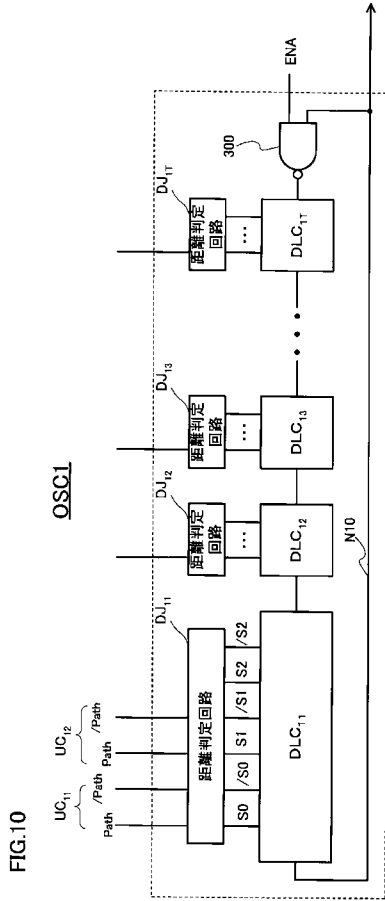
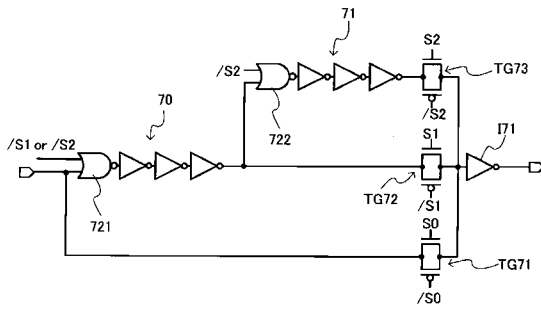


FIG.10

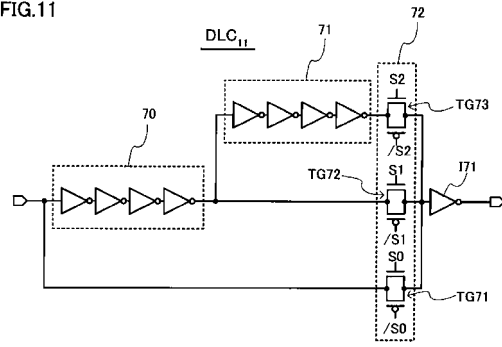
【 図 1 3 】

FIG.13



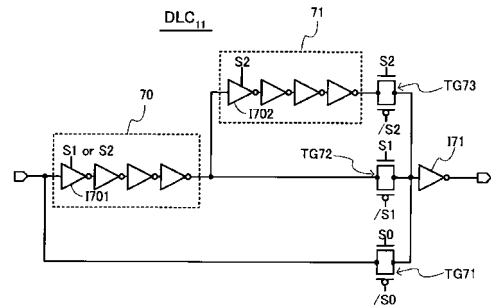
【 図 1 1 】

FIG.11



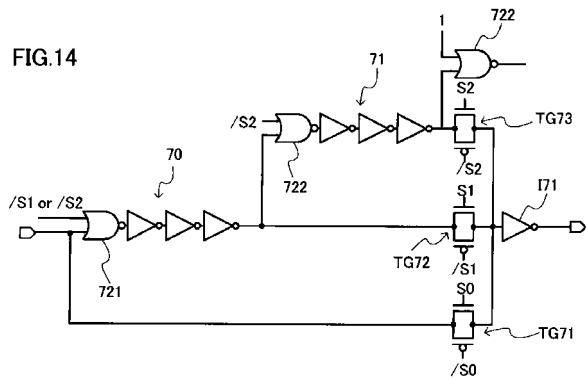
【 図 1 2 】

FIG.12



【 図 1 4 】

FIG.14



【図 15】

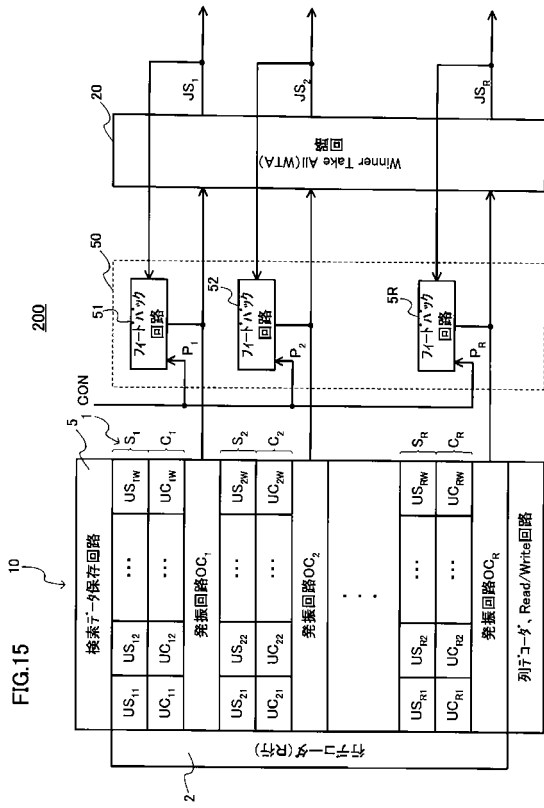


FIG.15

【図 16】

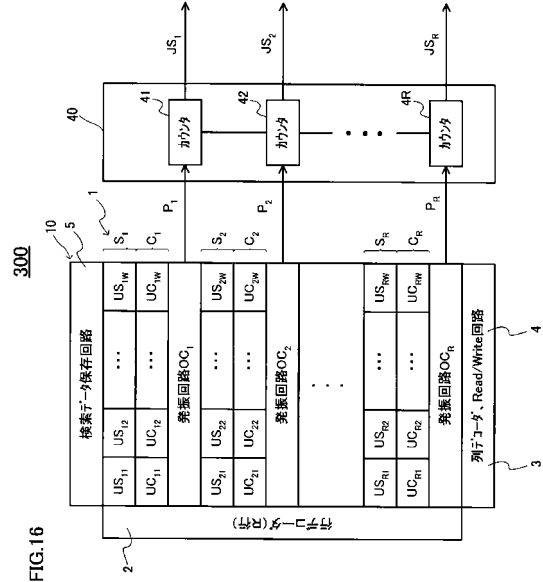


FIG.16

【図 17】

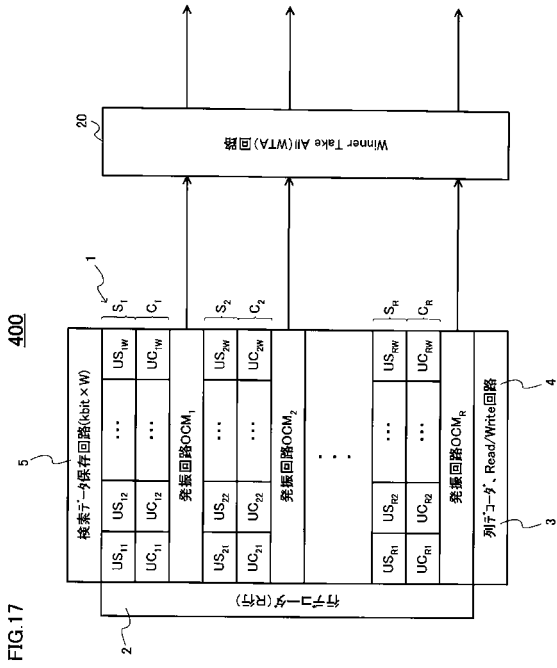


FIG.17

【図 18】

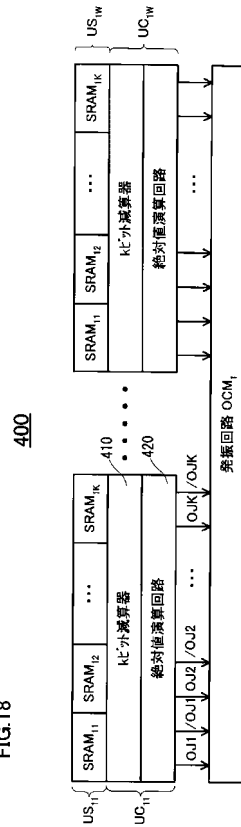


FIG.18

【 図 19 】

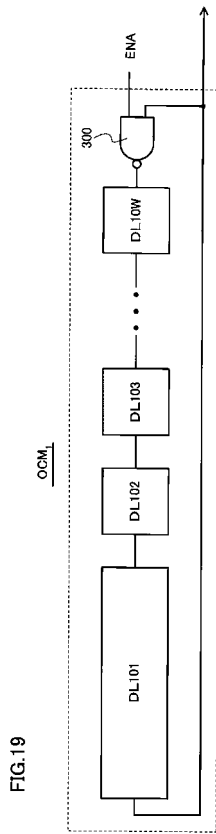


FIG.19

【 図 21 】

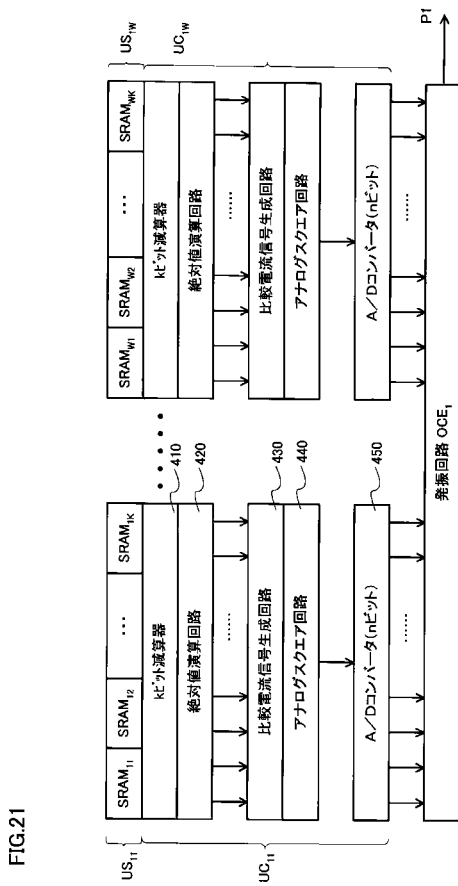


FIG.21

【 図 20 】

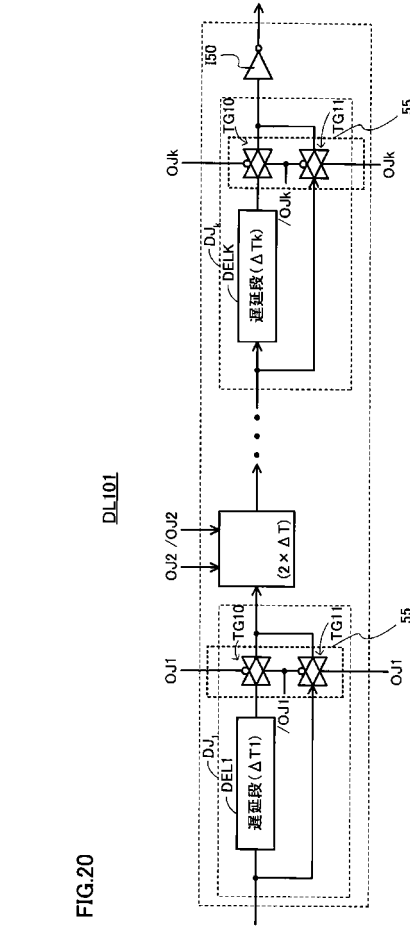


FIG.20

【 図 22 】

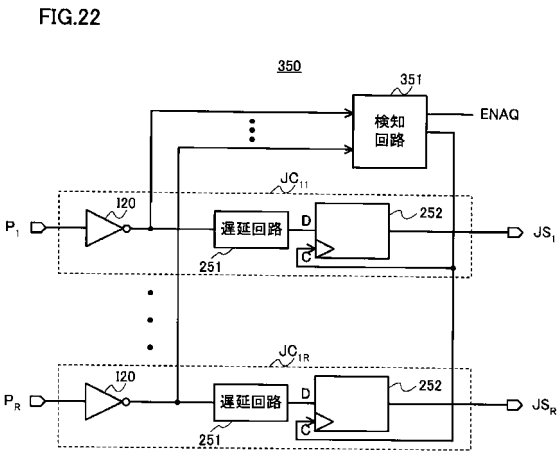


FIG.22

フロントページの続き

- (72)発明者 マタウシュ ハンスユルゲン
広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所
内
- (72)発明者 小出 哲士
広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所
内
- (72)発明者 アンサリ タニア
広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所
内
- (72)発明者 今福 涉
広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所
内
- (72)発明者 賀谷 彰大
広島県東広島市鏡山一丁目4番2号 国立大学法人広島大学ナノデバイス・バイオ融合科学研究所
内

審査官 酒井 恭信

- (56)参考文献 特開2009-134810(JP,A)
特開2005-209317(JP,A)
特開2002-288985(JP,A)
M. IKEDA, K. ASADA, Time-Domain Minimum-Distance Detector and Its Application to Low Power Coding Scheme on Chip Interface, Proceedings of the 24th European Solid-State Circuits Conference (ESSCIRC 1998), IEEE, 1998年 9月22日, pp.464-467

- (58)調査した分野(Int.Cl., DB名)
G11C 15/04