

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3893463号  
(P3893463)

(45) 発行日 平成19年3月14日(2007.3.14)

(24) 登録日 平成18年12月22日(2006.12.22)

(51) Int. Cl.	F I	
<b>G06F 12/08 (2006.01)</b>	G06F 12/08	579
<b>G11C 11/41 (2006.01)</b>	G06F 12/08	511C
<b>G06F 9/32 (2006.01)</b>	G06F 12/08	553B
<b>G06F 9/32 (2006.01)</b>	G11C 11/34	A
	G06F 9/32	330C
請求項の数 12 (全 10 頁) 最終頁に続く		

(21) 出願番号	特願2003-118596 (P2003-118596)	(73) 特許権者	504174135
(22) 出願日	平成15年4月23日(2003.4.23)		国立大学法人九州工業大学
(65) 公開番号	特開2004-326330 (P2004-326330A)		福岡県北九州市戸畑区仙水町1番1号
(43) 公開日	平成16年11月18日(2004.11.18)	(74) 代理人	100072051
審査請求日	平成15年4月23日(2003.4.23)		弁理士 杉村 興作
		(74) 代理人	100107227
			弁理士 藤谷 史朗
		(74) 代理人	100114292
			弁理士 来間 清志
		(74) 代理人	100113745
			弁理士 藤原 英治
		(72) 発明者	佐藤 寿倫
			福岡県福岡市東区若宮5-3-33-601
			最終頁に続く

(54) 【発明の名称】 キャッシュメモリ、及びキャッシュメモリの電力削減方法

(57) 【特許請求の範囲】

【請求項1】

第1のメモリと、この第1のメモリよりも容量の小さい第2のメモリと、リーク電流制御回路とを具備、

前記第2のメモリのアクティブ状態において、前記リーク電流制御回路からのリーク電流制御信号に基づき、前記第1のメモリを構成するMOSトランジスタの閾値電圧を第1の電圧とし、前記第2のメモリを構成するMOSトランジスタの閾値電圧を前記第1の電圧よりも小さい第2の電圧とし、

前記第2のメモリのインアクティブ状態において、前記リーク電流制御回路からのリーク電流制御信号に基づき、前記第1のメモリを構成するMOSトランジスタの閾値電圧を前記第2の電圧とし、前記第2のメモリを構成するMOSトランジスタの閾値電圧を前記第1の電圧とすることを特徴とする、キャッシュメモリ。

【請求項2】

前記第1のメモリ及び前記第2のメモリに対する分岐予測器を具備、

前記リーク電流制御回路からのリーク電流制御信号に基づき、前記第2のメモリのアクティブ状態において、前記分岐予測器を構成するMOSトランジスタの閾値電圧を前記第1の電圧とし、前記第2のメモリのインアクティブ状態において、前記分岐予測器を構成する前記MOSトランジスタの閾値電圧を前記第2の電圧とすることを特徴とする、請求項1に記載のキャッシュメモリ。

【請求項3】

10

20

前記第2のメモリのアクティブ状態において、前記分岐予測器の状態の参照及び更新を実施しないことを特徴とする、請求項2に記載のキャッシュメモリ。

【請求項4】

第1のメモリと、この第1のメモリよりも容量の小さい第2のメモリと、リーク電流制御回路とを具え、

前記第2のメモリのアクティブ状態において、前記リーク電流制御回路からのリーク電流制御信号に基づき、前記第1のメモリを構成するMOSトランジスタの電源電圧を第2の電圧とし、前記第2のメモリを構成するMOSトランジスタの電源電圧を前記第2の電圧よりも大きい第1の電圧とし、

前記第2のメモリのインアクティブ状態において、前記リーク電流制御回路からのリーク電流制御信号に基づき、前記第1のメモリを構成するMOSトランジスタの電源電圧を前記第1の電圧とし、前記第2のメモリを構成するMOSトランジスタの電源電圧を前記第2の電圧とすることを特徴とする、キャッシュメモリ。

【請求項5】

前記第1のメモリ及び前記第2のメモリに対する分岐予測器を具え、

前記リーク電流制御回路からのリーク電流制御信号に基づき、前記第2のメモリのアクティブ状態において、前記分岐予測器を構成するMOSトランジスタの電源電圧を前記第2の電圧とし、前記第2のメモリのインアクティブ状態において、前記分岐予測器を構成する前記MOSトランジスタの電源電圧を前記第1の電圧とすることを特徴とする、請求項4に記載のキャッシュメモリ。

【請求項6】

前記第2のメモリのアクティブ状態において、前記分岐予測器の状態の参照及び更新を実施しないことを特徴とする、請求項5に記載のキャッシュメモリ。

【請求項7】

第1のメモリと、この第1のメモリよりも容量の小さい第2のメモリと、リーク電流制御回路とを具えたキャッシュメモリの電力削減方法であって、

前記第2のメモリのアクティブ状態において、前記リーク電流制御回路からのリーク電流制御信号に基づき、前記第1のメモリを構成するMOSトランジスタの閾値電圧を第1の電圧とし、前記第2のメモリを構成するMOSトランジスタの閾値電圧を前記第1の電圧よりも小さい第2の電圧とする工程と、

前記第2のメモリのインアクティブ状態において、前記リーク電流制御回路からのリーク電流制御信号に基づき、前記第1のメモリを構成するMOSトランジスタの閾値電圧を前記第2の電圧とし、前記第2のメモリを構成するMOSトランジスタの閾値電圧を前記第1の電圧とする工程と、  
を具えることを特徴とする、キャッシュメモリの電力削減方法。

【請求項8】

前記キャッシュメモリは、前記第1のメモリ及び前記第2のメモリに対する分岐予測器を具え、

前記リーク電流制御回路からのリーク電流制御信号に基づき、前記第2のメモリのアクティブ状態において、前記分岐予測器を構成するMOSトランジスタの閾値電圧を前記第1の電圧とする工程と、

前記リーク電流制御回路からのリーク電流制御信号に基づき、前記第2のメモリのインアクティブ状態において、前記分岐予測器を構成する前記MOSトランジスタの閾値電圧を前記第2の電圧とする工程と、  
を具えることを特徴とする、請求項7に記載のキャッシュメモリの電力削減方法。

【請求項9】

前記第2のメモリのアクティブ状態において、前記分岐予測器の状態の参照及び更新を実施しないようにしたことを特徴とする、請求項8に記載のキャッシュメモリの電力削減方法。

【請求項10】

第1のメモリと、この第1のメモリよりも容量の小さい第2のメモリと、リーク電流制御回路とを具えるキャッシュメモリの電力削減方法であって、

前記第2のメモリのアクティブ状態において、前記リーク電流制御回路からのリーク電流制御信号に基づき、前記第1のメモリを構成するMOSトランジスタの電源電圧を第2の電圧とし、前記第2のメモリを構成するMOSトランジスタの電源電圧を前記第2の電圧よりも大きい第1の電圧とする工程と、

前記第2のメモリのインアクティブ状態において、前記リーク電流制御回路からのリーク電流制御信号に基づき、前記第1のメモリを構成するMOSトランジスタの電源電圧を前記第1の電圧とし、前記第2のメモリを構成するMOSトランジスタの電源電圧を前記第2の電圧とする工程と、

を具えることを特徴とする、キャッシュメモリの電力削減方法。

【請求項11】

前記キャッシュメモリは、前記第1のメモリ及び前記第2のメモリに対する分岐予測器を具え、

前記リーク電流制御回路からのリーク電流制御信号に基づき、前記第2のメモリのアクティブ状態において、前記分岐予測器を構成するMOSトランジスタの電源電圧を前記第2の電圧とする工程と、

前記リーク電流制御回路からのリーク電流制御信号に基づき、前記第2のメモリのインアクティブ状態において、前記分岐予測器を構成する前記MOSトランジスタの電源電圧を前記第1の電圧とする工程と

を具えることを特徴とする、請求項10に記載のキャッシュメモリの電力削減方法。

【請求項12】

前記第2のメモリのアクティブ状態において、前記分岐予測器の状態の参照及び更新を実施しないようにしたことを特徴とする、請求項11に記載のキャッシュメモリの電力削減方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、キャッシュメモリ及びキャッシュメモリの電力削減方法に関するものである。

【0002】

【従来の技術】

キャッシュメモリは、主記憶とCPUとの間に設けられた小容量のメモリであり、CPUから主記憶へのアクセス速度を高速化する目的で使用される。したがって、キャッシュメモリはCPUの動作速度と同程度の高速性が要求される。キャッシュメモリに用いられる現在の主流である半導体回路は、CMOS回路であるが、一般に高速な半導体回路は消費電力が大きい。ここで、CMOS回路の消費電力は、充放電による電力消費、短絡電流による電力消費、そしてリーク電流による電力消費の3つに分類される。

【0003】

近年、CMOS回路に供給する電源電圧の低下に伴うMOSトランジスタの閾値電圧の低下によって、CMOS回路のリーク電流による電力消費が急増し、この電力消費量を削減することが大きな課題となっている。CMOS回路のリーク電流は、MOSトランジスタの閾値電圧を高く保持したり、電源電圧を低く保持することによって抑制できるが、閾値電圧を高く保持したり、電源電圧を低く保持するとCMOS回路の動作速度が低下してしまう。

【0004】

一方、充放電による消費電力を削減する試みには、特開平10-154098および特開平10-232830により開示されているループキャッシュがある。それらによれば、ループキャッシュは、フロー変化(COF)命令にตอบสนองして、キャッシュをアクティブ状態に遷移させるために状態遷移機械を用いる。フロー変化命令は、所定の変位未満の短

10

20

30

40

50

い後方分岐 (SBB:Short backward branch) である。所定の変位は、キャッシュ内のエン  
トリ数未満であるので、キャッシュに全体的に収容可能なループをプログラムが実行して  
いる限り、キャッシュはアクティブ状態であり続けることができる。ループキャッシュは  
小容量であるため、充放電に要する電力を従来の大容量キャッシュに比べて小さくでき  
る。しかしながら、これらの発明においては、リーク電流による電力消費には全く注意が払  
われていない。

【 0 0 0 5 】

【発明が解決しようとする課題】

本発明は、キャッシュメモリの、動作の高速性の維持と、リーク電流による電力消費の  
削減とを実現することを目的とする。

10

【 0 0 0 6 】

【課題を解決するための手段】

上記目的を達成すべく、本発明は、

第 1 のメモリと、この第 1 のメモリよりも容量の小さい第 2 のメモリと、リーク電流制  
御回路とを具え、

前記第 2 のメモリのアクティブ状態において、前記リーク電流制御回路からのリーク電  
流制御信号に基づき、前記第 1 のメモリを構成する MOS トランジスタの閾値電圧を第 1  
の電圧とし、前記第 2 のメモリを構成する MOS トランジスタの閾値電圧を前記第 1 の電  
圧よりも小さい第 2 の電圧とし、

前記第 2 のメモリのインアクティブ状態において、前記リーク電流制御回路からのリー  
ク電流制御信号に基づき、前記第 1 のメモリを構成する MOS トランジスタの閾値電圧を  
前記第 2 の電圧とし、前記第 2 のメモリを構成する MOS トランジスタの閾値電圧を前記  
第 1 の電圧とすることを特徴とする、キャッシュメモリ (第 1 のキャッシュメモリ) に関  
する。

20

【 0 0 0 7 】

また、本発明は、

第 1 のメモリと、この第 1 のメモリよりも容量の小さい第 2 のメモリと、リーク電流制  
御回路とを具えたキャッシュメモリの電力削減方法であって、

前記第 2 のメモリのアクティブ状態において、前記リーク電流制御回路からのリーク電  
流制御信号に基づき、前記第 1 のメモリを構成する MOS トランジスタの閾値電圧を第 1  
の電圧とし、前記第 2 のメモリを構成する MOS トランジスタの閾値電圧を前記第 1 の電  
圧よりも小さい第 2 の電圧とする工程と、

30

前記第 2 のメモリのインアクティブ状態において、前記リーク電流制御回路からのリー  
ク電流制御信号に基づき、前記第 1 のメモリを構成する MOS トランジスタの閾値電圧を  
前記第 2 の電圧とし、前記第 2 のメモリを構成する MOS トランジスタの閾値電圧を前記  
第 1 の電圧とする工程と、

を具えることを特徴とする、キャッシュメモリの電力削減方法 (第 1 の電力削減方法) に  
関する。

【 0 0 0 8 】

本発明の第 1 のキャッシュメモリ及び第 1 の電力削減方法においては、第 1 のメモリと  
しての従来の大容量のキャッシュメモリ (以下、「L1 キャッシュ」という) に加えて、  
第 2 のメモリとしての小容量のキャッシュメモリ (以下、「ループキャッシュ」という) と  
、リーク電流制御回路とを準備する。そして、前記ループキャッシュがアクティブ状態の  
場合、前記リーク電流制御回路からのリーク電流制御信号に基づき、前記 L1 キャッシュ  
を構成する MOS トランジスタの閾値電圧を第 1 の電圧とし、前記ループキャッシュを構  
成する MOS トランジスタの閾値電圧を第 2 の電圧とする。また、前記ループキャッシュ  
のインアクティブ状態において、前記リーク電流制御回路からのリーク電流制御信号に基  
づき、前記 L1 キャッシュを構成する MOS トランジスタの閾値電圧を前記第 2 の電圧と  
し、前記ループキャッシュを構成する MOS トランジスタの閾値電圧を前記第 1 の電圧と  
する。

40

50

## 【0009】

前記第1の電圧及び前記第2の電圧は(第1の電圧>第2の電圧)の関係を満足するので、前記ループキャッシュのアクティブ状態及びインアクティブ状態において、前記L1キャッシュ及び前記ループキャッシュの閾値電圧を上述のように規定することにより、前記ループキャッシュに全体が収容可能なループをプログラムが実行している限り、前記L1キャッシュはリーク電流を削減可能な状態になり、同時に前記ループキャッシュによりキャッシュメモリの高速動作が維持できるようになる。したがって、動作の高速性を維持しつつ、リーク電流による電力消費を削減可能なキャッシュメモリを提供できる。

## 【0010】

さらに、本発明は、

第1のメモリと、この第1のメモリよりも容量の小さい第2のメモリと、リーク電流制御回路とを具え、

前記第2のメモリのアクティブ状態において、前記リーク電流制御回路からのリーク電流制御信号に基づき、前記第1のメモリを構成するMOSトランジスタの電源電圧を第2の電圧とし、前記第2のメモリを構成するMOSトランジスタの電源電圧を前記第2の電圧よりも大きい第1の電圧とし、

前記第2のメモリのインアクティブ状態において、前記リーク電流制御回路からのリーク電流制御信号に基づき、前記第1のメモリを構成するMOSトランジスタの電源電圧を前記第1の電圧とし、前記第2のメモリを構成するMOSトランジスタの電源電圧を前記第2の電圧とすることを特徴とする、キャッシュメモリ(第2のキャッシュメモリ)に関する。

## 【0011】

また、本発明は、

第1のメモリと、この第1のメモリよりも容量の小さい第2のメモリと、リーク電流制御回路とを具えるキャッシュメモリの電力削減方法であって、

前記第2のメモリのアクティブ状態において、前記リーク電流制御回路からのリーク電流制御信号に基づき、前記第1のメモリを構成するMOSトランジスタの電源電圧を第2の電圧とし、前記第2のメモリを構成するMOSトランジスタの電源電圧を前記第2の電圧よりも大きい第1の電圧とする工程と、

前記第2のメモリのインアクティブ状態において、前記リーク電流制御回路からのリーク電流制御信号に基づき、前記第1のメモリを構成するMOSトランジスタの電源電圧を前記第1の電圧とし、前記第2のメモリを構成するMOSトランジスタの電源電圧を前記第2の電圧とする工程と、を具えることを特徴とする、キャッシュメモリの電力削減方法(第2の電力削減方法)に関する。

## 【0012】

本発明の第2のキャッシュメモリ及び第2の電力削減方法においては、第1のメモリとしての従来の大容量のキャッシュメモリ(以下、「L1キャッシュ」という)に加えて、第2のメモリとしての小容量のキャッシュメモリ(以下、「ループキャッシュ」という)と、リーク電流制御回路とを準備する。そして、前記ループキャッシュがアクティブ状態の場合、前記リーク電流制御回路からのリーク電流制御信号に基づき、前記L1キャッシュを構成するMOSトランジスタの電源電圧を第2の電圧とし、前記ループキャッシュを構成するMOSトランジスタの電源電圧を第1の電圧とする。また、前記ループキャッシュのインアクティブ状態において、前記リーク電流制御回路からのリーク電流制御信号に基づき、前記L1キャッシュを構成するMOSトランジスタの電源電圧を前記第1の電圧とし、前記ループキャッシュを構成するMOSトランジスタの電源電圧を前記第2の電圧とする。

## 【0013】

前記第1の電圧及び前記第2の電圧は(第1の電圧>第2の電圧)の関係を満足するので、前記ループキャッシュのアクティブ状態及びインアクティブ状態において、前記L1

10

20

30

40

50

キャッシュ及び前記ループキャッシュの電源電圧を上述のように規定することにより、前記ループキャッシュに全体が収容可能なループをプログラムが実行している限り、前記L1キャッシュはリーク電流を削減可能な状態になり、同時に前記ループキャッシュによりキャッシュメモリの高速動作が維持できるようになる。したがって、動作の高速性を維持しつつ、リーク電流による電力消費を削減可能なキャッシュメモリを提供できる。

【0014】

なお、本発明のキャッシュメモリは分岐予測器を有することができる。分岐予測器は、例えば、特開2002-287958号公報などに開示されており、CPUの命令フローの分岐によるペナルティーを改善するために設けられる。これは、分岐先や、分岐をするか否かの情報を、分岐命令の存在するアドレスなどに関連つけて記憶させておき、次回に同一の分岐命令が実行される際に、記憶された履歴情報から次に実行すべき命令のアドレスを予測し、このアドレスに基づいて所定の分岐予測信号を出力するものである。

10

【0015】

分岐予測器はキャッシュメモリと同様の構成をしており、高精度の予測を達成するためには大容量とならざるを得ず、キャッシュメモリと同じ消費電力上の問題を持っている。

【0016】

したがって、上述した第1のキャッシュメモリ及び第1の電力削減方法においては、前記リーク電流制御回路からのリーク電流制御信号に基づき、前記ループキャッシュのアクティブ状態において、前記分岐予測器を構成するMOSトランジスタの閾値電圧を前記第1の電圧とするとともに、前記ループキャッシュのインアクティブ状態において、前記分岐予測器を構成する前記MOSトランジスタの閾値電圧を前記第2の電圧とする。したがって、前記分岐予測器のリーク電流を削減できるようになる。

20

【0017】

また、前記ループキャッシュのアクティブ状態において、分岐予測器の参照及び更新を実施せずに停止状態とすることができる。この場合、前記リーク電流に加えて充放電による電力消費をも削減することができるようになる。

【0018】

上述した第2のキャッシュメモリ及び第2の電力削減方法においては、前記リーク電流制御回路からのリーク電流制御信号に基づき、前記第2のメモリのアクティブ状態において、前記分岐予測器を構成するMOSトランジスタの電源電圧を前記第2の電圧とし、前記第2のメモリのインアクティブ状態において、前記分岐予測器を構成する前記MOSトランジスタの閾値電圧を前記第1の電圧とする。したがって、前記分岐予測器のリーク電流を削減できるようになる。

30

【0019】

また、この場合においても、前記ループキャッシュのアクティブ状態において、分岐予測器の参照及び更新を実施せずに停止状態とすることができる。この場合、前記リーク電流に加えて充放電による電力消費をも削減することができるようになる。

【0020】

【発明の実施の形態】

以下、本発明を発明の実施の形態に基づいて詳細に説明する。

40

図1は、本発明のキャッシュメモリを用いたデータ処理システムの一例を示すブロック図である。図1に示すデータ処理システムは、中央演算装置(CPU)10、ループキャッシュ20、L1キャッシュ30、状態遷移機械40、マルチプレクサ50、リーク電流制御回路60、及び分岐予測部70を具備している。CPU10などは公知のものを採用することができる。状態遷移機械40は、例えば特開平10-154098号公報及び特開平10-232830号公報に開示されたものを使用することができる。分岐予測器70は、例えば特開2002-287958号公報に開示されているものを使用することができる。ループキャッシュ20はTAGアレイを有することもできる。

【0021】

CPU10より命令アドレスバス11を通じて供給される命令アドレスに基づき、小容

50

量のループキャッシュ20及び大容量のL1キャッシュ30は、それぞれ命令バス21及び命令バス31に命令を出力する。

【0022】

状態遷移機械40は、ループキャッシュ20のアクティブ/インアクティブ状態に対応してセレクト信号41を決定する。マルチプレクサ50は、セレクト信号41に基づき、命令バス21又は命令バス31を選択して、命令を命令バス51に出力する。また、状態遷移機械40は、CPU10により与えられるフロー信号12に基づき、ループキャッシュ20のアクティブ/インアクティブ状態を決定し、セレクト信号41、ループキャッシュ制御信号42、そしてリーク電流制御回路制御信号43を生成する。

【0023】

分岐予測器70は、CPU10より命令アドレスバス11を通じて供給される命令アドレスに基づき、分岐予測信号71を出力する。CPU10は分岐予測信号71を用いて、次に実行すべき命令のアドレスを決定し、命令アドレスバス11に出力する。リーク電流制御回路60は、リーク電流制御信号43に従って、ループキャッシュ20、L1キャッシュ30、及び分岐予測器70に、それぞれリーク電流制御信号61、62、63を供給する。

【0024】

状態遷移機械40は、ループキャッシュ20またはL1キャッシュ30のどちらが命令をCPU10に供給するのか判定し制御する。同時に、同じ判断によりリーク電流制御回路60が制御される。

【0025】

図1に示すデータ処理システムが本発明の第1のキャッシュメモリから構成される場合、ループキャッシュ20が命令を供給する場合(ループキャッシュのアクティブ状態)には、リーク電流制御信号61は、ループキャッシュ20を構成するMOSトランジスタの閾値電圧を所定の第2の電圧に設定し、リーク電流制御信号62は、L1キャッシュ30を構成するMOSトランジスタの閾値電圧を前記第2の電圧よりも高い所定の第1の電圧に改定し、さらに、リーク電流制御信号63は、分岐予測器70を構成するMOSトランジスタの閾値電圧を前記第1の電圧に設定する。

【0026】

その結果、L1キャッシュ30及び分岐予測器70におけるリーク電流が抑制される。加えて、リーク電流制御信号63は、分岐予測器70の参照・更新を停止するように設定する。その結果、分岐予測器70における充放電による電力消費が削減される。

【0027】

一方、L1キャッシュ30が命令を供給する場合(ループキャッシュのインアクティブ状態)には、リーク電流制御信号61は、ループキャッシュ20を構成するMOSトランジスタの閾値電圧を上記第1の電圧に設定し、リーク電流制御信号62は、L1キャッシュ30を構成するMOSトランジスタの閾値電圧を上記第2の電圧に設定し、さらに、リーク電流制御信号63は、分岐予測器70を構成するMOSトランジスタの閾値電圧を上記第2の電圧に設定する。その結果、ループキャッシュ20におけるリーク電流が抑制される。

【0028】

多くのプログラムにおいては、小さなループの実行が実行時間の大半を占めていることが知られており、多くの場合、ループキャッシュ20が命令を供給する。したがって、ループキャッシュ20及びL1キャッシュ30を構成するそれぞれのMOSトランジスタの閾値電圧、並びに分岐予測器70を構成するMOSトランジスタの閾値電圧を、ループキャッシュ20のアクティブ/インアクティブ状態に応じて上述のように設定することにより、リーク電流の削減と高速動作とを実現することができる。また、分岐予測器70を停止するようにしておけば、充放電による電力削減をも実現することができる。

【0029】

図1に示すデータ処理システムが本発明の第2のキャッシュメモリから構成される場合

10

20

30

40

50

、ループキャッシュ20が命令を供給する場合（ループキャッシュのアクティブ状態）には、リーク電流制御信号61は、ループキャッシュ20を構成するMOSトランジスタの電源電圧を所定の第1の電圧に設定し、リーク電流制御信号62は、L1キャッシュ30を構成するMOSトランジスタの電源電圧を上記第1の電圧よりも低い所定の第2の電圧に設定し、さらに、リーク電流制御信号63は、分岐予測器70を構成するMOSトランジスタの電源電圧を上記第2の電圧に設定する。

【0030】

その結果、L1キャッシュ30及び分岐予測器70におけるリーク電流が抑制される。加えて、リーク電流制御信号63は、分岐予測器70の参照・更新を停止するように設定する。その結果、分岐予測器70における充放電による電力消費も削減される。

10

【0031】

一方、L1キャッシュ30が命令を供給する場合（ループキャッシュのインアクティブ状態）には、リーク電流制御信号61は、ループキャッシュ20を構成するMOSトランジスタの電源電圧を上記第2の電圧に設定し、リーク電流制御信号62は、L1キャッシュ30を構成するMOSトランジスタの電源電圧を上記第1の電圧に設定し、さらに、リーク電流制御信号63は、分岐予測器70を構成するMOSトランジスタの電源電圧を上記第1の電圧に設定する。その結果

、ループキャッシュ20におけるリーク電流が抑制される。

【0032】

したがって、リーク電流の削減と高速動作とを実現することができる。また、分岐予測器70を停止するようにしておけば、充放電による電力削減をも実現することができる。

20

【0033】

以上、具体例を挙げながら発明の実施の形態に基づいて本発明を詳細に説明してきたが、本発明は上記内容に限定されるものではなく、本発明の範疇を逸脱しない限りにおいてあらゆる変形や変更が可能である。

【0034】

【発明の効果】

本発明によれば、キャッシュメモリの領域を、高速動作可能な領域とリーク電流抑制可能な領域とに分割し、繰り返し参照されると予想されるデータを高速動作可能な領域に配置することで、その高速動作を維持でき、また、リーク電流による電力消費を削減可能にしたキャッシュメモリを提供できる。

30

【図面の簡単な説明】

【図1】 本発明のキャッシュメモリを用いたデータ処理システムの一例を示すブロック図である。

【符号の説明】

- 10 中央演算装置（CPU）
- 11 命令アドレスバス
- 12 フロー信号
- 20 ループキャッシュ
- 21 命令バス
- 30 L1キャッシュ
- 31 命令バス
- 40 状態遷移機械
- 41 セレクト信号
- 42 ループキャッシュ制御信号
- 43 リーク電流制御信号
- 50 マルチプレクサ（MUX）
- 51 命令バス
- 60 リーク電流制御回路
- 61 リーク電流制御信号

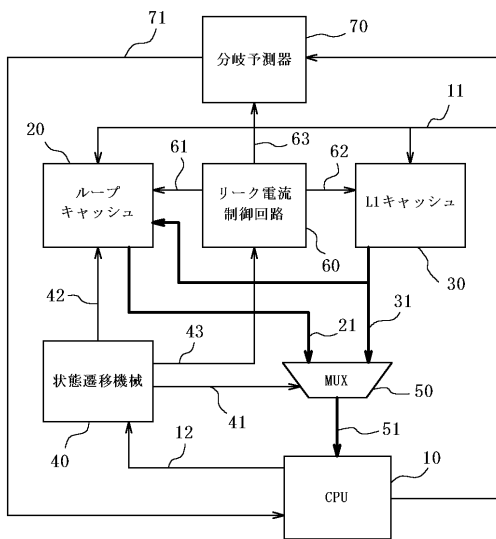
40

50



- 6 2 リーク電流制御信号
- 6 3 リーク電流制御信号
- 7 0 分岐予測器
- 7 1 分岐予測信号

【図1】



## フロントページの続き

(51) Int.Cl.

F I

G 0 6 F 9/38 3 3 0 A

審査官 清木 泰

- (56) 参考文献 特開 2 0 0 4 - 1 8 5 5 7 6 ( J P , A )  
 特開 2 0 0 3 - 1 2 3 4 7 9 ( J P , A )  
 特開 2 0 0 2 - 2 8 7 9 5 8 ( J P , A )  
 特開 2 0 0 1 - 0 5 3 1 6 8 ( J P , A )  
 特開平 1 1 - 1 9 1 6 1 1 ( J P , A )  
 特開平 1 0 - 2 3 2 8 3 0 ( J P , A )  
 特開平 1 0 - 1 5 4 0 9 8 ( J P , A )  
 特開平 0 9 - 2 4 5 4 8 0 ( J P , A )  
 特開平 0 6 - 2 0 8 7 9 0 ( J P , A )  
 入江直彦、外 3 名、ユビキタス情報自体の超低消費電力 LSI 技術アーキテクチャとシステムソフトウェア、日立評論、日本、日立評論社、2 0 0 2 年 1 0 月 1 日、Vol:84, No:10, Pages:17-20  
 石原亨、外 1 名、メモリの低消費電力化を目的とした閾値電圧の静的スケジューリング手法、D A シンポジウム 2 0 0 2、日本、社団法人情報処理学会、2 0 0 2 年 7 月 2 2 日、Pages:55-60  
 黒田忠広、一億超トランジスタ時代のシステム LSI 総論 システム LSI の可能性と課題、電子情報通信学会誌、日本、社団法人電子情報通信学会、2 0 0 1 年 8 月 1 日、Vol:84, No:8, Pages:552-558  
 杉谷樹一、佐藤寿倫、有田五次郎、マイクロプロセッサ向け低消費電力アーキテクチャの HDL 設計とその評価、情報処理学会研究報告、日本、社団法人情報処理学会、2 0 0 1 年 7 月 2 7 日、Vol:2001, No:76, (2001-ARC-144), Pages:159-164  
 浅見直樹、外 2 名、ISSCC にみる実現技術 内部構造の単純化と動的な電力制御を両輪に、日経エレクトロニクス、日本、日経 B P 社、2 0 0 0 年 3 月 1 3 日、No:765, Pages:136-145  
 堀貴代秀、外 2 名、ソフトコア IP を用いた低消費電力 LSI 設計、電子情報通信学会技術研究報告、日本、社団法人電子情報通信学会、1 9 9 8 年 9 月 2 2 日、Vol:98, No:293, Pages:63-70  
 Tohru Ishihara, Kunihiro Asada, An Architectural Level Energy Rduction Technique For Deep-Submicron Cache Memories, Proceedings of ASP-DAC 2002, IEEE, 2 0 0 2 年 1 月 7 日、Pages:282-287  
 Ryo Fujioka et. al., A Preactivating Mechanism for a VT-CMOS Cache using Address Prediction, Proceedings of ISLPED'02, IEEE, 2 0 0 2 年、Pages:247-250

(58) 調査した分野(Int.Cl., D B 名)

G06F12/08-12/12

G11C11/34-11/419

G06F 9/30- 9/42